

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE  
MINISTERE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA RECHERCHE SCIENTIFIQUE  
UNIVERSITE MOHAMED BOUDIAF - M'SILA

FACULTE : TECHNOLOGIE

DEPARTEMENT : ELECTRONIQUE

N° : .....



DOMAINE : SCIENCE ET TECHNOLOGIE

FILIERE : ELECTRONIQUE

OPTION : MICRO-ELECTRONIQUE

**Mémoire présenté pour l'obtention  
Du diplôme de Master Académique**

Par : Deffaf Mostefa

**Intitulé**

**Etude et Conception d'un amplificateur RF pour  
des application 5G**

**Soutenu devant le jury composé de :**

.....

Dr : El Haddi Bakhti et Dr : Miloud Bentoumi

.....

Université de M'sila

Université de M'sila

Université de M'sila

Président

Rapporteur

Examineur

**Année universitaire : 2021 /2022**

# *Dédicace*

*Je dédie ce modeste travail à*

*mes encadrateurs*

*la famille*

*mes parents*

*mes amis*

*mes fils*

*deffaf*

# Remerciement

Avant tout je remercie mes encadreurs

Docteur BakhtiElhadi Maitre de Conférence à l'université de Mohamed  
Boudiaf M'sila

Docteur Ben Toumi Miloud Maitre de Conférence à  
Mohamed Boudiaf M'sila

Pour l'orientation et l'encadrement de ce projet de fin d'études.

J'exprime mes sincère remerciements et mes reconnaissances pour les spéciaux  
conseils et pour la disponibilité dont ils ont fait preuve pendant le parcours de ce  
travail.

# Sommaire

I. LES AMPLIFICATEUR EN BASSE FREQUENCE.....	1
I.1.INTRODUCTION.....	1
I.2.1. Généralités sur ADS.....	1
I.2.2. Utilisation des Projets en système ADS.....	2
I.2.3. Création des projets.....	2
I.2.4. Utilisation des Designs.....	2
I.2.5.Pour mettre en place un schéma.....	5
I.2.6.Ajout de composants.....	5
I.2.7.Créer des formes dans la zone de technologie micro rubans.....	6
I.2.8.Installer un kit de conception.....	9
I.2.19. Simulation du traitement du signal.....	10
I.2.10. Simulation analogique/RF et convergence.....	11
I.2.11. Analyse CC.....	11
I.2.12. Analyse transitoire.....	11
I.2.13. Balance harmonique (HB).....	12
I.2.14. Laboratoire de test du paramètre S.....	12
I.2.15. Séquenceur de conception.....	12
I.2.16. Laboratoire de test de séquenceur.....	12
I.2.17.Contrôleurs de simulation.....	13
I.2.17.1. Contrôleur de simulation de flux de données.....	13
I.2.17.2. Contrôleur de simulation CC.....	13
I.2.17.3. Contrôleur de simulation CA.....	13
I.2.17.4. Contrôleur de simulation de paramètre S.....	13
I.2.17.5. Contrôleur de simulation d'équilibre harmonique.....	13
I.2.17.6. Contrôleur de simulation d'enveloppe de circuit.....	13
I.2.17.7. Contrôleur de simulation LSSP.....	13
I.2.17.7. Contrôleur de simulation XDB.....	14
I.2.17.8. Transitoire/Conv. Contrôleur de simulation.....	14
I.2.17.9. Contrôleur de budget RF.....	14
I.2.17.10. Contrôleurs d'optimisation et de conception statistique.....	14
I.2.17.11. Contrôleur d'optimisation nominale.....	14
I.2.17.12. Contrôleur de Monte-Carlo.....	14
I.2.17.13. Contrôleur d'analyse de rendement.....	15
I.2.17.14. Contrôleur d'optimisation du rendement.....	15
I.2.17.15. Contrôleur de conception d'expériences.....	15
I.2.18.Analyse des résultats.....	15

I.2.19. Création d'affichages de données .....	16
I.2.20. Affichage des résultats .....	16
I.2.21. Simulateurs plus utiles.....	16
I.3.LES AMPLIFICATEURS EN BASSE FREQUENCE.....	17
I.3.1. INTRODUCTION A L'EFFET TRANSISTOR .....	17
I.3.2. Le transistor réel .....	18
I.3.2.1. Principe de fonctionnement .....	18
I.3.2.2. Constitution et caractéristiques physiques d'un transistor .....	19
I.3.2.3. Courants de fuite .....	19
I.3.2.4. Symboles, tensions et courants .....	19
I. 3.3. Transistor NPN .....	20
I.3.3.1. Caractéristiques électriques .....	20
I.3.3.2. Montages de base. ....	20
I.3.3.3. Schéma de mesure des caractéristiques .....	21
I.3.3.4. Caractéristique d'entrée.....	21
I.3.3.5. Caractéristique de transfert .....	22
I.3.3.6. Caractéristique de sortie .....	22
I.3.3.7. Limites d'utilisation .....	23
I.3.3.8. Paramètres essentiels des transistors .....	24
I.3.4. Mise en œuvre du transistor.....	24
I.3.4.1. Alimentation .....	24
I.3.4.2. Polarisation .....	24
I.3.4.3. Conversion courant et tension.....	24
I.3.4.4. Liaisons.....	25
I.3.4.5. Insensibilité du montage aux paramètres du transistor .....	25
I.3.4.6. Méthodologie de calcul .....	25
I.3.4.7. Schéma équivalent alternatif petits signaux du transistor et Paramètres hybrides .....	25
I.3.5. Montage émetteur commun.....	27
I.3.5.2. Polarisation par pont de base .....	30
I.3.5.3. Fonctionnement en petits signaux alternatifs.....	32
I.3.5.3. Fonctionnement intuitif .....	33
I.3.5.4. Gain en tension.....	33
I.3.5.5. Schéma équivalent de l'étage amplificateur .....	35
I.3.5.6. Impédance d'entrée.....	36
I.3.5.7. Impédance de sortie.....	36
I.3.5.8. Gain de l'étage en charge .....	36
I.3.5.9. Bilan d'utilisation du montage.....	37
I.3.6. Montage collecteur commun .....	37
I.3.6.1. Polarisation. Point de fonctionnement.....	37

I.3.5.2. Fonctionnement en petits signaux alternatifs .....	38
I.3.6.3. Fonctionnement intuitif .....	39
I.3.6.4. Gain en tension.....	39
I.3.6.5. Impédance d'entrée .....	40
I.3.6.7. Impédance de sortie.....	41
I.3.6.7. Bilan d'utilisation du montage.....	42
I.3.7. Montage base commune .....	42
I.4.2. Amplificateurs de puissance Classe B et AB.....	46
I.4.3. Amplificateurs de puissance Classe C.....	47
I.4.4. Amplificateurs de puissance Classe D .....	48

II. Les amplificateurs en haute fréquence.....	53
II. 1. Introduction.....	53
II.2. Transistor bipolaire en haute fréquence.....	53
II. 2.1. Capacité de transition $C_{b'c}$ de la jonction base-collecteur.....	54
II. 2.2. Capacité de diffusion $C_{b'e}$ de la jonction base-émetteur.....	54
II.2.3. Réponse en fréquence du gain en courant du transistor bipolaire.....	56
II.2.4. Fréquence de transition $f_t$ du transistor bipolaire.....	58
II.3. Transistor JFET canal N ou P .....	59
II. 4. Transistor MOSFET canal N ou P.....	61
II. 5. Théorème de Miller .....	62
II.6. Conclusion .....	63

Chapitre. III. Adaptation d'impédance .....	64
III.1. Introduction.....	64
III.2. L'objectif de l'adaptation d'impédance.....	64
III.3. Transformation d'impédance .....	66
III.3.1. Transformation série-parallèle.....	66
III .3.2. Transformation parallèle série .....	67
III.4. Coefficients de surtension des circuits RLC série.....	67
III .5. Définition du coefficient de surtension du circuit chargé.....	69
III.6. Calcul du coefficient de surtension du circuit chargé.....	69
III.7. Condition pour l'adaptation d'impédance Principe.....	71
III.8. Calcul d'un circuit d'adaptation.....	72
III .9. Conclusion .....	73

Chapitre IV Simulation d'un amplificateur faible bruit large bande pour des applications dans le domaine de télécommunication et électronique .....	73
IV.1. Introduction .....	73
IV.2. Fiche technique du transistor BFP420.....	73
<b>IV.3. Caractérisation du transistor BFP 420 .....</b>	<b>84</b>
<b>IV.3.1. Montage .....</b>	<b>84</b>
<b>IV.3.2. Courbes .....</b>	<b>84</b>
IV.4. Simulation de montage amplificateur à base de transistor .....	85
IV.4.1. Gain de L'amplificateur.....	86
<b>IV.4.2. Effet d'amplification .....</b>	<b>87</b>
<b>IV.4.3. Simulation des résultantes en mode SMITH de logiciel ADS.....</b>	<b>87</b>
IV.5. Adaptation de circuit amplificateur.....	89
IV.6. L'amplificateur en technologie micro ruban .....	92
IV.8. Circuit imprimé de l'amplificateur en technologie micro rubans.....	92
IV.5. Conclusion.....	93

# Liste des figures

## Figures de chapitre I

Fig. I.1.1 : Création d'un nouveau projet avec le logiciel ADS .....	2
Fig.I.1.2 : Page principale du logiciel ADS.....	3
Fig.I.1.3 : Exemple d'une fenêtre de type schématique.....	4
Fig.I.1.4: Processus de création d'une fenêtre .....	4
Fig.I.1.5 : processus de création d'une fenêtre .....	4
Fig.I.1.6 :Représentation de la méthode d'ajouter des formes dans une conception.....	6
Fig.I.1.7 : La fenêtre qui affiche les détails de simulation en ADS.....	7
Fig.I.1.8 : la fenêtre qui apparait les erreurs pendant la simulation.....	8
Fig.I.1.9 : réglage des données pour générer un graff d'un circuit électronique.....	8
Fig.I.1.10: La fenêtre de visualisation et de manipulation des graffs .....	9
Fig.I.1.11 : Liste des quelque paramètres de simulation en logiciel ADS .....	17
Fig.I.2.1 : Injection de trous dans une zone N.....	17
Fig.I.2.2 : Schéma de principe d'un transistor .....	18
Fig.I.2.3 : Courants et tensions sur un NPN.....	20
Fig.I.2.4 : Courants et tensions sur un PNP .....	20
Fig. I.2.5 : Montage de base émetteur commun .....	21
Fig.I.2.6 : Caractéristique d'entrée du transistor .....	21
Fig.I.2.7 : Caractéristique de transfert du transistor.....	22

Fig.I.2.8 : Caractéristiques de sortie du transistor.....	22
Fig.I.2.9 : Limites d'utilisation du transistor.....	23
Fig.I.2.10 : Schéma équivalent du transistor NPN.....	26
Fig.I.2.11 : Polarisation par résistance de base.....	28
Fig.I.2.12 : Polarisation du transistor.....	29
Fig.I.2.13 : Polarisation par pont de base.....	30
Fig. I.2.14 : Schéma équivalent en alternatif.....	32
Fig.I.2.15 : Schéma équivalent simplifié.....	34
Fig.I.2.16 : Schéma équivalent de l'étage amplificateur.....	35
Fig.I.2.17 : Transformation Norton / Thévenin.....	36
Fig.I.2.18 : Montage collecteur commun.....	38
Fig.I.2.19 : Schéma équivalent collecteur commun.....	38
Fig.I.2.20 : Montage base commune.....	42
Fig.I.2.21 : Schéma équivalent base commune.....	43
Fig. I.3.1 : Montage émetteur commun.....	46
Fig. I.3.2 : Montage collecteur commun.....	46
Fig. I.3.3 :Amplificateur classe B.....	46
Fig. I.3.4 :Amplificateur classe AB.....	47
Fig.I.3.5. Amplificateur classe C.....	48
Fig.I.3.6 : Amplificateur Classe D de puissance et de charge.....	49

## **Figures de chapitre II**

Fig. II.1 : Coupe d'un transistor NPN.....	53
Fig. II .2 :Schéma équivalent en H.F. du transistor bipolaire (NPN ou PNP.....	54
Fig. II.3 : Electrons injectés dans la base.....	55
Fig.II.4.a : Excitation du transistor bipolaire .....	56
Fig.II.4.b :Schéma équivalent du montage.....	56
Fig. II.5 : Graphe du module du gain en courant en fonction de la fréquence .....	58
Fig.II.6 : Courbe de $f_T=f(I_C)$ .....	59
Fig. II.7 : Schéma de transistor JFET canal N.....	60
Fig. II.8 :Schéma équivalent d'un transistor JFETN ou P en H.F.....	60
Fig. II.9 : Transistor MOSFET canal N.....	61
Fig. II.10 :Schéma équivalent en HF du Transistor MOS canal N ou P.....	61
Fig. II.11 : Effet Miller.....	63

### **Figures de chapitre III**

Fig.III.1 : Transfert de puissance.....	64
Fig. III .2 :Transformation d'impédance.....	66
Fig. III .3 : Circuit RLC série .....	67
Fig. III .4 :Circuit $R_p, L_p, C_p$ parallèle.....	68
Fig. III .5 :Fonction de transfert.....	68
Fig. III.6 :Insertion du réseau.....	68
Fig. III .7 : Fonction de transfert avec le réseau d'adaptation.....	69

Fig. III .8 :Circuit d'adaptation en PI réseaux entre deux résistance $R_G$ et $R_L$ .....	70
Fig. III .9:Transformation du réseau entre deux résistances $R_G$ et $R_L$ .en PI entre $R_G$ et $R_L$ .....	70
Fig. III .10 :Équivalence du réseau adapté.....	71
Fig. III.11 :Adaptation d'impédance.....	71
Fig. III .12 : Condition pour l'adaptation d'impédance.....	72

### **Figures de chapitre IV**

Fig. IV.1 : Schémas équivalent de transistor en mode DC.....	83
Fig. IV.2 : Fonctionnement de transistor dans les caractéristique $I_C=F(V_{CE}, I_B)$ .....	84
Fig. IV.3 : Les étapes de schématisation de circuit amplificateur.....	85
Fig. IV.4 : Schéma de circuit général de l'amplificateur RF à base de BFP420.....	85
Fig. IV.5 : Fenêtre de réglage des données.....	
Fig. IV.6 :Le gain de l'amplificateur à base de BFP420.....	
Fig. IV.7 : L'amplitude $V_E$ et $V_S$ à base de BFP420 en fonction de $f$ .....	
Fig. IV.8 : Courbes de $S_{11}$ et $S_{22}$ en fonction de la fréquence .....	
Fig. IV.9 : Courbes de $S_{12}$ et $S_{21}$ en fonction de la fréquence.....	
Fig. IV.10 : Circuit d'adaptation d'impédance d'entrée .....	
Fig. IV.11 : Circuit d'adaptation d'impédance de .....	
Fig. IV.12 : Circuit de polarisation de l'amplificateur.....	
Fig. IV.13 : Circuit générale de l'amplificateur en technologie micro rubans.....	

Fig. IV.14: Circuit imprimé de l'amplificateur en technologie micro rubans.....

# Listedes acronymes

ADS: Advanced Design System

V\_DC: Voltage direct current

RF:Radio frequency

BJT: bipolar junction transistor

Mag:magnitude

Freq: frequency

Vout: out voltage

Vin: in voltage

GHZ:Gigahertz

dB: Decibel

dBm: DecibelMilli

MHz: Mega Hertz

B: Gain en courant

$V_{BE}$ :tension base émetteur

IC : courant de collecteur

IB : courant de la base

IE : courant de l'émetteur

S11 : lecoefficient de réflexion en entrée

S22 : : lecoefficient de réflexion en sortie

S12 : : lecoefficient de transmission directe

S21 : le coefficient de transmission inverse

$P_E$  : puissance d'entrée

$P_S$  : puissance de sortie

Y : une admittance

$Z_G$  : impédance de source

$Z_L$  : impédance de la charge

## References bibliographiques

- [1] [Bacha & al, 2005] M. Bacha and L. Hadjabderrahmane, "Design of Broadband Microwave Amplifier for Telecommunication Applications". The 14th IASTED International conference on Applied Simulation and Modelling. Benalmadèna, Spain, 15-17 June, 2005.
- [2] [Dandan& al, 2002] L. Dandan and Y. Tsvividis, "Design Techniques for Automatically Tuned Integrated Gigahertz Range Active LC Filters", IEEE Journal of Solid-State Circuits, Vol.37, No. 8, August 2002.
- [3] [Ha, 1981] Tri T. Ha, "Solid State Microwave Amplifier Design". A Wiley Interscience Publication 1981.
- [4] [Matthaei& al, 1980] G. Matthaei, L. Young, E.M.T. Jones, "Microwave Filters, Impedance matching networks, and coupling Structures". Artech House 1980.
- [5] [Medley, 1993] Max W. Medley, Jr, "Microwave and RF Circuits: Analysis, Synthesis and Design". Artech House, 1993.
- [6] [Niclas& al, 1983] K. B. Niclas, W. T. Wilser, T. R. Kritzer and R.R.Pereira, "On Theory and Performance of Solid State Microwave Distributed Amplifiers ". IEEE Transactions on Microwave Theory and Techniques, Vol. MTT-31, NO. 6, June 1983.
- [7] [Tam & al, 1998] K. Weng Tam, P. Vitor, and R. P. Martins, "MMIC Active Filter with Tuned Transversal Element", IEEE Transactions on Circuits and Systems: Analog and Digital Signal Processing, vol. 45, NO.5, May, 1998.
- [9] AMPLIFICATEURS DE PUISSANCE COURS DE SYSTEMES
- [10] ELECTRONIQUE Auteurs: Dr. N. Jöhlet Prof. M. Declercq
- [11] Auteurs: J.D. Chatelaine et R. Dessoulavy ISBN: 2-604-00010-5
- [12] CIRCUITS SYSTEMES ELECTRONIQUES ELECTRONIQUE III, PARTIE I Auteur: M. Declercq
- [13] H. Benoit, Latélévision numérique, 4<sup>e</sup> édition, Dunod, 2006.
- [14] R.S. Carson, High Frequency Amplifier, 2<sup>e</sup> édition, John Wiley & Sons, 1982.
- [15] F. de Dieuleveult, H. Fanet, Principes et pratique de l'électronique, 2 tomes, Dunod, 1997.
- [16] C. Dehollain, Adaptation d'impédance à large bande, Presses polytechniques et universitaires romandes, 1996.

- [17] R. Du Bois, Structure et application des émetteurs et des récepteurs, Presses polytechniques et universitaires romandes, 1996.
- [18] S. J. Ernst, Receiving Systems Design, Artech House, 1984.
- [19] F. Gardiol, Microstrip Circuits, John Wiley & Sons, 1994.
- [20] F. M. Gardner, Phaselock Techniques, 2<sup>e</sup> édition, John Wiley & Sons, 1979.
- K. C. Gupta et coll., Computer Aided Design of Microwave Circuits, Artech House, 1981.
- [21] K. C. Gupta et coll., Microstrip Lines and Slotlines, 2<sup>e</sup> édition, Artech House, 1996.
- [22] F. Losee, RF Systems, Components and Circuits Handbook, Artech House, 1997.
- [23] S. A. Maas, Microwaves Mixers, 2<sup>e</sup> édition, Artech House, 1993.
- [24] G. Matthaei, E. M. T. Jones, Microwaves Filters, Impedance-Matching Network and Coupling Structures, Artech House, 1980.
- [25] J. G. Proakis, Digital Communications, McGraw Hill, 1995.
- [26] U. L. Rohde, Microwave and Wireless Synthesizers: Theory and Design, John Wiley & Sons, 1997.
- [27] G. D. Vendelin, Design of Amplifiers and Oscillators by the S Parameter Method, John Wiley & Sons, 1982.
- [28] D. Ventre, Communications analogiques, Ellipses, 1995.
- [29] A. Viterbi, Principles of Coherent Communication, McGraw Hill, 1966.
- [30] P. Vizmuller, RF Design Guide: Systems, Circuits and Equations, Artech House, 1995.
- [31] P. H. Young, Electronic Communication Techniques, 4<sup>e</sup> édition, Prentice Hall, 1998.

## **Introduction générale**

Dans les années passées la technologie des amplificateurs était classique et la transmission d'un signal plus difficile dans les applications des systèmes électroniques et télécommunication. Pour cette raison les chercheurs commençaient de trouver des solutions pour éliminer ce problème. Parmi les solutions est d'aller de développer un amplificateur comporte une large bande et un gain favorable aussi fonctionne dans un mode RF. Le plus important dans tous les applications soient civiles ou bien militaires, Et cela ce que en souhaitant réaliser à partir de transistor BFP420. avant d'accéder à ce type des transistors on a essayé de chercher le meilleur transistor qui répond au caractéristique d'amplification tel que le BF777, BC547, BFR90. Plusieurs transistors on a évité d'utiliser à cause de leur prix dans le marché, de cette manière on a choisi un simple transistor qui répond à l'effet transistor. Afin de ça un circuit un groupe de condensateurs et des résistances vont des valeurs qui nous permis d'effectuer la polarisation de transistor et on a commencé la simulation qui était analysé par un logiciel ADS 2019.

Le plan de cette thèse est composé de quatre chapitres, dans le premier chapitre on a étudié les amplificateurs en basse fréquence de type bipolaire et MOSFET, comme une petite partie incluant dans le premier chapitre on a défini le logiciel ADS et une deuxième partie détaillé les classes d'amplificateur.

En deuxième chapitre on a parlé des amplificateurs en haute fréquence.

La troisième partie d'écrit la manipulation d'adaptation en impédance.

En fin le quatrième chapitre on a étudié les résultats des circuits et les courbes par la méthode ADS

# **CHAPITRE 1 : Les amplificateur en basse fréquence**

## **I. Les amplificateur en basse fréquence**

### **I.1.Introduction**

En débutant ce chapitre par une initialisation associé le fonctionnement et la simulation de logiciel ADS, ensuite on va présenter dans la deuxième partie une détaille théorique définie le transistor et leur fonctionnement dans le domaine basse fréquence et les caractéristiques à l'effet amplification, finalement on va présenter les différent types d'amplification bien sûr à base de transistor.

### **I.2. Prise en main du logiciel ADS**

#### **I.2.1. Généralités sur ADS**

Dans les années passées on a utilisé des logiciels traditionnels qui ont présentés leurs inaptitudes efficace pendant la simulation tel que proteus et pspice presque ils sont plus utile dans les applications électroniques, mais la technologie moderne n'arrêté pas à cette étape, Il y a des chercheurs dans le domaine électronique commencent à chercher des solutions très développé pour résoudre les problèmes rencontré dans les systèmes télécommunication , électronique , capable de gérer et présenter les résultats facilement, Ce logiciel Advanced Design System (ADS)il donne des solutions rapide et parfait dans la simulation, associe entre le domaine temporelle et fréquentiel dans la plage de simulation électronique. ADS il comporte plusieurs sous-programme ; ADS Compatibility Exemples, About ADS Ptolemy, ADS Layout, ADS Ptolemy Golden Gate Models, ADS Design Environment. pour voir les résultats il faut connaitre les étapes de manipulation, La première étape est d'ouvrir le programme ADS puis l'ouverture du programme schématique ou bien conception, Après cette procédure une fenêtre principale va apparaître en cliquant sur le menu new schematic ainsi de suite , autre petite fenêtre se lance comporte une case vide on doit donner un nom pour l'enregistrement de ce projet ,et quand nous voulons dessiner un schéma ou extraire des courbes on peut ouvrir le fichier et on commence de schématiser n'importe quelle circuit et en suivant les étapes ces après

- Dessiner les composant et les sources
- Connecter les composants et les sources
- Faire importer les paramètres
- Réglez les données
- Cliquez sur le menu simuler de logiciel ADS

A fin de cette manipulation on va rencontrer un autre model des fenêtres s'appelle Data Display Window concernée par les courbes on doit choisir l'un des types d'exploration, on fait double clic sur l'espace de la fenêtre, un tableau ce lance contient le nom plot traces and attributus on met tous les données nécessaires finalement on va accéder aux résultats et les graffs.

### I.2.2. Utilisation des Projets en système ADS

Advanced Design System utilise des projets pour organiser et stocker les informations générées pendant la création, simulation et analyses des designs.

Le projet comporte des circuit, layout, simulation, analysis.

En utilisant la fenêtre principale pendant l'ouverture de ADS dialogue, pour créer et ouvrir des projets. Deux fenêtre est similaire peut arrêter quand vous êtes en train de lancer Advanced Design System.

### I.2.3. Création des projets

On doit utiliser la fenêtre principale pour créer le projet que nous allons utiliser pour organiser notre designs **Figure (I.1.1)**. Un projet comporte : Le circuit, layout, simulation, analysis, et des informations externes dans le design que nous avons créé.

Pour créer un projet choisir

#### 1. Choisir projet > nouveau Projet

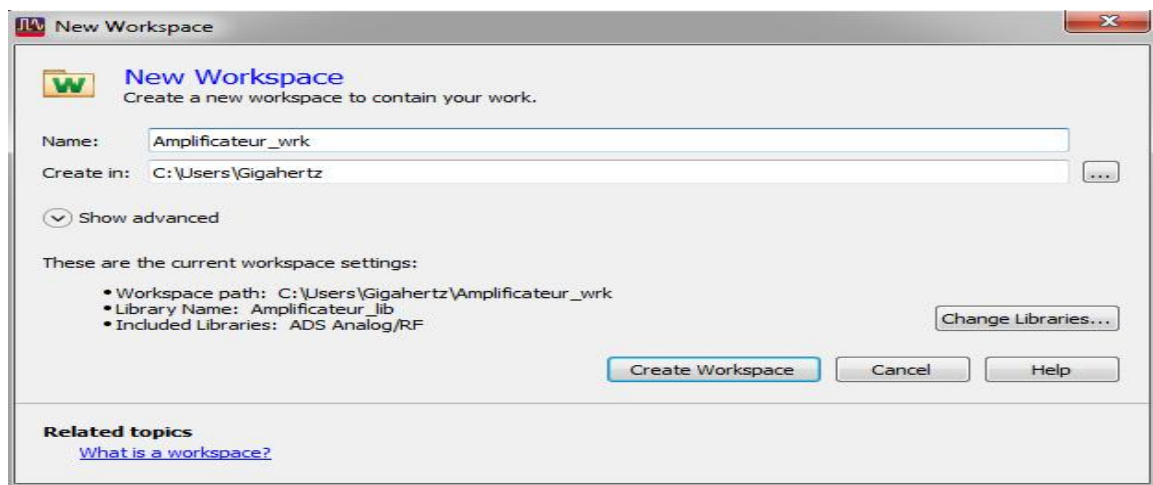


Fig. I.1.1. Création d'un nouveau projet avec le logiciel ADS

Faire entrer le nom du projet

L'ouverture des Projets

- Pour ouvrir un projet choisir File > Open Project **Figure (I.2)**.

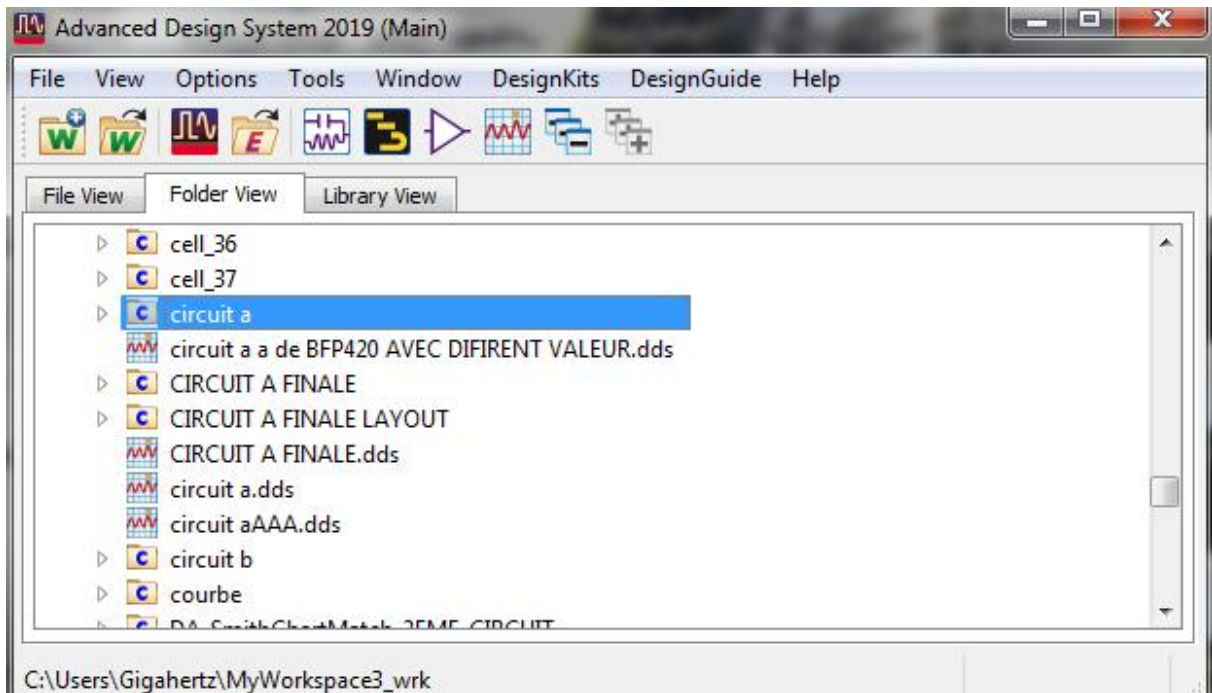


Fig. I.1.2. Page principale du logiciel ADS

#### I.2.4. Utilisation des Designs

Advanced Design System utilise des designs pour garder un schématique et les informations du layout **Figure (I.1.3)** nous allons créer un design peut consister un seule schématique ou layout, et qui comporte plusieurs schématiques et la youts design. tous les designs dans un projet peut arrêter et ouvrir directement à partir de la fenêtre principale ou à partir de la fenêtre Design window.

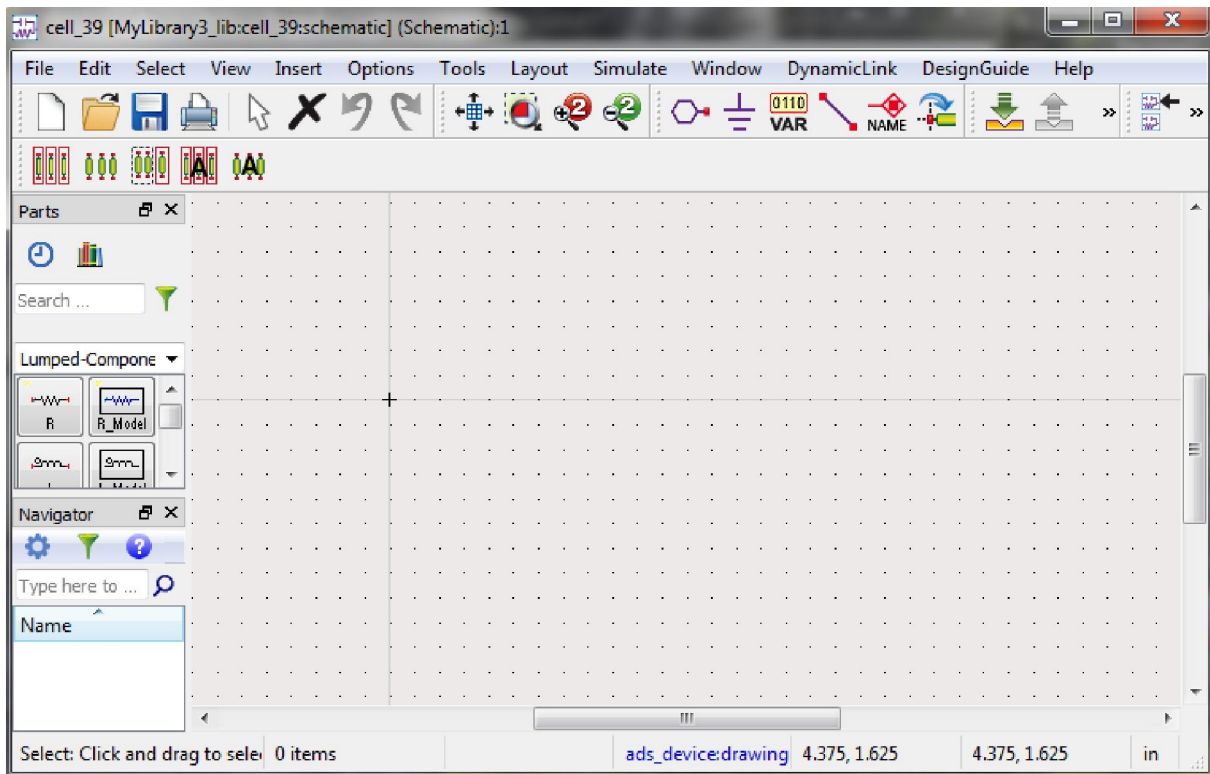
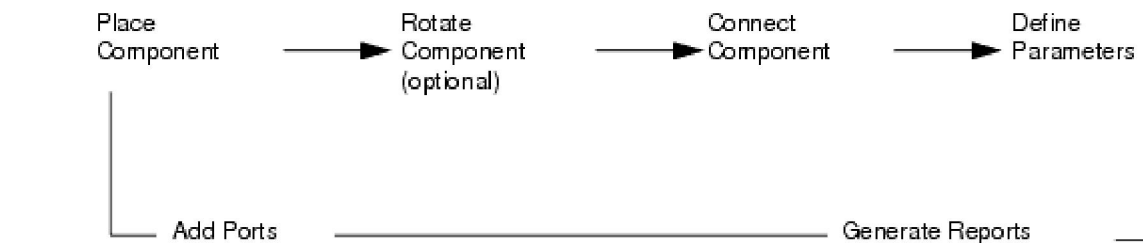


Figure. I.1.3. Exemple d'une fenêtre de type schématique

Dans Design window on peut

- Créer et modifier les circuits et la youts
- Ajouter des variables et des équations
- Placer et configurer des composants, dessiner, et simuler les contrôleurs
- Entrez les textes et les illustrations
- Générer des la youts vers des schématiques et schématiques vers layouts

Le processus pour la création d'un design ou un layout est illustré dans la **Figure (I.1.4)**



suivante

Fig. I.1.4. Processus de création d'une conception

Créer des conceptions

On peut créer un nouveau design en utilisant l'une des trois méthodes suivantes

Choisissant Fenêtre > Nouveau schéma dans la fenêtre principale et en utilisant l'assistant de schéma dans la **Figure (I.1.5)**.

### I.2.5. Pour mettre en place un schéma

Choisissez Insérer> Gabarit dans la fenêtre Layout et sélectionnez un gabarit pour le nouveau fichier. Lorsqu'on a un modèle, la majeure partie de la configuration initiale et de la configuration du schéma, de la simulation et de l'analyse des données est effectuée automatiquement pour nous

Choisissant Fichier > Nouvelle conception dans la fenêtre layout et en utilisant la boîte de dialogue Nouvelle conception pour nommer le fichier que nous avons déjà créé. On peut également ouvrir l'assistant layout ou bien on choisit un modèle de conception layout dans cette boîte de fichier.

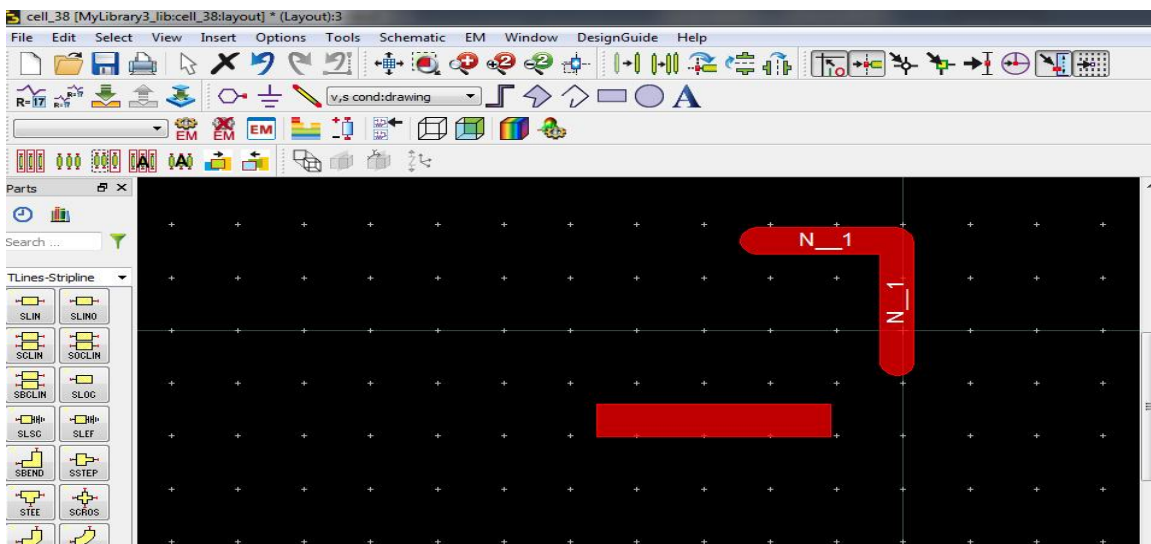


Fig.I.1.5. processus de création d'une fenêtre layout

### I.2.6. Ajout de composants

Placer, connecter et configurer les éléments suivants dans la zone de schématique de fenêtre de la conception pour créer une conception on doit suivre les étapes suivantes

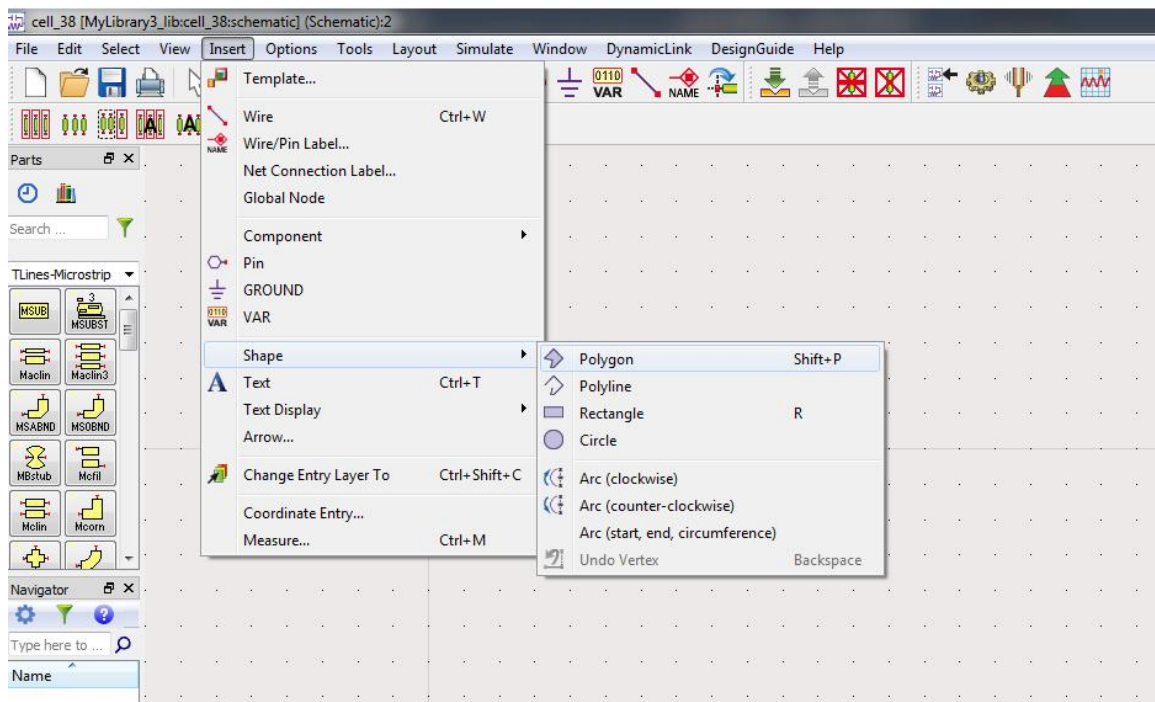
- Composants
- Eléments des données
- Sources de mesure
- Contrôleurs de simulation

En pouvant également ajouter des circuits entiers en tant que sous-réseaux pour créer des conceptions hiérarchiques. On garde à l'esprit que lorsque on a entrain de commencer une conception à l'aide d'un modèle, la majeure partie de la configuration de simulation et de l'analyse est effectuée automatiquement pour nous.

### I.2.7. Créer des formes dans la zone de technologie micro rubans

On peut créer et modifier des formes dans la zone de schématisation de notre fenêtre de conception pour créer une mise en page. En pouvant également ajouter des Traces pour représenter la connectivité électrique, la **Figure (I.1.6)** représente la création.

1. Sélectionnez le nom de la forme dans le menu Insertion ou cliquez sur la forme dans la barre d'outils.
2. Placez la forme dans la fenêtre Mise en page en suivant les instructions qui s'affichent dans la barre d'état en bas de la fenêtre.



**Fig.I.1.6. Représentation de la méthode d'ajouter des formes dans une conception**

Advanced Design System fournit des contrôleurs que vous pouvez ajouter et configurer pour simuler, optimiser et tester vos conceptions.

Une simulation de conception DSP nécessite un contrôleur de flux de données, tandis qu'une simulation de conception analogique/RF nécessite un ou plusieurs contrôleurs parmi différents. Vous pouvez soit ajouter et configurer les contrôleurs appropriés, soit insérer un

modèle (choisissez Insérer > Modèle dans une fenêtre schématique) contenant les contrôleurs.

- Pour simuler un circuit

1. Cliquez et placez le contrôleur
2. Double-cliquez pour modifier les paramètres

Conceptions d'ouverture

L'utilisation de la fenêtre principale ou la fenêtre schématique pour ouvrir une conception

- Choisissant Fichier > Ouvrir la conception dans la fenêtre Schéma et on utilise la boîte de dialogue pour localiser et ouvrir la conception.
- Utilisant le volet Navigateur de fichiers de la fenêtre principale pour localiser le dessin et double-cliquez pour l'ouvrir.
- Pour connaître l'état de simulation et les caractéristiques de circuit une fenêtre apparaît représente les défauts et les résultats **Figure (I.1.7)**.

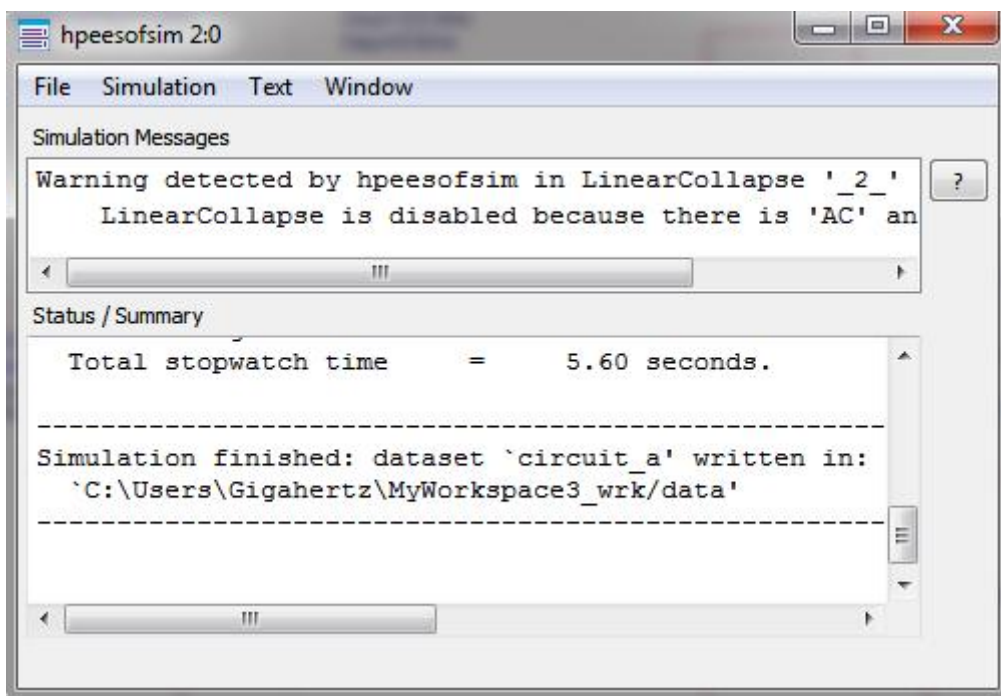


Fig. I.1.7 La fenêtre qui affiche les détails de simulation en ADS

S'il y a des erreurs pendant la simulation un message apparaît directement dans une petite fenêtre comme représenter dans la Figure.( I.1.8).

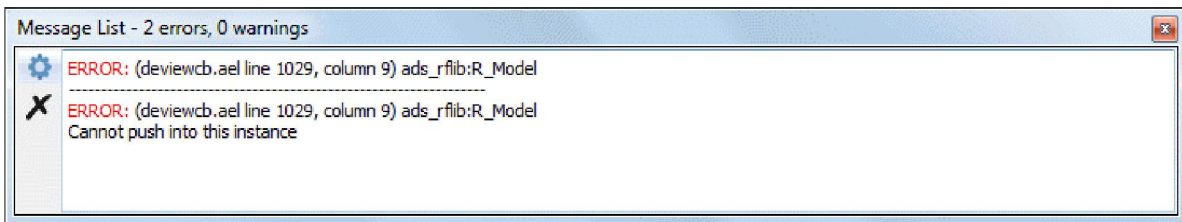


Fig. I.1.8. La fenêtre qui apparait les erreurs pendant la simulation

Réglages des paramètres des graffs

- Pour voir les graffs il faut manipuler au sein de cette fenêtre suivante Figure (I.1.9)

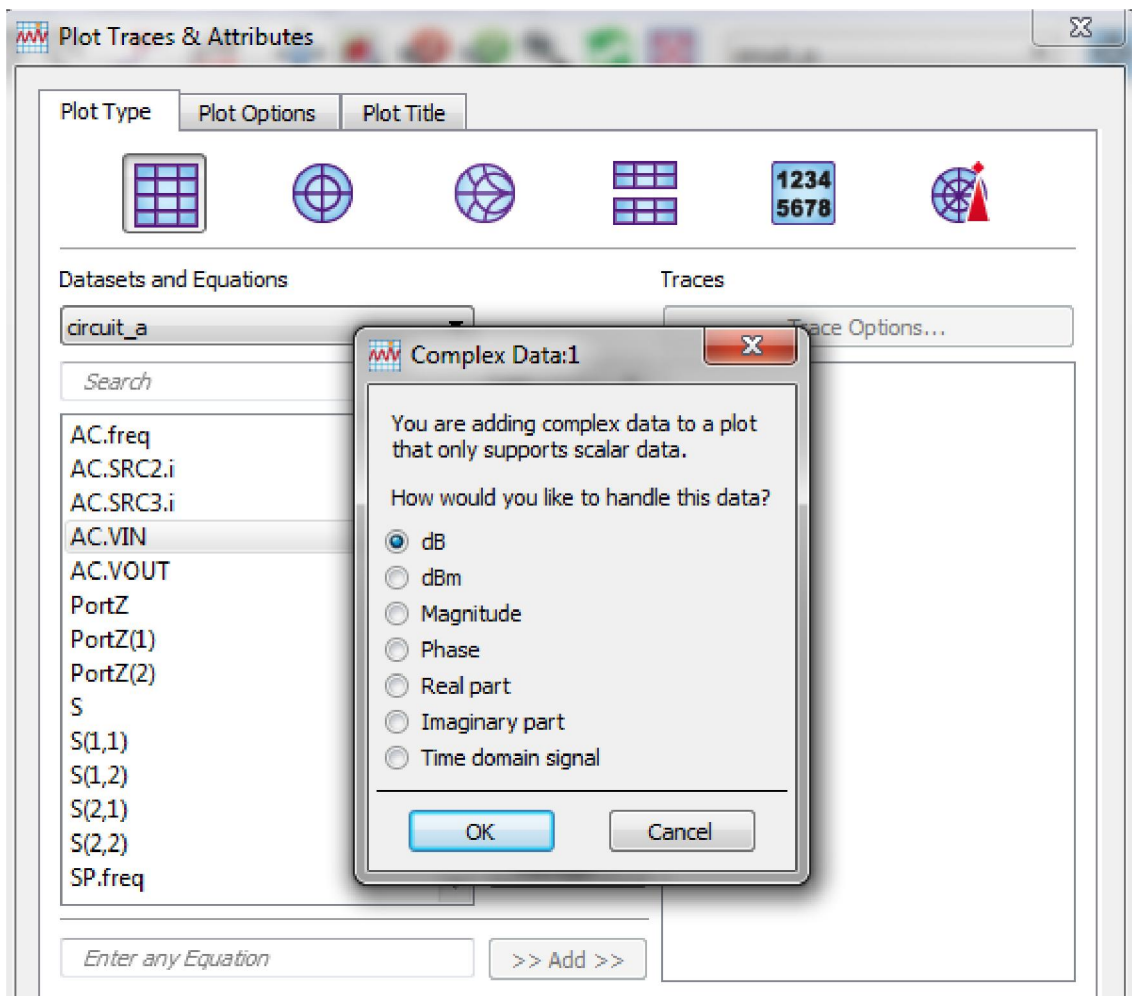


Figure. I.1.9. réglage des données pour générer un graff d'un circuit électronique

Une fois le graff apparait correctement on peut aller à cette fenêtre pour une deuxième fois pour trouver le graff voulu voir Figure (I.1.10)

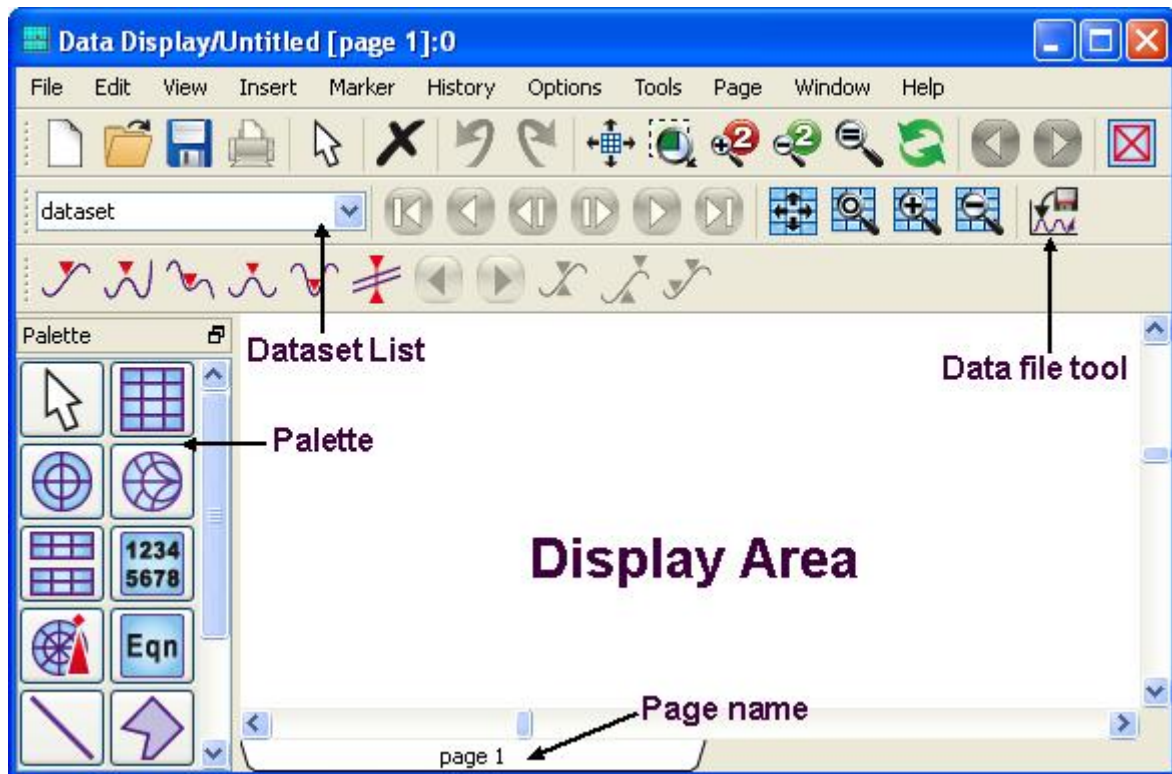


Fig. I.1.10. La fenêtre de visualisation et de manipulation des graffs

Dans cette fenêtre on peut changer plusieurs paramètres tel que le style d'affichage de graffs par exemple : antenne, rectangulaire plot, Smith, ainsi changer le nom de la fenêtre et on peut entrer des fonctions et des graffs.

Utilisation des kits de conception

Pour utiliser efficacement l'environnement de conception d'Advanced Design System et tirer parti de ses puissantes capacités de simulation, les concepteurs doivent disposer d'une bibliothèque de composants liés à des fichiers de modèle ou à des données de simulation. Ces composants et modèles sont souvent distribués par les fonderies sous forme de kits de conception. De nombreux clients créent également eux-mêmes des kits de conception.

Agilent Technologies fournit des kits de conception ADS aux fonderies populaires, pour distribution à leurs clients. La structure de la bibliothèque ADS peut être utilisée pour n'importe quelle technologie ou processus pour conditionner et distribuer un ensemble réutilisable de composants. Avec l'interface utilisateur ADS Design Kit, vous pouvez désormais installer et gérer facilement tous vos kits de conception.

À partir de la fenêtre principale d'ADS, En pouvons

### I.2.8.Installer un kit de conception

- Configurer l'installation du kit de conception à différents niveaux

- Lister plusieurs kits de conception simultanément
- Définir un projet et spécifier un kit de conception à utiliser pour les fichiers technologiques

Une fois votre kit de conception installé et configuré, vous pouvez commencer à l'utiliser comme n'importe quel autre composant ADS. Pour plus d'informations sur les kits de conception ADS, reportez-vous à la documentation Installation et configuration du kit de conception (dkug.pdf).

### **I.2.19. Simulation du traitement du signal**

ADS fournit un environnement intégré pour la conception et la validation des conceptions de systèmes RF/analogiques/DSP jusqu'au niveau de la mise en œuvre à l'aide du simulateur ADS Ptolemy. L'environnement de traitement du signal ADS permet

- Modèles de système RF précis pour un développement plus rapide des spécifications du système. Ensemble complet de modèles comportementaux pour la modélisation de systèmes RF et de systèmes DSP qui aide les ingénieurs à créer et à optimiser rapidement des conceptions plus importantes.
- Co-conception entre les parties DSP, analogiques et RF du chemin du signal. Des centaines de modèles DSP et analogiques pour le développement d'algorithmes. Modèles de propagation et de matrice permettant la modélisation de systèmes sans fil complets. La capacité d'exportation et d'importation de données vers l'instrumentation de mesure permet de vérifier les conceptions à l'aide de concepts de prototypage virtuel. Réutilisation IP des modèles MATLAB, HDL et C++.
- Le concepteur de systèmes peut concevoir un système de communication en utilisant des modèles comportementaux pour valider un concept. Le concepteur peut ensuite concevoir et substituer des niveaux d'abstraction inférieurs pour vérifier la conception du signal RF/mixte jusqu'au niveau du circuit, et exporter la conception vers une variété d'outils de fabrication. Les capacités de conception statistique disponibles permettent à l'utilisateur de faire des compromis difficiles pendant le processus de conception afin d'optimiser les performances ou le rendement de fabrication.
- Un large éventail de modèles RF/analogiques/DSP comportementaux fonctionnent avec le simulateur ADS Ptolemy pour fournir une précision de simulation de pointe pendant le processus de conception. L'inclusion de modèles de propagation et de matrice facilite la modélisation du système sans fil complet. Les modules de

bibliothèque de communication ADS prennent en charge les dernières normes de communication telles que WLAN, 3GPP et Edge. Ces bibliothèques peuvent être utilisées en amont du processus de conception lorsque l'architecture du système est conceptualisée, pendant le processus de conception et de mise en œuvre, ou en aval du processus de conception lors de la vérification finale.

- Les liens entre les instruments et les produits d'instrumentation de test et de mesure d'Agilent Technologies fournissent une vérification de prototypage virtuel pour les conceptions avant la mise en œuvre finale ou la sortie sur bande. Par exemple, une nouvelle conception d'émetteur RF/analogique/DSP modélisée dans le schéma de traitement du signal.
- n être vérifié en reliant la sortie de la simulation à l'un des produits générateurs de signaux Agilent ESG. Le signal du monde réel résultant produit dans un environnement virtuel inclura toutes les distorsions de signal, le bruit et les effets de propagation modélisés dans la conception. Ce signal peut ensuite être introduit dans un composant d'analyse de signal Agilent ou un circuit récepteur du monde réel pour fournir une capacité de prototypage virtuel et la possibilité de « régler » la conception à l'aide de matériel et d'analyse du monde réel.
- La simulation ADS Ptolemy est contrôlée à l'aide d'un contrôleur de simulation de flux de données, de sources et de puits placés sur la conception. Il doit y avoir au moins une source ou un puits qui contrôle la simulation. Le contrôle des puits et des sources maintient la simulation en cours d'exécution ; les puits et les sources non contrôlant ne le font pas.

### **I.2.10. Simulation analogique/RF et convergence**

La simulation analogique/RF calcule la réponse d'un circuit à un stimulus particulier en formulant un système d'équations de circuit, puis en les résolvant numériquement. Chaque technologie de simulation accomplit cette analyse comme suit.

#### **I.2.11. Analyse CC**

Résout un système d'équations différentielles ordinaires non linéaires (ODE)

Résout un point d'équilibre

Toutes les dérivées temporelles sont constantes (zéro) Système d'équations algébriques non linéaires.

#### **I.2.12. Analyse transitoire**

Résout un système d'équations différentielles ordinaires non linéaires (ODE), Dérivées temporelles remplacées par une approximation aux différences finies (méthode d'intégration)  
Séquence de systèmes d'équations algébriques non linéaires (un système à chaque instant)

### **I.21.13. Balance harmonique (HB)**

Résout un système d'équations différentielles ordinaires non linéaires (ODE) Méthode de l'état stable, Solution approchée par des séries de Fourier tronquées, Le système d'ODE non linéaires devient un système d'équations algébriques non linéaires dans le domaine fréquentiel

### **I.2.14. Laboratoire de test du paramètre S**

- Un laboratoire de test des paramètres S vous permet de calculer les paramètres S de plusieurs réseaux N-ports en une seule simulation.
- Un laboratoire de test de paramètre S est un schéma qui contient un composant de laboratoire de test de paramètre S et un ou plusieurs bancs de test. Un banc de test est un schéma qui contient un réseau à N ports et des terminaisons pour chaque port du réseau. Son utilisation est mieux illustrée dans les conceptions de circuits à plusieurs étages où la visualisation simultanée du comportement du circuit inter-étages de tous les étages est souhaitée. Dans de telles situations, le laboratoire de test des paramètres S peut être utilisé pour terminer chaque étage dans les impédances d'entrée/sortie applicables des étages adjacents plutôt que dans les 50 ohms standard.
- Les RefNets peuvent également être utilisés en conjonction avec la fonction de laboratoire de test des paramètres S.

### **I.2.15. Séquenceur de conception**

Un contrôleur Design Séquencer vous permet de séquencer plusieurs simulations en une seule simulation à l'aide d'un banc d'essai qui comprend tous les contrôleurs de simulation souhaités et le fichier de conception de niveau supérieur.

Certaines applications typiques pour un contrôleur Sequencer sont les suivantes

- Optimisation d'une variable sur plusieurs simulations Activation du contrôle d'instruments complexes dans Ptolemy Exécution d'une série de tests de vérification sur une conception
- Différences entre les laboratoires de test de paramètre S et le séquenceur

### **I.2.16. Laboratoire de test de séquenceur**

DC, SP, AC, HB, Tran, ENV, Ptolémée SP uniquement Utilise des contrôleurs de banc d'essai Utilise un contrôleur de laboratoire d'essai, Différentes températures possibles par banc

d'essai Une simulation de température pour tous Opt/Stat/ParamSwp au niveau supérieur.

### **I.2.17. Contrôleurs de simulation**

Ajoutez un ou plusieurs contrôleurs de simulation à la conception en fonction du type de conception à simuler et des types d'analyses souhaitées.

#### **I.2.17.1. Contrôleur de simulation de flux de données**

De Contrôle le flux de signaux numériques et temporisés mixtes pour les simulations de traitement signal numérique à l'aide du simulateur ADS Ptolemy. Toutes les conceptions de traitement du signal.

#### **I.2.17.2. Contrôleur de simulation CC**

Fondamental pour toutes les simulations RF/analogiques. Il effectue un contrôle de la topologie et une analyse du point de fonctionnement DC. Toutes les conceptions RF/analogiques.

#### **I.2.17.3. Contrôleur de simulation CA**

Obtient des paramètres de transfert de petits signaux tels que le gain de tension, le gain de courant et la tension et les courants de bruit linéaire. Filtre Amplificateur.

#### **I.2.17.4. Contrôleur de simulation de paramètre S**

Fournit le paramètre S linéaire, les paramètres de bruit linéaire, la transimpédance et la transadmittance. Peut être utilisé pour atteindre de nombreux objectifs du simulateur AC. Filtre Oscillateur Amplificateur.

#### **I.20.5. Contrôleur de simulation d'équilibre harmonique**

Utilise des techniques d'équilibre harmonique non linéaire pour trouver la solution en régime permanent dans le domaine fréquentiel.

- Oscillateur mélangeur
- Émetteur-récepteur d'amplificateur de puissance

#### **I.2.17.5. Contrôleur de simulation d'enveloppe de circuit**

Utilise une combinaison de techniques d'analyse de domaine fréquentiel et temporel pour produire une analyse rapide et complète de signaux complexes tels que les signaux RF modulés numériquement. Oscillateur mélangeur, Amplificateur de puissance Émetteur-récepteur Boucle à verrouillage de phase.

#### **I.2.17.6. Contrôleur de simulation LSSP**

Effectue des analyses de paramètres S à grands signaux pour représenter le comportement non linéaire. Le simulateur P2D qui l'accompagne peut-être utiliser pour accélérer les analyses

ultérieures. Amplificateur

#### **I.2.1.17.7. Contrôleur de simulation XDB**

Recherche un point de compression de gain défini par l'utilisateur auquel une courbe de puissance réelle s'écarte d'une courbe de puissance linéaire idéalisée. Mélangeur d'amplificateur de puissance.

#### **I.2.17.8. Transitoire/Conv. Contrôleur de simulation**

Résout un circuit non linéaire entièrement dans le domaine temporel à l'aide de modèles simplifiés pour tenir compte du comportement dépendant de la fréquence des éléments distribués. Mixer, Circuits de commutation d'amplificateur de puissance.

#### **I.2.17.9. Contrôleur de budget RF**

Détermine les caractéristiques linéaires et non linéaires d'un système RF composé d'une cascade de composants linéaires ou non linéaires à deux ports et deux broches. Amplificateur non linéaire mélangeur.

#### **I.2.17.10. Contrôleurs d'optimisation et de conception statistique**

Les contrôleurs d'optimisation et de conception statistique sont utilisés conjointement avec les contrôleurs de simulation RF/analogique et de traitement du signal pour

- Caractériser et améliorer un processus inconnu tel que la réponse d'une conception Identifier les variables qui contribuent de manière significative aux variations de performance.
- Faire varier les valeurs des paramètres t.

Advanced Design System comprend les contrôleurs d'optimisation et de conception statistique présentés ci-dessous.

#### **I.2.17.11. Contrôleur d'optimisation nominale**

Utilisé pour comparer les réponses calculées et souhaitées et modifier les valeurs nominales des paramètres pour rapprocher la réponse calculée des objectifs d'optimisation souhaités. Composant d'objectif (obligatoire) Un composant d'objectif est utilisé conjointement pour spécifier les objectifs d'optimisation.

#### **I.2.17.12. Contrôleur de Monte-Carlo**

Utilise la méthode de Monte Carlo pour simuler un plan sur un nombre donné d'essais dans lequel les variables statistiques ont des valeurs qui varient de manière aléatoire autour de leurs valeurs nominales avec des fonctions de distribution de probabilité spécifiées. Composant de spécification de rendement (facultatif) Un composant de spécification de rendement est utilisé conjointement pour spécifier les rendements souhaités. Composant de corrélation statistique

(facultatif) Un composant de corrélation statistique est utilisé pour spécifier la corrélation statistique entre les variables de conception statistique.

### **I.2.17.13. Contrôleur d'analyse de rendement**

Utilise la méthode de Monte Carlo décrite ci-dessus pour déterminer le rendement de fabrication. Pour chaque essai, la réponse calculée est comparée à la spécification de rendement correspondante, et une décision de réussite/échec est prise. Composant de spécification de rendement (obligatoire) Un composant de spécification de rendement est utilisé conjointement pour spécifier les performances acceptables.

Composant de corrélation statistique (facultatif) Un composant de corrélation statistique est utilisé pour spécifier la corrélation statistique entre les variables de conception statistique.

### **I.2.17.14. Contrôleur d'optimisation du rendement**

Utilisé pour analyser plusieurs analyses de rendement et ajuster les valeurs nominales afin de maximiser l'estimation de rendement des variables de conception statistiques. Composant de spécification de rendement (obligatoire) Un composant de spécification de rendement est utilisé conjointement pour spécifier les performances acceptables.

### **I.2.17.15. Contrôleur de conception d'expériences**

Utilisé pour améliorer de manière séquentielle et itérative les performances statistiques d'une conception en identifiant les variables qui contribuent de manière significative à la variation des performances et en affinant la réponse statistique cible. Composant d'objectif DOE (obligatoire) Un composant d'objectif DOE est utilisé conjointement pour spécifier les objectifs souhaités.

### **I.2.18. Analyse des résultats**

Advanced Design System utilise des ensembles de données pour stocker les informations de simulation que vous générez lors de l'analyse des conceptions. Vous pouvez afficher ces informations pour analyse à l'aide de la fenêtre d'affichage des données. Une fenêtre d'affichage des données peut également être utilisée pour afficher des données importées d'autres sources.

Dans une fenêtre d'affichage de données, vous pouvez

- Afficher les données dans une variété de tracés et de formats
- Utiliser des marqueurs pour lire des points de données spécifiques sur des traces  
Utiliser des équations pour effectuer des opérations sur des données Annoter des résultats à l'aide de texte et d'illustrations.
- Une fois qu'une simulation est terminée, les données s'affichent automatiquement si

vous avez effectué l'une des actions suivantes (une fenêtre d'affichage de données vide s'ouvre si vous n'en avez effectué aucune) : Vous avez spécifié un jeu de données et vous l'avez affiché avant la simulation.

- Utilisation d'un modèle schématique pour une simulation analogique/RFRectangulaire spécifié dans le paramètre Plot d'un puits pour une simulation de traitement du signal

### **I.2.19. Création d'affichages de données**

Le processus de base de création d'un affichage de données est illustré ci-dessous

1. Choisissez un type de tracé pour l'affichage.
2. Choisissez le jeu de données qui contient les données que vous souhaitez afficher.
3. Sélectionnez la variable de données à afficher.
4. Choisissez un type de trace pour l'affichage.

Pour améliorer l'affichage, en pouvons également ajouter

- Marqueurs pour identifier des points de données spécifiques Annotations utilisant du texte et des illustrations Légendes pour aider à identifier des traces spécifiques.
- Si vous avez utilisé un modèle pour créer la conception que vous avez simulée, l'installation et la configuration initiales pour créer des affichages pour l'analyse des données sont effectuées automatiquement pour vous.

### **I.2.20. Affichage des résultats**

Pour afficher les résultats de la simulation à partir de la fenêtre principale, schématique ou mise en page, choisissez Fenêtre >

Ouvrez Affichage des données et utilisez la boîte de dialogue pour localiser et ouvrir les résultats.

Pour afficher les résultats de la simulation

1. Ouvrir la fenêtre d'affichage des données
2. Sélectionnez le fichier de jeu de données
3. Afficher les résultats de la simulation

### **I.2.21. Simulateurs plus utiles**

Un groupe des simulateurs en les utilisant en ADS pendant la simulation est représentés dans **la figure (I.1.11)**.

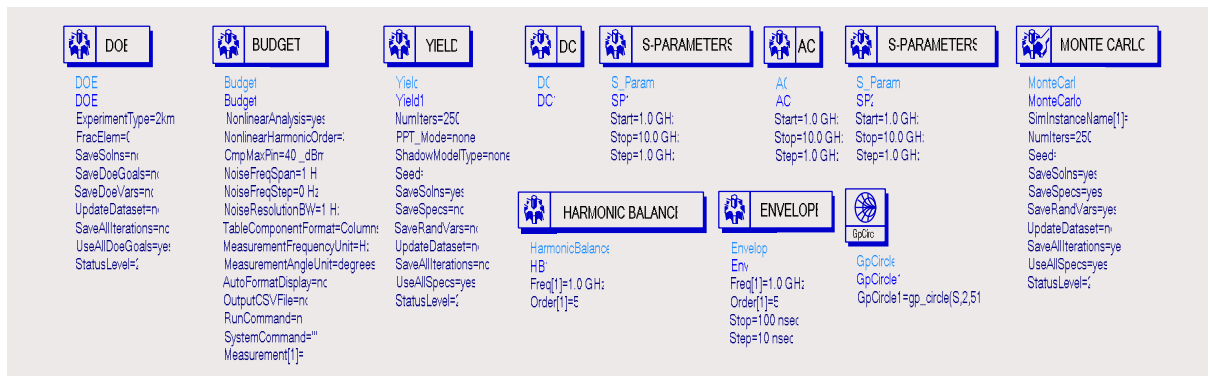


Fig. I.1.11. Liste des quelques paramètres de simulation en système ADS

### I.3. Les amplificateurs en basse fréquence

#### I.3.1. Introduction à l'effet transistor

Les porteurs minoritaires électrons de la zone P et trous de la zone N, créés par l'agitation thermique traversent sans problèmes la jonction et sont accélérés par le champ extérieur.

On a vu que lorsque les porteurs majoritaires d'une zone franchissent la jonction, ils deviennent minoritaires dans l'autre zone, et qu'ils mettent un certain temps à se Nous avons déjà vu à propos recombinaison avec les porteurs opposés.

Partant des deux remarques précédentes, on peut déduire que si on injecte dans la zone N d'une jonction NP polarisée en inverse beaucoup de trous qui seront dans cette zone des porteurs minoritaires en faisant en sorte qu'ils ne se recombinent pas avec les électrons de la zone N, ils vont traverser la jonction et créer un courant dans le circuit extérieur.

Fig. I.2.1. Injection de trous dans une zone N

La **figure (I.2.1)** illustre ce propos, il y aura des recombinaisons charges plus et moins, mais limitées, et la plupart des trous iront dans la zone P et formeront le courant  $I_2$ . A noter que les recombinaisons correspondent au courant  $I_1$ - $I_2$ .

### I.3.2. Le transistor réel

Ce que nous venons de décrire n'est ni plus ni moins que l'effet transistor : il ne manque que le moyen d'injecter des trous dans la zone N et de faire en sorte que les recombinaisons soient faibles, pour que la majorité des trous passent dans la zone P.

#### I.3.2.1. Principe de fonctionnement

Dans le transistor réel, on va apporter les trous en créant une jonction PN, que l'on va polariser en direct. On rajoute pour ce faire une zone P sur la zone N, Cette zone P qui injecte les trous est alors le collecteur, et la zone N faiblement dopée est la base, la jonction NP est polarisée en inverse. La deuxième zone P est le collecteur **figure (I.2.2)**

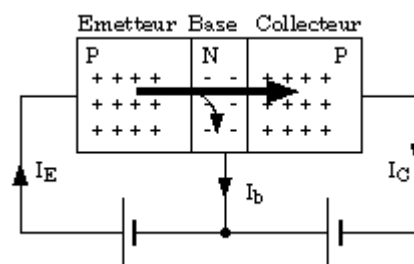


Fig.I.2. 2. Schéma de principe d'un transistor

Les trous injectés dans la base par l'émetteur ont une faible probabilité de se recombiner avec les électrons de la base pour deux raisons ; la base est faiblement dopée, donc, les porteurs majoritaires électrons seront peu nombreux. la base est étroite, et donc les trous émis sont happés par le champ électrique collecteur-base avant d'avoir pu se recombiner la largeur de la base est petite devant la longueur de diffusion des porteurs minoritaires injectés par l'émetteur, qui sont ici les trous.

On peut observer le phénomène d'un point de vue différent : quand on injecte un électron dans la base, l'émetteur devra envoyer plusieurs trous dans la base pour qu'il y en ait un qui se recombine avec l'électron émis. Les autres trous vont passer directement dans le collecteur.

En première approximation, le nombre de trous passant dans le collecteur est proportionnel au nombre d'électrons injectés dans la base.

Ce rapport de proportionnalité est un paramètre intrinsèque au transistor et s'appelle le gain encourant  $\beta$ .

Il ne dépend que des caractéristiques physiques du transistor : il ne dépend ni de la tension inverse collecteur base, ni du courant circulant dans le collecteur. Ceci n'est qu'une approximation, mais dans les hypothèses de petits signaux, c'est assez bien vérifié.

On a les relations suivantes

$$I_c = \beta I_B \dots\dots\dots (I.1)$$

$$I_E = (\beta + 1) I_B \dots\dots\dots (I.2)$$

$$I_B = (I_E - I_c) \dots\dots\dots (I.3)$$

### I.3.2.2. Constitution et caractéristiques physiques d'un transistor

Un transistor bipolaire est donc constitué de trois zones de silicium alternativement dopées N et P, formant deux jonctions PN.

Le transistor décrit au paragraphe précédent comporte deux zones P et une zone N. C'est une des deux façons d'agencer les jonctions pour fabriquer un transistor

Soit une zone P, une N et une P : le transistor est dit PNP.

Soit une zone N, une P et une N : le transistor est dit NPN.

Dans les deux cas, la zone centrale (base) est très étroite vis à vis de la longueur de diffusion des porteurs minoritaires issus de la zone adjacente (l'émetteur).

La base possède en outre la caractéristique d'être très faiblement dopée en comparaison de l'émetteur.

### I.3.2.3. Courants de fuite

La relation (I.1) n'est qu'imparfaitement vérifiée pour une autre raison ; si on reprend le schéma **Figure (I.2.2)**. Et qu'on coupe la connexion de la base ( $I_b = 0$ ), on s'aperçoit que le courant circulant dans le collecteur n'est pas nul, dû à des porteurs minoritaires qui passent de la base dans le collecteur. Ce courant est nommé  $I_{CEO}$ . La relation (I.1) devient donc

$$I_c = (I_{cE0} + \beta I_B) \dots\dots\dots (I.4)$$

En pratique, aux températures ordinaires, ce courant de fuite sera négligé. On verra par la suite qu'on s'arrangera pour polariser les montages de telle manière que le point de polarisation soit quasiment indépendant du courant de fuite.

### I.3.2.4. Symboles, tensions et courants

Dans le symbole du transistor **figure(I.2.3 et I.2.4)**, une flèche désigne l'émetteur ainsi que le sens de circulation du courant d'émetteur ; c'est le sens de cette flèche qui va repérer le type de transistor : NPN pour un courant d'émetteur sortant du transistor, et PNP dans le cas inverse.

La base est représentée par une barre parallèle à l'axe collecteur-émetteur. D'autres symboles existent, mais celui-ci est le plus usité.

Les transistors sont des composants polarisés : les courants indiqués sont les seuls possibles pour un fonctionnement correct. En conséquence, il faudra choisir le type de transistor adapté au besoin (NPN ou PNP) et faire attention au sens de branchement.

### I. 3.3. Transistor NPN

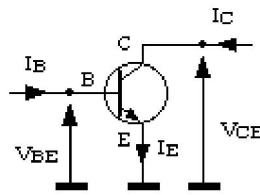


Fig.I.2.3. Courants et tensions sur un NPN

Dans ce type de transistor, les courants de base et de collecteur sont rentrants, et le courant d'émetteur est sortant. Les tensions  $V_{BE}$  et  $V_{CE}$  sont ici positives.

Dans ce type de transistor, les courants de base et de collecteur sont sortants, et le courant d'émetteur est rentrant. Les tensions  $V_{BE}$  et  $V_{CE}$  sont ici négatives.

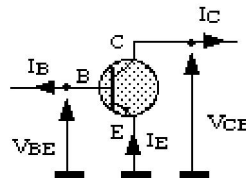


Fig.I.2.4. Courants et tensions sur un PNP

#### I.3.3.1. Caractéristiques électriques

Pour ce paragraphe, nous allons étudier les caractéristiques des transistors NPN. Celles des transistors PNP sont les mêmes aux réserves de signes décrites au paragraphe précédent.

Les transistors NPN sont plus répandus car ils ont de meilleures performances que les PNP, la conductibilité du silicium N est meilleure que celle du silicium P, ainsi que la tenue en tension.

#### I.3.3.2. Montages de base.

Quand on branche un transistor, si on s'arrange pour qu'il y ait une patte commune à l'entrée et à la sortie du montage, il y a 3 manières fondamentales de procéder

- La patte commune est l'émetteur : on parle de montage émetteur commun. L'entrée est la base et la sortie le collecteur.
- La patte commune est la base : on parle de montage base commune. L'entrée est l'émetteur et la sortie le collecteur.
- La patte commune est le collecteur : on parle de montage collecteur commun. L'entrée est la base et la sortie l'émetteur.

Nous reverrons ces trois montages fondamentaux dans un chapitre spécifique.

### I.3.3.3. Schéma de mesure des caractéristiques

Les caractéristiques qui suivent sont données pour un montage émetteur commun. Le schéma le plus simple est le suivant

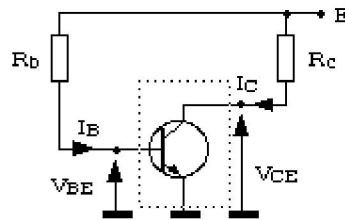


Fig.I.2.5. Montage de base émetteur commun

Dans la **figure (I.2.5)**, la base est polarisée en direct par la résistance de base  $R_b$  ; le potentiel de la base est alors de 0,7V environ, car l'émetteur est à la masse et la jonction base émetteur est l'équivalent d'une diode passante.

Le collecteur est lui polarisé par la résistance de collecteur  $R_c$  de telle manière que la tension du collecteur soit supérieure à la tension de la base : la jonction base collecteur est alors polarisée en inverse.

On polarise donc convenablement le transistor avec une simple alimentation et deux résistances. Dans ce montage, l'entrée est la base et la sortie est le collecteur.

L'entrée est caractérisée par les deux grandeurs  $I_B$  et  $V_{BE}$ , et la sortie par les grandeurs  $I_C$  et  $V_{CE}$ , soit 4 variables.

### I.3.3.4. Caractéristique d'entrée

La caractéristique d'entrée du transistor est donnée par la relation  $I_B = f(V_{BE}) @ V_{CE} = \text{cte}$ .

En fait, le circuit d'entrée est la jonction base émetteur du transistor, soit une jonction diode.

Cette caractéristique va dépendre très peu de la tension collecteur émetteur, on la donne en général pour une seule valeur de  $V_{CE}$ . La courbe est la suivante

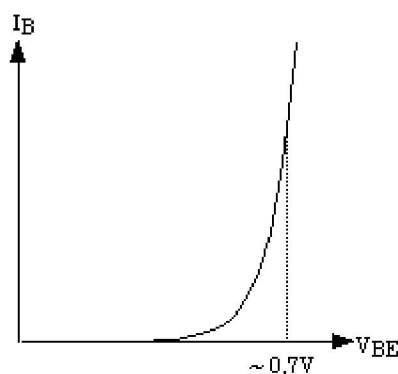


Fig.I.2.6. Caractéristique d'entrée du transistor

La tension  $V_{BE}$  est d'environ 0,7V pour une polarisation normale du transistor courant de base inférieur au mA. Cette valeur est donc légèrement supérieure à celle d'une jonction de diode.

### I.3.3.5. Caractéristique de transfert

La caractéristique de transfert est définie par la relation  $I_C = f(I_B) @ V_{CE} = \text{cte.}$  En. **Figure (I.2.6)**

Nous avons déjà dit que le courant d'émetteur est proportionnel au courant de base formule (I.1)

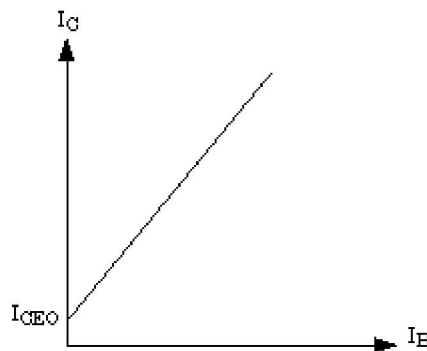


Fig. I.2.7. Caractéristique de transfert du transistor

La caractéristique de transfert est donc une droite ; le transistor est un générateur de courant commandé par un courant représenté dans la **figure (I.2.7)**.

Si on considère le courant de fuite  $I_{CEO}$ , la caractéristique ne passe pas par l'origine, car  $I_C = I_{CEO}$  pour  $I_B = 0$ .

Le  $\beta$  du transistor va varier grandement en fonction du type de transistor : 5 à 10 pour des transistors de grosse puissance, 30 à 80 pour des transistors de moyenne puissance, et de 100 à 500 pour des transistors de signal.

### I.3.3.6. Caractéristique de sortie

La caractéristique de sortie du transistor est définie par la relation  $I_C = f(V_{CE}) @ I_B = \text{cte.}$  En pratique, on donne un réseau de caractéristiques pour plusieurs valeurs de  $I_B$ .

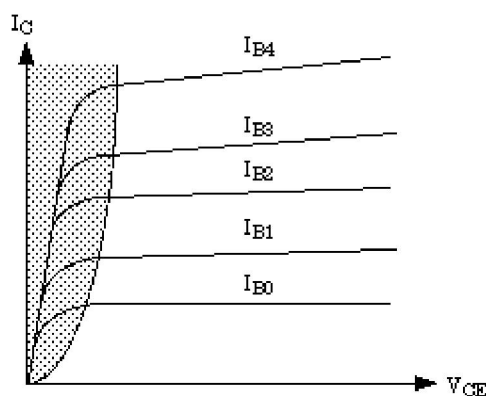


Fig.I.2.8. Caractéristiques de sortie du transistor

Sur ces caractéristiques **Figure (I.2.8)**, on distingue deux zones une zone importante où le courant  $I_C$  dépend très peu de  $V_{CE}$  à  $I_B$  donné : cette caractéristique est celle d'un générateur de courant à résistance interne utilisé en récepteur. Dans le cas des transistors petits signaux, cette résistance est très grande ; en première approche, on considérera que la sortie de ce montage à transistor est un générateur de courant parfait.

La zone des faibles tensions ( $V_{CE0}$  à quelques volts en fonction du transistor) est différente. C'est la zone de saturation. Quand la tension collecteur-émetteur diminue pour devenir très faible, la jonction collecteur-base cesse d'être polarisée en inverse, et l'effet transistor décroît alors très rapidement. A la limite, la jonction collecteur-base devient aussi polarisée en direct : on n'a plus un transistor, mais l'équivalent de deux diodes en parallèle. On a une caractéristique ohmique déterminée principalement par la résistivité du silicium du collecteur. Les tensions de saturation sont toujours définies à un courant collecteur donné : elles varient de 50mV pour des transistors de signal à des courants d'environ 10mA, à 500mV pour les mêmes transistors utilisés au maximum de leurs possibilités (100 à 300 mA), et atteignent 1 à 3V pour des transistors de puissance à des courants de l'ordre de 10A.

### I.3.3.7. Limites d'utilisation

Le transistor pourra fonctionner sans casser à l'intérieur d'un domaine d'utilisation bien déterminé. Ce domaine sera limité par trois paramètres

Le courant collecteur maxi  $I_{C\text{Max}}$ . Le dépassement n'est pas immédiatement destructif, mais le gain en courant  $\beta$  va chuter fortement, ce qui rend le transistor peu intéressant dans cette zone.

La tension de claquage  $V_{CE\text{Max}}$  : au-delà de cette tension, le courant de collecteur croît très rapidement s'il n'est pas limité à l'extérieur du transistor.

La puissance maxi que peut supporter le transistor, et qui va être représentée par une hyperbole sur le graphique, car on a la relation

$$P_{T\text{MAX}} = (V_{CE} \times I_C), I_C = P_{T\text{MAX}} / V_{CE} \dots \dots \dots (I.5)$$

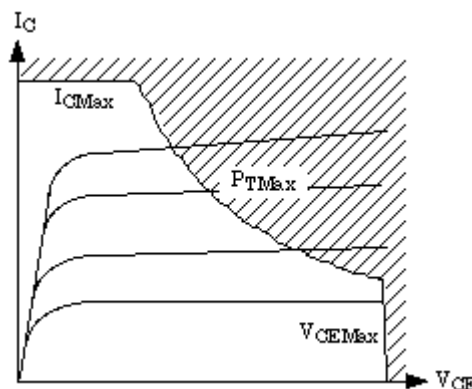


Fig.I.2.9. Limites d'utilisation du transistor

Toute la zone hachurée sur la caractéristique de sortie du transistor **Figure (I.2.9)** est donc interdite.

Ce qu'il faut retenir d'essentiel dans le transistor, c'est que c'est un amplificateur de courant c'est un générateur de fort courant en sortie piloté par un faible courant en entrée.

### I.3.3.8. Paramètres essentiels des transistors

Le choix d'un transistor au premier ordre se fera en considérant les paramètres suivants

- Le  $V_{CEMax}$  que peut supporter le transistor.
- Le courant de collecteur maxi  $I_{CMax}$
- La puissance maxi que le transistor aura à dissiper.
- Le gain en courant  $\beta$

Si on utilise le transistor en commutation, la tension de saturation  $V_{CEsatmax}$  sera un critère de choix essentiel.

### I.3.4. Mise en œuvre du transistor

On a vu que le transistor était un amplificateur de courant : on va donc l'utiliser pour amplifier des signaux issus de sources diverses.

Il va falloir pour cela mettre en œuvre tout un montage autour du transistor pour plusieurs raisons

#### I.3.4.1. Alimentation

Le transistor, tout en étant classifié dans les composants actifs, ne fournit pas d'énergie ; il faudra donc que cette énergie vienne de quelque part, C'est le rôle de l'alimentation qui va servir à apporter les tensions de polarisation et l'énergie que le montage sera susceptible de fournir en sortie.

#### I.3.4.2. Polarisation

Le transistor ne laisse passer le courant que dans un seul sens , il va donc falloir le polariser pour pouvoir y faire passer du courant alternatif, c'est à dire superposer au courant alternatif un courant continu suffisamment grand pour que le courant total (continu + alternatif) circule toujours dans le même sens.

Il faudra en plus que la composante alternative du courant soit suffisamment petite devant la composante continue pour que la linéarisation faite dans le cadre de l'hypothèse des petits signaux soit justifiée.

#### I.3.4.3. Conversion courant et tension

Le transistor est un générateur de courant. Comme il est plus commode de manipuler des tensions, il va falloir convertir ces courants en tensions : on va le faire simplement en mettant des résistances dans des endroits judicieusement choisis du montage.

#### **I.3.4.4. Liaisons**

Une fois le transistor polarisé, il va falloir prévoir le branchement de la source alternative d'entrée sur le montage. En règle générale, ceci se fera par l'intermédiaire d'un condensateur de liaison placé entre la source et le point d'entrée du montage à transistor, base pour montages émetteur et collecteur commun, émetteur pour montage base commune.

De la même manière, pour éviter que la charge du montage à transistor le dispositif situé en aval et qui va utiliser le signal amplifié ne perturbe sa polarisation, on va aussi l'isoler par un condensateur de liaison.

Ces condensateurs vont aussi éviter qu'un courant continu ne circule dans la source et dans la charge, ce qui peut leur être dommageable.

#### **I.3.4.5. Insensibilité du montage aux paramètres du transistor**

Dans la mesure du possible, la polarisation devra rendre le montage insensible aux dérives thermiques du transistor et elle devra être indépendante de ses caractéristiques notamment le gain, ceci pour que le montage soit universel, et ne fonctionne pas uniquement avec le transistor dont on dispose pour réaliser la maquette. Cela permet aussi de changer le transistor sur le montage sans se poser de questions en cas de panne.

#### **I.3.4.6. Méthodologie de calcul**

La polarisation est calculée dans un premier temps ; on fait alors un schéma équivalent du montage pour le continu. Le calcul se fait simplement avec la loi d'Ohm et les principaux théorèmes de l'électricité.

Pour la partie petits signaux alternatifs, on a vu qu'on va devoir linéariser les caractéristiques du transistor au point de fonctionnement défini par la polarisation. Il faut donc définir les paramètres à linéaires et en déduire un schéma équivalent du transistor.

La solution globale, celle correspondant à ce qui est physiquement constaté et mesuré sur le montage est la somme des deux solutions continue et alternative définies ci-dessus.

#### **I.3.4.7. Schéma équivalent alternatif petits signaux du transistor et Paramètres hybrides**

Qui s'y rapportent, pour ensuite justifier ces éléments à l'aide des caractéristiques des transistors.

En pratique, pour simplifier l'exposé, nous allons d'abord donner le schéma équivalent et les

équations Le transistor est considéré comme un quadripôle ; il a deux bornes d'entrée et deux bornes de sortie (une patte sera alors commune à l'entrée et à la sortie) et va être défini par 4 signaux ; courant et tension d'entrée, courant et tension de sortie. Ces variables ont déjà été définies **Figure(I.2.5)**, pour le montage émetteur commun ; il s'agit du courant  $I_B$  et de la tension  $V_{BE}$  pour l'entrée, du courant  $I_C$  et de la tension  $V_{CE}$  pour la sortie.

En fait, ces signaux se décomposent en deux parties : les tensions et courants continus de polarisation notés  $I_{B0}$ ,  $V_{BE0}$ ,  $I_{C0}$ , et  $V_{CE0}$ , et les petites variations alternatives autour du point de repos qui sont respectivement  $i_b$ ,  $v_{be}$ ,  $i_c$ , et  $v_{ce}$ .

Nous avons les équations

$$I_C = (I_{C0} + i_c) \dots \dots \dots (I.6)$$

$$I_B = (I_{B0} + i_b) \dots \dots \dots (I.7)$$

$$V_{CE} = (V_{CE0} + v_{ce}) \dots \dots \dots (I.8)$$

$$V_{BE} = (V_{BE0} + v_{be}) \dots \dots \dots (I.9)$$

Ce sont les petites variations qui vont nous intéresser pour le schéma équivalent alternatif qui est le suivant

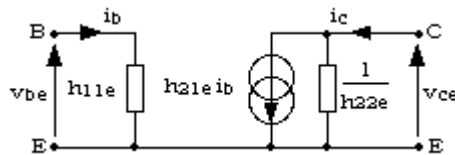


Fig.I.2.10. Schéma équivalent du transistor NPN

Il convient de noter que ce schéma, bien que dérivé du montage émetteur commun l'émetteur est bien ici la borne commune entre l'entrée et la sortie est intrinsèque au transistor et pourra être utilisé dans tous les cas de figure ; il suffira de l'intégrer tel quel au schéma équivalent du reste du montage en faisant bien attention aux connexions des trois pattes du transistor E, B et C.

L'appellation schéma équivalent du montage émetteur commun provient de la définition des variables d'entrée et de sortie qui sont celle de ce type de montage.

Le schéma de la **Figure (I.2.10)**. Correspond à un transistor NPN (courant rentrant dans le collecteur). Pour un transistor PNP, il faudra inverser les sens de  $i_b$ ,  $i_c$ , et du générateur commandé  $h_{21e} i_b$ . Les tension  $v_{be}$  et  $v_{ce}$  seront alors négatives.

Dans ce schéma, nous avons les relations suivantes

$$V_{be} = h_{11e} i_b + (h_{12e} V_{CE})$$

$$I_C = h_{21e} i_b + (h_{22e} V_{CE}) \dots \dots \dots (I.10)$$

L'indice e sur les paramètres  $h_{ije}$  (qu'on appelle paramètres de transfert) indique qu'il s'agit des paramètres émetteur commun. On peut mettre le système (10) sous la forme matricielle suivante

$$\begin{vmatrix} V_{be} \\ I_c \end{vmatrix} = \begin{vmatrix} h_{11e} & h_{12e} \\ h_{21e} & h_{22e} \end{vmatrix} \times \begin{vmatrix} I_b \\ V_{ce} \end{vmatrix} \dots\dots\dots (I.11)$$

Nous nous contenterons ici de voir que ça existe, et d'ajouter que ce formalisme matriciel permet de simplifier les calculs quand on associe plusieurs quadripôles (en série, en parallèle, en cascade). Nous n'utiliserons pas ces caractéristiques dans ce cours.

Si on analyse la première équation du système [10], on y voit l'expression de  $v_{be}$  en fonction de  $i_b$  et  $v_{ce}$ . On a

$h_{11e} = v_{be}/i_b \text{ } v_{ce} = 0$ . Si on se rappelle que  $v_{be}$  et  $i_b$  sont des petites variations autour du point de repos ( $V_{BE0}, I_{B0}$ ) et que la caractéristique d'entrée du transistor est la courbe  $I_B = f(V_{BE})$   $V_{CE} = \text{cte}$  (donc  $v_{ce} = 0$ ), alors, on voit que  $h_{11e}$  est la résistance dynamique de la jonction base-émetteur.

$h_{12e} = v_{be}/v_{ce} \text{ } i_b = 0$ . Ce paramètre est en fait la réaction de la sortie sur l'entrée dans la théorie des quadripôles. Lors de l'étude du principe du transistor, il a été dit que cette réaction était négligeable. Dans toute la suite de l'exposé, il ne sera plus fait mention de ce paramètre.

La deuxième équation nous donne :

$h_{21e} = i_c/i_b \text{ } v_{ce} = 0$ . Ce paramètre est le gain en courant en fonctionnement dynamique du transistor. Il peut être légèrement différent du gain en fonctionnement statique  $\beta$  déjà mentionné, car il a été dit que la linéarité de ce paramètre n'est pas rigoureusement vérifiée.

$h_{22e} = i_c/v_{ce} \text{ } i_b = 0$ . Ce paramètre a la dimension d'une admittance ; c'est l'inverse de la résistance du générateur de courant de sortie du transistor. En pratique, sa valeur est faible (donc la résistance est élevée), et sauf montage un peu pointu, on le négligera, car son influence sera modérée vis à vis de l'impédance de charge du montage.

On voit qu'en fait, les paramètres de transfert issus de la théorie des quadripôles collent bien aux caractéristiques physiques du transistor

Une entrée résistive la résistance différentielle de la jonction base-émetteur, la réaction de la sortie sur l'entrée étant négligeable.

Une sortie équivalente à un générateur de courant proportionnel au courant d'entrée, ce générateur étant imparfait, donc avec une résistance interne non nulle.

### I.3.5. Montage émetteur commun

Le décor étant entièrement planté, on va pouvoir passer au montage fondamental à transistor :

le montage émetteur commun. Il réalise la fonction amplification de base de l'électronique.

**I.3.5.1. Polarisation par une résistance**

Le montage le plus élémentaire tout en étant fonctionnel est le suivant

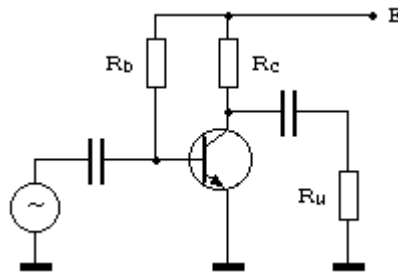


Fig.I.2.11. Polarisation par résistance de base

Le fonctionnement est simple en **figure (I.2.11)** ; le courant de base  $I_{B0}$  est fixé par  $R_b$ , ce qui entraîne un courant de collecteur  $I_{C0}$  égal à  $\beta I_{B0}$ . Le courant collecteur étant fixé, la tension aux bornes de  $R_c$  va être égale à  $R_c I_{C0}$ . Le montage est entièrement déterminé.

Pour calculer les éléments  $R_b$  et  $R_c$ , on va procéder à l'envers ; on va partir de ce qu'on désire (le courant  $I_{C0}$  et la tension  $V_{CE0}$ ), et remonter la chaîne

- On se fixe un courant collecteur de repos  $I_{C0}$  (c'est le courant de polarisation). Ce courant sera choisi en fonction de l'application, et variera entre une dizaine de  $\mu A$  (applications très faible bruit), et une dizaine de mA (meilleures performances en haute fréquence, soient quelques MHz).
- On se fixe une tension de collecteur  $V_{CE0}$ , qu'on prend en général égale à  $E/2$ , pour que la tension du collecteur puisse varier autant vers le haut que vers le bas lorsqu'on appliquera le signal alternatif.

La résistance de collecteur  $R_c$ , en plus d'assurer une polarisation correcte de la jonction base-collecteur, convertit le courant collecteur et ses variations en tension. Elle est déterminée par la formule

$$R_c = \frac{E - V_{ce0}}{I_{co}} \dots\dots\dots (I.12)$$

le courant  $I_{B0}$  est alors imposé par les caractéristiques de gain en courant du transistor (le  $\beta$ ).

On note ici qu'il est impératif de le connaître (donc de le mesurer)

$$I_{bo} = \frac{I_{co}}{\beta} \dots\dots\dots (I.13)$$

La résistance de base  $R_b$  est alors calculée à l'aide de la formule

$$R_b = \frac{E - V_{be0}}{I_{b0}} \text{----- (I.14)}$$

Pour ce faire, on prendra  $V_{BE0} = 0,7V$ , car un calcul plus précis, il faudrait connaître la caractéristique  $I_B = f(V_{BE})$  pour le faire ne servirait à rien.

On peut résumer toute cette étape de polarisation sur un seul graphique

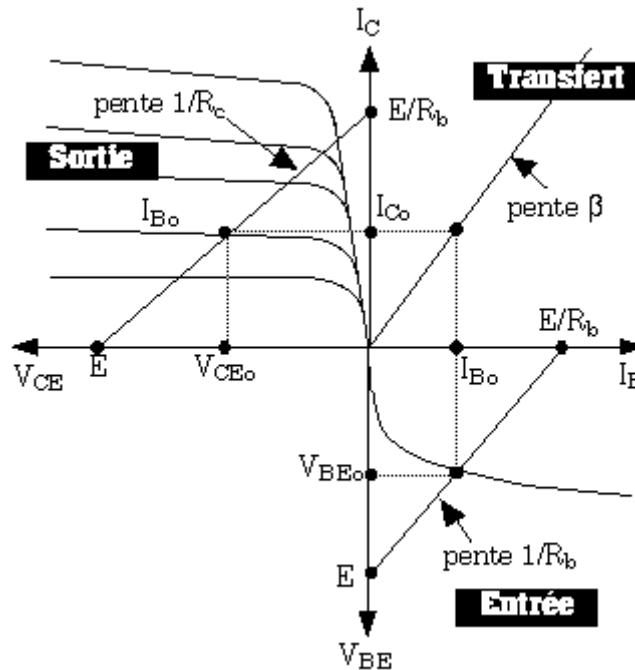


Fig.I.2.12. Polarisation du transistor

On reconnaîtra ici les trois caractéristiques du transistor (entrée, transfert, sortie) jointes sur le même graphique, il faut bien remarquer que les axes sont différents de part et d'autre du zéro. Ce montage dans la **figure (I.2.12)** assure les diverses fonctions vues précédemment, il est correctement alimenté, polarisé (jonction base-émetteur en direct, jonction base collecteur en inverse, courants dans le bon sens), et il possède des condensateurs de liaison. Il y a une ombre au tableau, bien que fonctionnel, ce montage ne garantit pas du tout la fonction de robustesse vis à vis de la dérive thermique et des caractéristiques du transistor. En effet, on peut remarquer que

Si  $I_{CE0}$  (le courant de fuite) augmente sous l'effet de la température, rien ne va venir compenser cette variation ;  $V_{CE0}$  va augmenter et le point de polarisation va se déplacer.

Si on veut changer le transistor par un autre dont le gain soit très différent, vu que  $I_{B0}$  est imposé par  $E$  et  $R_b$ ,  $I_{C0} = \beta I_{B0}$  n'aura pas la bonne valeur, et  $V_{CE0}$  non plus. Et il ne s'en faut pas de quelques %, car pour une même référence de transistor, le gain peut varier d'un facteur

1,5 à 5 ou plus ; On peut donc se retrouver avec un montage dont le transistor serait saturé, donc inutilisable pour l'amplification de petits signaux.

Comme il est impensable de mesurer chaque transistor avant de l'utiliser, on ne peut pas en pratique exploiter le montage décrit **Figure (I.2.11)**. Ce montage n'a qu'un intérêt pédagogique, et pour des montages réels, on va lui préférer le montage à polarisation par pont de base.

### I.3.5.2. Polarisation par pont de base

Ce schéma est un peu plus complexe que le précédent. Nous allons d'abord analyser les différences, et ensuite, nous ne suivrons pas à pas la méthode de calcul de la polarisation.

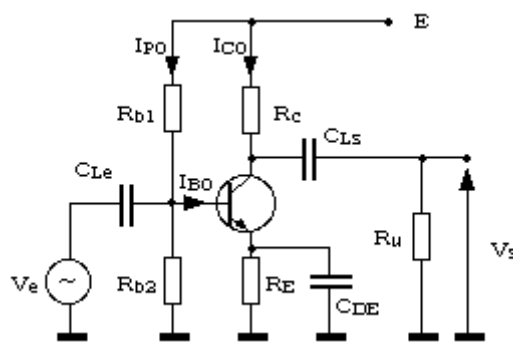


Fig.I.2.13. Polarisation par pont de base

Par rapport au schéma **Figure (I.2.11)**, on note que la base est polarisée à l'aide d'un pont de résistances  $R_{b1}$  et  $R_{b2}$ . Le rôle de ces résistances sera de fixer le potentiel de base. Comme la tension  $V_{BE}$  est voisine de  $0,7V$ , ceci impose de mettre une résistance entre l'émetteur et la masse. Cette résistance est découplée par le condensateur  $C_{DE}$ , qui va être l'équivalent d'un court-circuit en alternatif dans la **figure (I.2.13)**.

On va faire abstraction du condensateur  $C_{DE}$ , qui est un circuit ouvert pour le régime continu. Les résistances du pont de base vont être choisies de telle manière que le courant circulant dans ce pont soit très supérieur au courant rentrant dans la base au moins 10 fois plus grand, ceci afin que des petites variations du courant de base ne modifient pas le potentiel de la base, qui restera donc fixe.

Le potentiel d'émetteur va être égal au potentiel de base moins environ  $0,7V$  et sera lui aussi fixe, à courant de base donné. Dans ce cas, la tension aux bornes de  $R_E$  est déterminée. Le courant d'émetteur donc celui du collecteur, et celui de la base, via le  $\beta$  sera alors fixé par la valeur de la résistance  $R_E$  et la tension du pont de base.

Le courant collecteur étant défini, on choisit la résistance de collecteur pour avoir  $V_{CE0}$  au milieu de la plage de tension utilisable.

Supposons que le courant  $I_{CEO}$  augmente sous l'effet de la température. La tension aux bornes de  $R_E$  va alors augmenter. Comme le potentiel de base est fixé par le pont  $R_{b1}/R_{b2}$ , la tension  $V_{BE}$  va diminuer. Cette diminution va entraîner une baisse du courant de base, donc du courant de collecteur.

Cet effet vient donc s'opposer à l'augmentation du courant collecteur dû à l'augmentation du courant de fuite  $I_{CEO}$ . Le montage s'auto-stabilise.

L'autre avantage, c'est que le courant de collecteur est fixé par le pont de base et par la résistance d'émetteur. Ces éléments sont connus à 5% près en général, donc, d'un montage à un autre, on aura peu de dispersions, et surtout, le courant collecteur sera indépendant du gain du transistor. On a dit à cet effet que le pont de base est calculé de manière à ce que le potentiel de base soit indépendant du courant de base : ce potentiel ne dépendra pas du transistor, et le courant de base s'ajustera automatiquement en fonction du gain du transistor sans perturber le pont de base.

On fera les calculs dans l'ordre suivant

On fixe le courant collecteur de repos  $I_{C0}$ . A noter que le courant d'émetteur sera quasiment le même car  $I_C = I_E - I_B \approx I_E$ .

On fixe le potentiel d'émetteur  $V_{E0}$  (au maximum à  $E/3$ , et en pratique, une valeur plus faible 1 à 2V est une valeur assurant une assez bonne compensation thermique sans trop diminuer la dynamique de sortie.

On calcule alors la résistance  $R_E$  par la formule

$$R_E = \frac{E - V_{E0}}{I_{C0}} \dots\dots\dots (I.15)$$

On se fixe la tension collecteur émetteur  $V_{CE0}$  : en général, on la prendra égale à la moitié de la tension disponible qui est égale non plus à  $E$ , mais à  $E - V_{E0}$ . On en déduit la résistance  $R_C$

$$R_C = \frac{E - V_{E0} - V_{CE0}}{I_{C0}} \dots\dots\dots (I.16)$$

On fixe le courant du pont de base on prendra une valeur moyenne pour le  $\beta$  du transistor, cette valeur n'étant pas critique ici.

$$I_{p0} = 10 I_{b0} = 10 \frac{I_{C0}}{\beta} \dots\dots\dots (I.17)$$

On calcule  $R_{b2}$  (en règle générale, on prendra  $V_{BE0}$  égal à 0,7V)

$$R_{b2} = \frac{V_{e0} + V_{be0}}{I_{po}} \dots\dots\dots (I.18)$$

On en déduit  $R_{b1}$

$$R_{b1} = \frac{E}{I_{po}} - R_{b2} \dots\dots\dots (I.19)$$

Le point de repos du montage étant déterminé, on va passer au comportement en alternatif.

**I.3.5.3. Fonctionnement en petits signaux alternatifs**

Si on applique les règles, on obtient

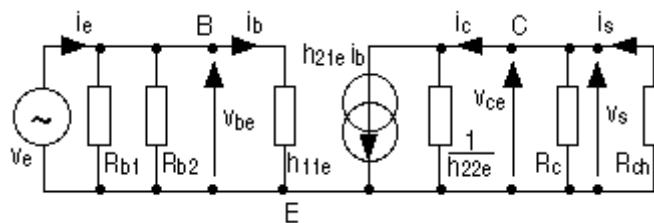


Fig.I.2.14. Schéma équivalent en alternatif

On notera que la résistance d'émetteur a disparu, car elle est shuntée par le condensateur de découplage  $C_{DE}$ .

Tout d'abord, on va évaluer la capacité du montage à amplifier le signal d'entrée. La caractéristique représentative de cette fonction est le gain en tension  $A_v$ , qui est le rapport entre les tensions de sortie et d'entrée.

Ensuite, il faut regarder en quoi le montage peut s'interfacer avec la source d'entrée sans la perturber ; il doit rester le plus neutre possible vis à vis de cette source, surtout s'il s'agit d'un capteur de mesure La grandeur représentative est l'impédance d'entrée.

Même chose vis à vis de la charge branchée en sortie du montage, qui va utiliser le signal amplifié : il va falloir regarder dans quelle mesure l'étage à transistor n'est pas perturbé par cette charge. La grandeur représentative est l'impédance de sortie.

Nous allons calculer ces trois paramètres. On pourrait y rajouter le gain en courant  $A_i$  qui est le rapport des courants de sortie et d'entrée, et aussi le gain en puissance. En amplification petits signaux, ces paramètres sont peu utilisés, nous n'en parlerons donc pas.

### I.3.5.3. Fonctionnement intuitif

Avant de faire des calculs compliqués sur un schéma abstrait, il serait bon de voir comment marche le montage de façon intuitive et qualitative.

On considère que le potentiel d'émetteur est fixe grâce au condensateur de découplage  $C_{DE}$ .

Si on augmente légèrement la tension de base, le courant de base va augmenter. Le courant de collecteur va augmenter proportionnellement au courant de base, et donc, la chute de tension dans la résistance  $R_C$  va augmenter. Le potentiel du collecteur va alors baisser.

On peut par conséquent s'attendre à un gain en tension négatif entrée et sortie en opposition de phase.

On peut aussi voir ce que donnerait le montage sans le condensateur  $C_{DE}$  ; si la tension de base augmente, le courant de base, donc de collecteur augmente. La tension aux bornes de la résistance d'émetteur va augmenter aussi, et donc, le potentiel de l'émetteur va remonter, ce qui va entraîner une diminution de la tension  $V_{BE}$ , donc du courant de base, donc du courant de collecteur ; il y a une contre-réaction qui s'oppose à l'amplification.

Le gain en tension sera plus faible qu'avec le condensateur  $C_{DE}$ . Nous aurons l'occasion de revoir ce montage (dit à charge répartie) dans un chapitre ultérieur.

### I.3.5.4. Gain en tension

Le gain en tension peut être défini de deux manières

- Le gain à vide : c'est à dire sans charge connectée en sortie du montage.
- Le gain en charge : c'est à dire la charge connectée.

Nous allons calculer le gain de l'étage amplificateur à vide. Nous verrons ensuite qu'il est simple de calculer le gain en charge à posteriori.

On va d'abord procéder à quelques simplifications dans le schéma

Les deux résistances du pont de base sont en parallèle du point de vue alternatif. Nous allons donc les remplacer par une seule résistance  $R_P$  dont la valeur sera égale à  $R_{b1} // R_{b2}$ .

la résistance de sortie  $1/h_{22e}$  du transistor est grande (plusieurs dizaines de  $k\Omega$ ). Pour une alimentation  $E$  de 12V, un courant  $I_{C0}$  de 2mA et une tension  $V_{CE0}$  de 5V, on aura  $R_C = 2500 \Omega$ , soit environ le dixième de  $1/h_{22e}$ . On va donc négliger ce dernier terme. On notera que lorsque la tension d'alimentation est élevée et que le courant de collecteur est faible, cette simplification est moins justifiée.

On supprime la charge  $R_U$  (hypothèse de calcul).

Avec ces hypothèses, le schéma devient

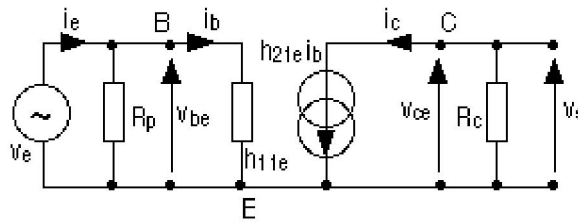


Fig.I.2.15. Schéma équivalent simplifié

On a les équations suivantes

$$V_e = h_{11e}I_b \dots\dots\dots (I.20)$$

$$V_s = -R_c I_c \dots\dots\dots (I.21)$$

$$I_c = h_{21e}I_b \dots\dots\dots (I.22)$$

$$I_c = h_{21e}I_b \dots\dots\dots (I.23)$$

$$(I.21) \text{ et } (I.22) \Rightarrow V_s = - h_{21e}R_c I_b \dots\dots\dots (I.24)$$

Si on pose  $h_{21e} = \beta$  (le gain dynamique est égal au gain statique), on obtient l'expression du gain en tension

$$A_v = \frac{V_s}{V_e} = \frac{-\beta R_c}{h_{11e}} \dots\dots\dots (I.25)$$

Cette expression montre que le gain de l'étage dépend de deux paramètres du transistor : le gain en courant  $\beta$  et la résistance dynamique d'entrée  $h_{11e}$ .

Pour augmenter ce gain, on pourrait se dire qu'il suffit d'augmenter  $R_c$  donc de diminuer le courant  $I_{C0}$  pour garder un  $V_{CE0}$  constant.

Ce serait une grave erreur : en effet, si on diminue  $I_{C0}$ , on diminue aussi forcément  $I_{B0}$ , et en conséquence, la résistance différentielle de la jonction base émetteur augmente : le gain risque donc de ne pas trop augmenter.

Les paramètres de cette formule sont donc liés : ils ne sont pas indépendants, et on ne fait pas ce qu'on veut.

Nous allons essayer de trouver une formulation mettant en œuvre des paramètres indépendants.

Nous avons déjà dit que la jonction base-émetteur était l'équivalent d'une diode. Elle satisfait notamment aux mêmes formulations mathématiques.

$$r_d = \frac{KT}{qI_d} \dots\dots\dots (I.26)$$

Pour le transistor, on a la même chose en remplaçant  $I_d$  par le courant de base  $I_{B0}$  et  $r_d$  par  $h_{11e}$ . Le terme  $kT/q$  est homogène à une tension et vaut environ 26mV à température ordinaire.

La relation simplifiée entre  $h_{11e}$  et  $I_{B0}$  ( $h_{11e}$  est en  $\Omega$  et  $I_{B0}$  en A) devient alors :

$$h_{11e} = \frac{0,026}{I_{bo}} \dots\dots\dots (I.27)$$

Si on réinjecte cette relation dans la formule (I.24) en tenant compte du fait que  $I_{C0} = \beta I_{B0}$ , on obtient

$$A_v = - 38,5 I_{C0} R_c \dots \dots \dots (I.28)$$

Le terme  $38,5 I_{C0}$  représente la pente du transistor au point de polarisation  $I_{C0}$ . C'est le rapport  $I_C / V_{BE}$  en ce point. Il ne dépend pas du transistor : c'est un paramètre intéressant qui permet de calculer le gain d'un étage indépendamment du composant choisi pour le réaliser.

Cette formulation du gain est beaucoup plus satisfaisante que la précédente, car elle ne dépend plus des caractéristiques du transistor, et notamment de son gain au facteur 38,5 qui est le terme  $q/kT$  : il dépend de la température. Elle montre aussi que le gain est relativement figé si on garde pour règle une tension de polarisation  $V_{CE0}$  égale à la moitié de la tension d'alimentation moins la tension d'émetteur). Le seul moyen de l'augmenter est d'accroître la tension d'alimentation ; on pourra alors augmenter le terme  $R_c I_{C0}$  qui est la chute de tension dans la résistance de collecteur.

A titre indicatif, pour un montage polarisé sous 12V avec une tension  $V_{E0}$  de 2V et  $V_{CE0}$  de 5V, on aura  $R_c I_{C0}$  égal à 5V, et un gain en tension  $A_v$  égal à 190.

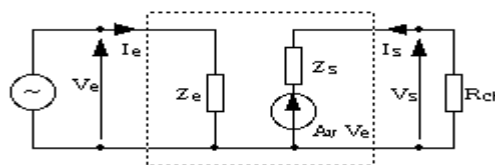
**I.3.5.5. Schéma équivalent de l'étage amplificateur**

Le schéma équivalent du montage amplificateur émetteur commun peut être représenté sous la forme donnée **figure (I.2.16)**.

En entrée, on y trouve l'impédance  $Z_e$  (on néglige la réaction de la sortie sur l'entrée, donc, il n'y a pas d'autres composants)

En sortie, on a un générateur de tension commandé (la tension de sortie est égale à la tension d'entrée multipliée par le gain  $A_v$  de l'étage à vide) avec sa résistance interne qui sera la résistance de sortie de l'étage.

On notera que la représentation de la sortie est celle du générateur de Thévenin équivalent



**Fig.I.2.16 Schéma équivalent de l'étage amplificateur**

On pourra voir ici une contradiction avec notre montage émetteur commun qui est doté en sortie d'un générateur de courant. Cette objection est balayée par les deux points suivants

On veut calculer le gain en tension de l'étage, On considère donc notre montage comme un générateur de tension avec sa résistance interne, si grande soit-elle.

La transformation Norton / Thévenin nous permet de passer d'une représentation à l'autre simplement.

Ce schéma va nous permettre de définir les impédances d'entrée et de sortie de notre étage.

**I.3.5.6. Impédance d'entrée**

Par définition, et en se référant au schéma **Figure (I.2.16)**, l'impédance d'entrée est égale à :

$$Z_e = \frac{V_e}{I_e} \dots\dots\dots (I.29)$$

Ici, le schéma est simple, le générateur d'entrée débite sur deux résistances en parallèle. On a donc

$$Z_e = R_p // h_{11e} \dots\dots\dots (I.30)$$

On voit qu'on n'a pas intérêt à prendre un pont de base avec des valeurs trop faibles. Il faudra donc faire un compromis avec la condition de polarisation ( $I_P \gg I_{B0}$ ). En général,  $h_{11e}$  sera petit ( $1k\Omega$  pour  $I_{B0} = 26\mu A$ ), donc cette impédance sera bien inférieure à  $R_p$ , et très souvent, elle sera insuffisante pour qu'on puisse interfacer des sources de tension (capteurs notamment) directement sur un étage émetteur commun.

**I.3.5.7. Impédance de sortie**

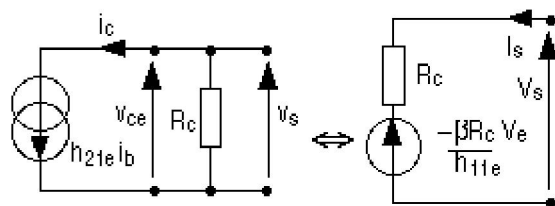


Fig. I.2.17. Transformation Norton / Thévenin

Si on transforme la sortie du montage **Figure. (I.2.15)** en celle du schéma **Figure (I.2.16)**. (Transformation Norton / Thévenin), on obtient le schéma de la **Figure (I.2.17)**.

La résistance  $R_C$  qui était en parallèle sur le générateur de courant  $h_{21e} I_b$  devient la résistance en série avec le générateur de tension. L'impédance de sortie est donc ici très simple à identifier

$$Z_s = R_c \dots\dots\dots (I.31)$$

Cette valeur est assez élevée, et souvent, on ne pourra pas connecter le montage tel quel sur une charge.

**I.3.5.8. Gain de l'étage en charge**

Il y a deux manières de voir la chose :

On reprend le schéma équivalent de la **Figure(1.2.15)** et on rajoute  $R_{CH}$  en parallèle avec  $R_C$ .

La formule du gain devient alors

$$A_V = \frac{V_s}{V_e} = \frac{-\beta(R_C // R_{ch})}{h_{11e}} \dots \dots \dots (I.32)$$

On connaît l'impédance de sortie et la charge. D'après le schéma **Figure (I.2.16)**, ces deux résistances forment un pont diviseur qui atténue la tension de sortie à vide. Le gain devient :

$$A_V = \frac{-\beta R_C}{h_{11e}} \frac{(R_{ch})}{(R_{ch} + R_C)} \dots \dots \dots (I.33)$$

On vérifiera que si on développe  $R_C // R_{CH}$  dans la formule (I.31), on tombe bien sur la formule (I.32).

### I.3.5.9. Bilan d'utilisation du montage

Au final, le montage émetteur commun est un montage ayant une bonne amplification en tension de l'ordre de plusieurs centaines). une impédance d'entrée relativement faible (égale à  $h_{11e}$ , soit de l'ordre de plusieurs  $k\Omega$ , variable en fonction de la polarisation (plus  $I_{C0}$  est faible, plus l'impédance d'entrée est élevée).

Une impédance de sortie assez élevée  $R_C$  qui va aussi dépendre du courant de polarisation  $I_{C0}$ . Ce montage est l'amplificateur de base à transistor et sera donc utilisé comme sous-fonction dans des circuits plus complexes discrets, ou intégrés comme dans l'amplificateur opérationnel. Par contre, il sera souvent inexploitable seul, et il faudra lui adjoindre des étages adaptateurs d'impédance.

### I.3.6. Montage collecteur commun

Dans ce montage, l'entrée est la base et la sortie l'émetteur. C'est le collecteur qui est le point commun entre l'entrée et la sortie. On notera que c'est faux pour la polarisation, car le collecteur est relié au +E et l'entrée se fait entre base et masse, et la sortie entre émetteur et masse. En fait, le collecteur est bien commun en alternatif, car le générateur de polarisation +E est un circuit pour ce régime, et donc, le collecteur va se retrouver à la masse alternative : ce sera donc bien la patte commune entrée sortie.

#### I.3.6.1. Polarisation. Point de fonctionnement

Comme pour le montage émetteur commun, il y a moyen de polariser le transistor avec une seule résistance de base, ce qui entraîne exactement les mêmes inconvénients. Nous passerons donc directement à la polarisation par pont de base, qui est la plus utilisée. Le schéma complet est donné sur la **Figure(I.2.18)**.

Par rapport au montage émetteur commun, on remarque que la résistance de collecteur a

disparu. Le condensateur de découplage de  $R_E$  aussi, ce qui est normal, car ici, la sortie est l'émetteur : il n'est donc pas question de mettre la sortie à la masse en alternatif

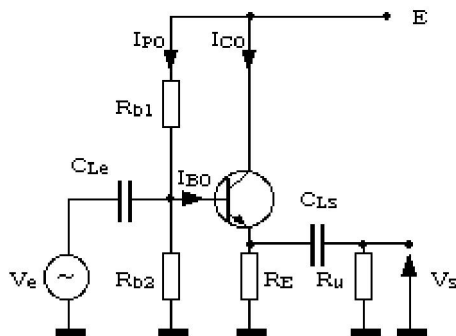


Fig.I.2.18. Montage collecteur commun

Pour la polarisation, on se reportera au paragraphe équivalent du montage émetteur commun, et on prendra en compte les différences suivantes :

En général, on fixera le potentiel de repos de l'émetteur à  $E/2$  pour avoir la même dynamique pour les alternances positives et négatives.

On n'a pas à se préoccuper du potentiel de collecteur ni de sa polarisation car cette broche est à  $+E$ .

### I.3.5.2. Fonctionnement en petits signaux alternatifs

Nous avons ici fait les mêmes simplifications de schéma représenté dans la **figure (I.2.19)** que pour le montage émetteur commun. On voit bien sur le schéma résultant que le collecteur est le point commun entrée / sortie.

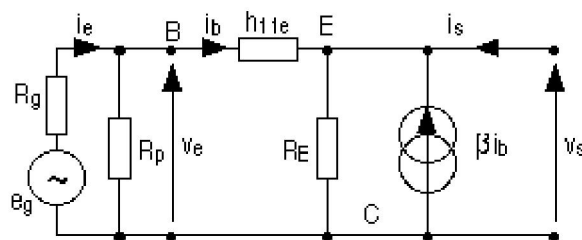


Fig.I.2.19. Schéma équivalent collecteur commun

On pourra remarquer que (en le réarrangeant) le schéma équivalent interne du transistor est le même que pour le montage émetteur commun.

Par rapport à ce dernier montage, on a rajouté la résistance interne du générateur d'attaque. En effet, on voit qu'ici, l'entrée et la sortie ne sont pas séparés, et donc, la charge va avoir un impact sur l'impédance d'entrée et l'impédance interne du générateur d'attaque influera sur l'impédance de sortie. Il ne faut pas oublier que cette dernière est l'impédance vue de la

charge, donc englobe l'étage à transistor et le dispositif d'attaque.

Le paramètre  $h_{21e}$  a été remplacé par  $\beta$ , les gains statique et dynamique étant sensiblement les mêmes.

**I.3.6.3. Fonctionnement intuitif**

Considérons le schéma de la **Figure (I.2.18)**, Si on augmente la tension de base, la tension  $V_{BE}$  va augmenter, ainsi que le courant  $I_B$ , donc  $I_C$ , ce qui va créer une chute de tension plus grande dans  $R_E$ . Le potentiel de l'émetteur va alors remonter, contrariant l'augmentation de  $V_{BE}$ , donc du courant  $I_C$ . Le potentiel de l'émetteur va ainsi suivre sagement aux variations  $\Delta V_{BE}$  près, qui sont très faibles, le potentiel qu'on impose à la base.

Si on regarde bien le montage, on voit en fait que la tension de sortie est toujours inférieure à la tension d'entrée de la valeur  $V_{BE}$ . Quand on va appliquer un signal alternatif sur la base, on va le retrouver sur la résistance d'émetteur diminué de la variation de  $\Delta V_{BE}$  qui va être très faible.

On voit donc qu'intuitivement, ce montage aura un gain positif mais inférieur à 1.

Ce n'est pas un montage amplificateur. On va voir que ses caractéristiques d'impédance d'entrée et de sortie le destinent à l'adaptation d'impédance.

**I.3.6.4. Gain en tension.**

Si on applique la loi des nœuds au niveau de l'émetteur **Figure (I.2.19)**, on voit que le courant circulant dans  $R_E$  est égal à  $(\beta+1) I_b$  et va de l'émetteur vers le collecteur. On peut alors poser les équations suivantes

$$V_e = h_{11e}I_b + (\beta + 1)R_eI_b \dots\dots\dots (I.34)$$

$$V_s = (\beta + 1)R_eI_b \dots\dots\dots (I.35)$$

On remarquera au passage en analysant l'équation (I.33) que vu de la base, tout se passe comme si la résistance  $R_E$  était multipliée par le gain en courant.

On déduit le gain à vide des équations (I.33) et (I.34)

$$A_v = \frac{V_s}{V_e} = \frac{(\beta+1)R_e}{h_{11e}+(\beta+1)R_e} \dots\dots\dots (I.36)$$

Ce gain est légèrement inférieur à 1, et c'est normal, car la tension de sortie est égale à la tension d'entrée multipliée par le pont diviseur formé par  $h_{11e}$  et  $(\beta+1)R_E$ . En général,  $R_E$  est du même ordre de grandeur que  $h_{11e}$ , ce qui fait que le terme  $(\beta+1) R_E$  est beaucoup plus grand que  $h_{11e}$ . A quelques centièmes près, le gain sera quasiment égal à l'unité. Pour cette raison, et aussi pour ce qui a été dit dans la rubrique fonctionnement intuitif, on appelle ce

montage émetteur suiveur , car le potentiel d'émetteur suit celui imposé à la base (aux variations  $\Delta V_{BE}$  près, qui sont très faibles).

Quand l'étage est chargé sur  $R_{ch}$ , il convient de remplacer  $R_E$  par  $R_E // R_{ch}$  dans l'équation (I.35), ce qui change très peu le résultat, même si  $R_{ch}$  est égale ou même un peu inférieure à  $R_E$  (dans les mêmes conditions, le gain de l'étage émetteur commun aurait chuté d'un facteur supérieur ou égal à 2).

Ceci augure d'une bonne impédance de sortie : il ne faut pas oublier que ce paramètre mesure l'aptitude d'un montage à tenir la charge.

**I.3.6.5. Impédance d'entrée**

Le courant  $i_e$  est égal à  $i_b$  augmenté du courant circulant dans  $R_p$ .

L'impédance d'entrée va donc être égale à  $R_p / (v_e / i_b)$ . On peut tirer cette dernière valeur de l'équation (I.33)

$$\frac{v_e}{i_b} = h_{11e} + (\beta + 1)R_e \dots \dots \dots (I.37)$$

On en déduit la valeur de l'impédance d'entrée :

$$Z_e = (h_{11e} + (\beta + 1)R_e) // R_p \dots \dots \dots (I.38)$$

On remarque que le premier terme est une valeur très élevée (de l'ordre de  $\beta R_E$ ,  $h_{11e}$  étant négligeable), et que malheureusement, la valeur du pont de base vient diminuer cette impédance d'un facteur 10 environ. C'est donc la valeur de  $R_p$  qui va déterminer l'impédance d'entrée. Cette impédance est quand même au moins 10 fois supérieure à celle de l'émetteur commun.

On voit toutefois que là encore, la polarisation ne fait pas bon ménage avec le régime alternatif : tout sera une affaire de compromis, comme bien souvent en électronique. Il n'y aura jamais la bonne solution, mais une solution intermédiaire qui sera la mieux adaptée au fonctionnement désiré.

Il faut aussi remarquer que vu de la base, les impédances situées dans le circuit d'émetteur sont multipliées par le gain  $\beta$  du transistor. C'est une remarque très importante qui est toujours vraie.

L'impédance d'entrée a été ici calculée pour un montage fonctionnant à vide. Si on le charge par  $R_{ch}$ , cette résistance vient se mettre en parallèle sur  $R_E$  dans la formule (I.37). Dans le cas général, l'impédance d'entrée dépend donc de la charge. Cette dépendance sera faible tant qu'on aura une polarisation par pont de base, car on a vu que  $R_p$  est le terme prépondérant. Il existe néanmoins des astuces pour éliminer l'effet du pont de base montage bootstrap ou

couplage direct de deux étages à transistor, et dans ce cas, il faudra tenir compte de la charge.

**I.3.6.7. Impédance de sortie**

Le calcul va être plus compliqué que pour l'émetteur commun. On remarquera qu'ici la sortie n'est pas séparée de l'entrée, ce qui fait que tout le circuit d'entrée va influencer sur l'impédance de sortie, y compris la résistance interne du générateur d'attaque  $R_g$ . Comme dans le cas général cette impédance n'est pas nulle, nous l'avons faite figurer sur le schéma **Figure(I.2.19)**. Là aussi, il faut calculer les caractéristiques du générateur de Thévenin équivalent.

On peut écrire les équations suivantes :

$$V_s = Re(I_s + (\beta + 1)I_b) \dots\dots\dots (I.39)$$

$$V_s = V_e - h_{11}I_b \dots\dots\dots (I.340)$$

Si on considère le générateur de Thévenin équivalent au générateur d'entrée plus  $R_p$ , on peut écrire :

$$A_v = e_g \frac{R_p}{R_g + R_p} - (R_g // R_b)I_b \dots\dots\dots (I.41)$$

Si on pose

$$K = \frac{R_p}{R_g + R_p} \dots\dots\dots (I.42)$$

En injectant (I.40) et (I.41) dans (I.39), on obtient

$$I_b = \frac{K e_g - V_s}{h_{11} + (R_b // R_g)} - (R_g // R_b)I_b \dots\dots\dots (I.43)$$

En remplaçant  $i_b$  par cette valeur dans (I.38), on a

$$V_s = Re(I_s + (\beta + 1) \left( \frac{K e_g - V_s}{h_{11} + \left(\frac{R_b}{R_g}\right)} \right)) \dots\dots\dots (I.44)$$

Après un développement laborieux, on peut mettre  $V_s$  sous la forme  $A e_g + Z_s i_s$  : ce sont les caractéristiques du générateur de Thévenin de sortie de l'étage. Le terme  $Z_s$  est le suivant

$$Z_s = Re // \frac{(R_g // R_p) + h_{11}e}{(\beta + 1)} \dots\dots\dots (I.45)$$

$R_E$ ,  $R_g$  et  $h_{11e}$  étant du même ordre de grandeur, le terme divisé par  $(\beta + 1)$  va être le plus petit, et  $R_E$  va avoir un effet négligeable. On pourra aussi souvent négliger  $R_p$  par rapport à  $R_g$ .  $Z_s$  devient

$$Z_S = \frac{(R_g + h_{11e})}{(\beta + 1)} \dots \dots \dots (I.46)$$

Cette impédance de sortie est relativement faible : le montage pourra tenir des charges plus faibles que le montage émetteur commun.

On peut faire une remarque similaire à celle qui a été dite dans le paragraphe sur l'impédance d'entrée : vu de la sortie, l'impédance du montage est égale à tout ce qui est en amont de l'émetteur divisé par le gain en courant.

**I.3.6.7. Bilan d'utilisation du montage**

Un montage collecteur commun présente donc les caractéristiques suivantes ;

- Gain en tension quasiment égal à l'unité
- Impédance d'entrée élevée ; environ  $\beta$  fois plus grande que celle de l'émetteur commun si on ne considère pas le pont de base (on verra qu'on peut l'éviter). La valeur typique est de plusieurs dizaines à plusieurs centaines de  $k\Omega$  en fonction du montage.
- Impédance de sortie faible (divisée par  $\beta$  environ par rapport à l'émetteur commun). Sa valeur est de l'ordre de quelques dizaines d' $\Omega$ .

Ce montage ne sera donc pas utilisé pour amplifier un signal, mais comme adaptateur d'impédance, situé en amont ou en aval d'un montage émetteur commun, qui, nous l'avons vu, n'a pas de bonnes caractéristiques d'entrée / sortie.

On pourra donc intercaler un tel montage entre un capteur à haute impédance de sortie et un montage émetteur commun sans que celui-ci ne perturbe le capteur.

On pourra aussi le mettre en sortie d'un montage émetteur commun que l'on doit interfacer avec une faible charge, et ceci, sans écrouler le gain en tension de l'étage.

**I.3.7. Montage base commune**

**I.3.7.1. Point de fonctionnement**

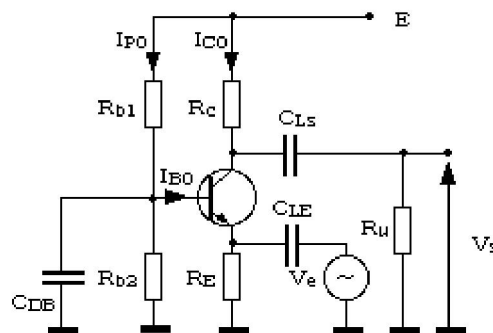


Fig.I.2.20. Montage base commune.

Le montage de la **figure (I.2.20)** commence à nous être familier ; en effet, mis à part

l'emplacement du générateur d'attaque et le condensateur de découplage qui est ici situé sur la base, le montage est le même que celui de l'émetteur commun.

La procédure de calculs des éléments de polarisation est donc identique, car seuls les éléments liés au régime alternatif changent.

La raison en est simple : l'amplification est basée sur une augmentation de  $I_C$  due à une augmentation de  $V_{BE}$ . Pour augmenter  $V_{BE}$ , on a le choix entre deux solutions :

Soit on augmente la tension de base à potentiel d'émetteur constant : c'est le montage émetteur commun.

Soit on abaisse la tension d'émetteur à potentiel de base constant : c'est le montage base commune.

### I.3.7.2. Fonctionnement en petits signaux alternatifs

On va donc étudier ici le montage en **figure (I.2.2)** base commune. On voit tout de suite le défaut que va présenter ce montage : vu qu'on attaque côté émetteur, il faudra faire varier un courant important, donc, l'impédance d'entrée sera sûrement beaucoup plus faible que pour l'émetteur commun, qui n'était déjà pas brillant sur ce point. En fait, ce montage sera peu utilisé, sauf dans des applications hautes fréquences où il trouvera son seul avantage.

Le schéma équivalent est le suivant :

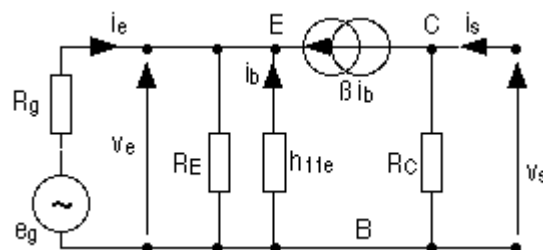


Fig.I.2.21. Schéma équivalent base commune

Le pont  $R_{b1} / R_{b2}$  disparaît car il est shunté en alternatif par le condensateur de découplage  $C_{DB}$ . La base est bien le potentiel commun entrée / sortie, et le schéma du transistor est le même que pour l'émetteur commun.

### I.3.7.3. Fonctionnement intuitif

Le fonctionnement intuitif a déjà été ébauché dans le paragraphe relatif à la polarisation : il est rigoureusement le même que pour l'émetteur commun sauf qu'on attaque l'émetteur pour imposer les variations  $V_{BE}$ , avec un potentiel de base fixe.

On aura juste une différence de signe provenant du fait que quand on augmente la tension de base à potentiel d'émetteur constant, la tension  $V_{BE}$  augmente, et quand on augmente la

tension d'émetteur à potentiel de base constant, elle diminue : une tension d'entrée positive dans les deux cas aura donc des effets contraires.

**I.3.7.4. Gain en tension**

Du schéma **Figure (I.2.21)** on tire les équations suivantes

$$V_s = -R_c \beta I_b \dots\dots\dots (I.47)$$

$$V_e = -h_{11e} I_b \dots\dots\dots (I.48)$$

D'où l'expression du gain en tension à vide

$$A_v = \frac{V_s}{V_e} = \frac{\beta R_c}{h_{11e}} \dots\dots\dots (I.49)$$

Ce gain au signe près est le même que pour l'émetteur commun, ce qui est normal, vu que le fonctionnement est identique.

On peut bien entendu faire les mêmes remarques que pour l'émetteur commun et mettre le gain sous la forme donnée dans l'équation (I.27), au signe près.

Pour le gain en charge, rien de différent non plus,  $R_{ch}$  vient se mettre en parallèle sur  $R_c$  dans la formule du gain à vide.

**I.3.7.5. Impédance d'entrée**

Du circuit d'entrée, on tire l'équation suivante

$$I_e = \frac{V_e}{R_e} - (\beta + 1) I_b \dots\dots\dots (I.50)$$

Si on tire  $I_b$  de l'équation (I.47) et qu'on le remplace par sa valeur dans (49), on obtient

$$I_e = \frac{V_e}{R_e} + (\beta + 1) \frac{V_e}{h_{11e}} \dots\dots\dots (I.51)$$

On en tire l'impédance d'entrée

$$Z_e = \frac{V_e}{I_e} = R_e // \frac{h_{11e}}{(\beta + 1)} \dots\dots\dots (I.52)$$

$R_E$  étant du même ordre de grandeur que  $h_{11e}$ , le terme prépondérant est  $h_{11e} / (\beta + 1)$ . Cette impédance d'entrée est très faible, environ  $\beta$  fois plus faible que celle de l'émetteur commun : ce montage, sauf cas très spécial, est inexploitable tel quel, il faudra un étage adaptateur d'impédance en entrée pour l'utiliser.

On peut remarquer que cette impédance d'entrée est quasiment la même que l'impédance de sortie du montage collecteur commun : si on se rappelle de ce qui a été dit à ce propos, l'impédance vue de l'émetteur est égale à tout ce qui est en amont divisé par le gain en

courant : c'est exactement le cas ici, et on aurait donc pu prévoir facilement la valeur de l'impédance d'entrée sans calculs.

**I.3.7.6. Impédance de sortie**

Pour éviter de longs calculs inutiles, on ne tiendra pas compte de la résistance du générateur d'attaque  $R_g$ .

Du circuit de sortie, on peut tirer l'équation suivante

$$V_s = R_c(I_s - \beta I_b) \dots\dots\dots (I.53)$$

L'équation (I.47) nous donne  $i_b$  en fonction de  $V_e$  ; en le remplaçant par sa valeur dans (I.54), on obtient

$$V_s = R_c I_s + \frac{\beta R_c}{h_{11e}} V_e \dots\dots\dots (I.55)$$

C'est l'équation du générateur de Thévenin de sortie : on en déduit que  $Z_s = R_c$ .

Si on fait le calcul en tenant compte du générateur d'entrée, on démontre que le résultat reste le même, seul le terme multiplicatif de  $e_g$  va changer dans l'expression de la tension de sortie du générateur de Thévenin, et le terme multiplicatif de  $i_s$  reste  $R_c$ .

On a donc

$$Z_s = R_c \dots\dots\dots (I.56)$$

On aurait pu prévoir ce résultat, car l'entrée est séparée de la sortie par un générateur de courant qui présente une impédance infinie (en pratique égale à  $1/h_{22e}$ , qui est très grand) : du point de vue des impédances, on se retrouve avec l'entrée séparée de la sortie.

**I.3.7.6. Bilan d'utilisation du montage**

Les caractéristiques sont donc les suivantes :

Même gain en tension que pour l'émetteur commun (plusieurs centaines).

impédance d'entrée très faible : quelques dizaines d' $\Omega$ .

impédance de sortie moyenne : quelques  $k\Omega$ , la même que pour l'émetteur commun.

En pratique, ce montage sera très peu utilisé, sauf en haute fréquence où il va présenter une bande passante supérieure à celle du montage émetteur commun.

**I.4. Classe des amplificateurs de puissance**

**I.4.1. Amplificateurs de puissance Classe A**

Les amplificateurs de classe A sont les amplificateurs linéaires les plus fidèles **figure (I.3.1) et figure (I.3.2)**, c'est-à-dire présentant le taux de distorsion harmonique le plus faible, même en l'absence de réaction négative. Leur rendement est toute fois tellement faible que leur usage est généralement limité aux amplificateurs de très faible puissance ou encore aux amplificateurs haute -fidélité haut de

gamme de puissance moyenne.

L'amplificateur est constitué d'un étage de sortie ne comportant qu'un seul transistor. Le point de repos se situe approximativement au milieu de la droite de charge. En fonction du signal à amplifier, il peut donc se déplacer de part et d'autre de ce point le long de la droite de charge.

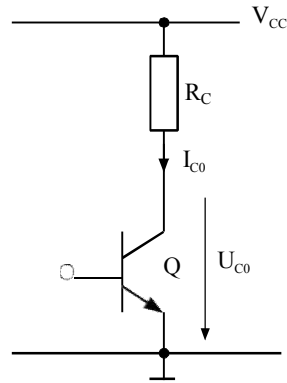


Fig.I.3.1. Montage émetteur commun

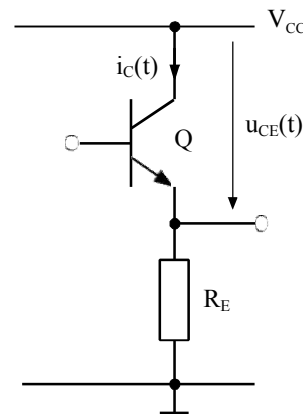


Fig.I.3.2. Montage collecteur commun

### I.4.2. Amplificateurs de puissance Classe B et AB

Les amplificateurs classe B et surtout leur variante de classe AB sont de loin les amplificateurs les plus utilisés **figure (I.3.3) et figure (I.3.4)**. Quand on leurs associe une boucle de réaction négative, leur distorsion tombe à un niveau extrêmement faible. Leur rendement est très bon et ils peuvent aisément fournir des puissances de sortie élevées.

L'amplificateur est constitué d'un étage de sortie comportant deux transistors complémentaires. Le point de repos se situe à la limite du blocage de chaque transistor. Pour pouvoir amplifier les deux alternances d'un signal sinusoïdal, il faut que l'un des transistors amplifie les alternances positives et le second les alternances négatives.

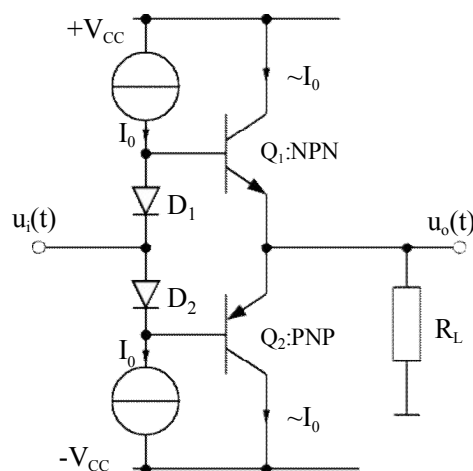


Fig.I.3.3. Amplificateur classe B

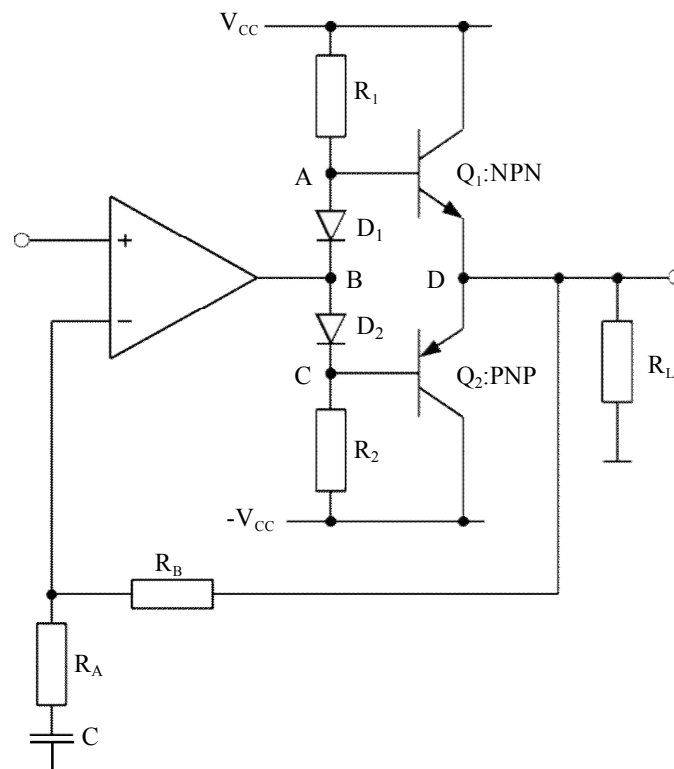


Fig.I.3.4. Amplificateur classe AB

### I.4.3. Amplificateurs de puissance Classe C

Les amplificateurs de classe C sont des amplificateurs non-linéaires à très haut rendement **figure (I.3.5)**. Ils ne sont toutefois utilisables que dans les amplificateurs HF (émetteur radio) avec des porteuses non modulées en amplitude. Ils génèrent un nombre considérable d'harmoniques qui doivent être filtrées à la sortie à l'aide de circuits accordés appropriés.

L'étage de sortie est constitué d'un seul transistor. Le point de repos se situe largement dans la région bloquée des caractéristiques de ce dernier. Seules les crêtes des alternances positives du signal d'entrée feront apparaître un signal de sortie.

Ce type d'amplificateur ne s'emploie que pour des applications particulières, parmi lesquelles on peut citer les amplificateurs HF accordés (pour signaux non-modulés en amplitude), les multiplicateurs de fréquence.

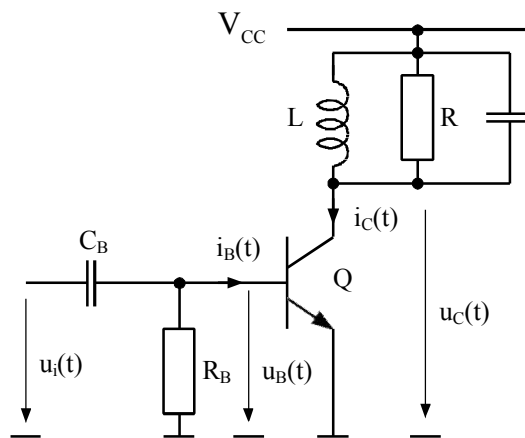


Fig.I.3.5. Amplificateur classe C

### I.4.4. Amplificateurs de puissance Classe D

- Les amplificateurs classe dont le rendement le plus élevé de tous les amplificateurs linéaires **figure (I.3.6)**, mais ils présentent un taux de distorsion harmonique légèrement supérieur aux amplificateurs de la classe B ou AB. Ils sont utilisés par exemple dans les amplificateurs d'autoradio. L'étage de sortie fonctionne en commutation, c'est-à-dire entre deux niveaux de tension. La fréquence de commutation est fixe mais le rapport cyclique de commutation est variable. Le signal BF à amplifier est donc codé en modulation de largeurs d'impulsions (MLI ou PWM: Pulse-Width-Modulation). La fréquence de commutation est au moins d'un ordre de grandeur supérieur à la fréquence maximum du signal BF. Ce signal est reconstitué par filtrage passe-bas à la sortie.

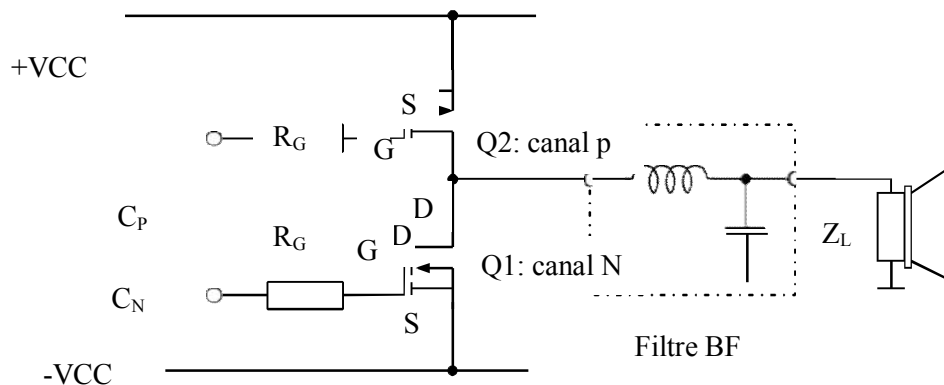


Fig.I.3.6. Amplificateur Classe D

#### **I.4.5. Critères de sélection d'une classe d' amplificateur**

De nombreux critères peuvent être pris en compte lors de la sélection d'un amplificateur. Les points importants étant

La puissance de sortie.

- Le rendement.
- La puissance maximale que peut dissiper l'élément actif.
- Le gain (en tension, en puissance).
- La distorsion.
- La fréquence maximale de travail

#### **I.5. Conclusion**

Au début, On a discuté dans ce chapitre de tous les caractéristiques qui définit le logiciel ADS soit au niveau de simulation ou bien le fonctionnement, Dans la deuxième partie on a exposé le fonctionnement de l'amplificateur en mode passe fréquence et leur utilisation dans les différentes applications électroniques. Après ça on a rappelé les classes d'amplificateurs et le changement interne de leur comportement aussi chaque type et le domaine d'utilisation.

# **CHAPITRE II : Les amplificateurs en haute fréquence**

## II. Les amplificateurs en haute fréquence

### II. 1. Introduction

Tout ce qui a été dit en amplificateur en basse fréquence ne concerne que le fonctionnement à faible fréquence. Pour des fréquences plus élevées, on utilise un schéma équivalent du transistor différent, rendant mieux compte de ce qui se passe physiquement. Ce modèle introduit des capacités parasites, et donc les paramètres du transistor deviennent complexes au sens mathématique du terme. Dans ce chapitre, les schémas équivalents et les formes de calcul en HF vont être traités et on prend une autre étude au niveau de circuit en utilisant le schéma de Giacoletto. On exposera également les théorèmes qui concernent un transistor actif, qui sont très importants pour la compréhension de fonctionnement et des limitations du transistor en haute fréquence.

### II.2. Transistor bipolaire en haute fréquence

La **Figure (II.1)** représente la coupe d'un transistor NPN intégré. Pour obtenir aux petites variations, un modèle fiable en H.F. il faut maintenant distinguer la base externe B accessible physiquement, de la base interne B' du transistor intrinsèque située sous la silicium N<sup>++</sup> de l'émetteur la liaison entre la base B et la base interne B' fait apparaître une résistance d'accès  $r_{bb'}$  qui est l'ordre de 50 Ohm.

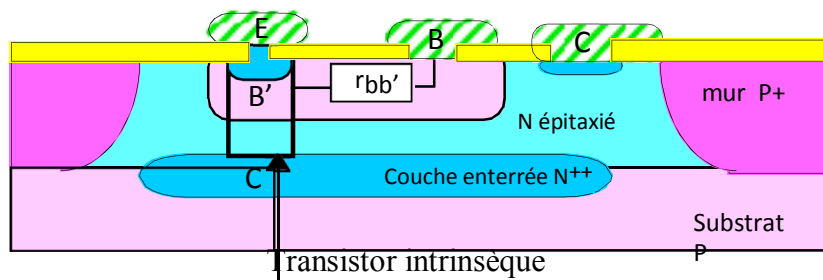


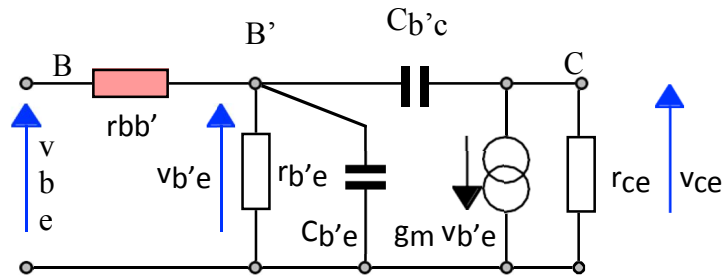
Fig. II.1. Coupe d'un transistor NPN

En polarisation habituelle, la jonction base-émetteur du transistor bipolaire (NPN ou PNP) est passante alors que sa jonction base-collecteur est bloquée. Compte-tenu de la première partie la jonction base-collecteur est simulée par une capacité de transition  $C_{b'c}$  en parallèle, la résistance  $r_{b'c}$  est négligeable.

La jonction base-émetteur est simulée par la résistance série  $r_{bb'}$ , et une résistance  $r_{b'e}$  en parallèle avec une capacité de diffusion  $C_{b'e}$ . La résistance  $r_{b'e}$  représente la résistance dynamique de la jonction base-émetteur du transistor intrinsèque. Elle est donnée par la loi habituelle.

$$r_{b'e} = \beta \frac{U_T}{I_{C\text{repos}}} \dots\dots\dots (II.1)$$

Le schéma équivalent **Figure (II.2)** aux petites variations en hautes fréquences du transistor bipolaire est le suivant.



**Fig.II.2.** Schéma équivalent en H.F. du transistor bipolaire (NPN ou PNP)

La transconductance  $g_m$  est inchangé

$$g_m = \frac{I_{C\text{repos}}}{U_T} \text{ et } r_{ce} = \frac{|V_A| + |V_{CE}|}{I_{C\text{repos}}} \dots\dots\dots (II.2)$$

Si on considère que les bases B et B' sont confondues ( $r_{bb'} = 0\Omega$ ), et que l'on travaille aux fréquences moyennes  $C_{b'e}$  et  $C_{b'c}$  négligeables, on retrouve le schéma classique du transistor.

**II. 2.1. Capacité de transition  $C_{b'c}$  de la jonction base-collecteur**

Son expression est analogue à celle qui a été obtenue pour la diode bloquée

$$C_{b'c} = \frac{C_{b'c0}}{\sqrt{1 + \frac{|V_{BC}|}{V_{\phi BC}}}} \dots\dots\dots (II.3)$$

Son ordre de grandeur est de quelques picroFarad.  $V_{\phi BC}$  correspond au potentiel de diffusion de la jonction base-collecteur.

**II. 2.2. Capacité de diffusion  $C_{b'e}$  de la jonction base-émetteur**

Les résultats obtenus pour la jonction polarisée en direct ne sont pas directement exploitables. En effet, dans le cas d'un transistor NPN, il y a bien injection d'électrons issus de l'émetteur, dans la base P où ils sont minoritaires **Figure (II.3)**. Cependant, la longueur de diffusion  $L_n$  de ces électrons est très supérieure à l'épaisseur  $W_B$  de la base inférieure au micromètre.

Dans ces conditions on va considérer que la surpopulation des électrons injectés  $\Delta n(x)$  varie linéairement de  $\Delta n(0)$  à  $\Delta n(W_B)$ . La relation est développée au premier ordre  $\Delta n(0)$

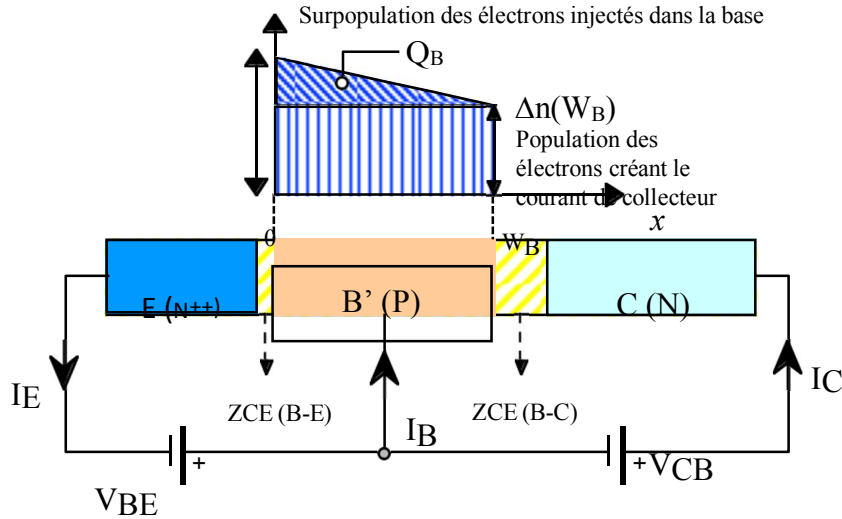


Fig. II.3. Electrons injectés dans la base

Exprimons la population des électrons  $\Delta n(W_B)$ , qui a traversé la base B' sans se faire recombinaison avec les trous, et qui vont créer le courant de collecteur  $I_C$

$$\Delta n(W_B) = \Delta n(0) \left(1 - \frac{W_B}{L_n}\right) \dots\dots\dots (II.4)$$

La charge  $Q_B$  correspondant aux électrons qui se recombinaison dans la base est alors donnée par le calcul de la surface du triangle de la **Figure (II.3)**.

$$Q_B = qS \frac{1}{2} (\Delta n(0) - \Delta n(W_B)) W_B = qS \frac{1}{2} \frac{\Delta n(0) \cdot W_B^2}{L_n} \dots\dots\dots (II.5)$$

Le courant  $I_E$  est le résultat de la diffusion dans le SiP de la surpopulation  $\Delta n(0)$

$$I_E = -qSD_n \frac{1}{2} \left(\frac{d(\Delta n(x))}{dx}\right)_{x=0} \text{ soit } I_E = SqD_n \frac{D_n}{L_n} \Delta n(0) \dots\dots\dots (II.6)$$

Où  $D_n$  représente la constante de temps de diffusion des électrons dans P

En éliminant  $\Delta n(0)$  entre les expressions de  $Q_B$  et  $I_E$ , on obtient

$$Q_B = \frac{1}{2} \frac{W_B^2}{L_n} I_E = \tau_B I_E \dots\dots\dots (II.7)$$

La charge  $Q_B$  est donc proportionnelle au courant d'émetteur. Le coefficient de proportionnalité est en fait le temps de transit  $\tau_B$  des électrons dans la base. C'est-à-dire le temps moyen mis par les électrons pour traverser la base. Pour les variations  $dV_{B'E}$  de la tension  $V_{B'E}$ , on définit la capacité  $C_{b'e}$  selon

$$C_{b'e} = \frac{dQ_B}{dV_{BE}} = \tau_B \frac{dQ_B}{dV_{BE}} \dots\dots\dots (II.8)$$

Pour un transistor de fort gain en courant  $I_E = I_C$  et  $g_m = \frac{dI_C}{dV_{BE}}$

$$C_{b'e} = \tau_B \frac{I_C}{U_T} \dots\dots\dots (II.9)$$

La capacité  $C_{b'e}$  est proportionnelle au courant de repos de collecteur du transistor. Ordre de grandeur : quelque picofarad avec la relation :  $C_{b'e} > C_{b'c}$

**II.2.3. Réponse en fréquence du gain en courant du transistor bipolaire**

Le transistor bipolaire est un générateur de courant dépendant de  $\beta \cdot I_b$  **Figure (II.4)**. L'évolution du gain en courant  $\beta$  en fonction de la fréquence compte-tenu de la présence des deux capacités  $C_{b'e}$  et  $C_{b'c}$  ne peut être déterminé qu'avec l'utilisation du schéma équivalent.

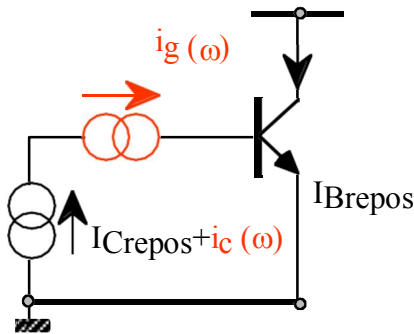


Fig. II.4.a. Excitation du transistor bipolaire

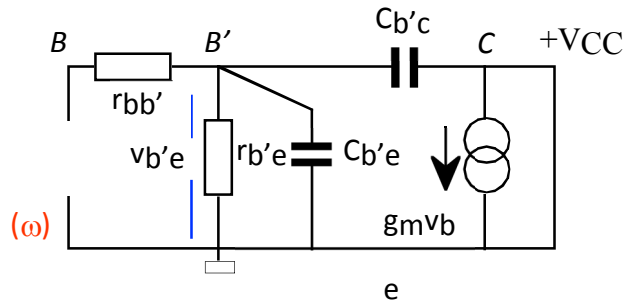


Fig. II.4.b. Schéma équivalent du montage

Considérons le montage de la **Figure (II.4.a)**. Le transistor bipolaire est excité par un générateur de courant continu  $I_{b_{repos}}$  de manière à fixer son point de repos  $I_{c_{repos}}$ . On fait varier le courant de base autour de la valeur de repos, à l'aide du générateur de courant  $i_g = I_g \cdot m \sin(\omega t)$  de manière à créer des petites variations  $i_c(\omega)$  du courant de collecteur. Le schéma

Équivalent au montage est donné en **Figure (II.4. b)**.

Sachant que les deux capacités sont en parallèle, on pose :  $C_e = C_{b'e} + C_{b'c}$ .

$$V_{b'e} = I_g \frac{r_{b'e}}{1 + j\omega \cdot r_{b'e} \cdot C_e} \quad I_c = g_m V_{b'e} \quad \frac{I_c}{I_g} = \beta(\omega) = \frac{g_m r_{b'e}}{1 + j\omega \cdot r_{b'e} \cdot C_e} \dots\dots\dots (II.10)$$

Dans la relation (II.18), le produit  $(g_m \cdot r_{b'e})$  est le gain en courant  $\beta_0$  du transistor aux très basses fréquences alors que le premier membre de la relation représente de gain en courant  $\beta(\omega)$ . On écrit donc sous la forme de Bode.

$$\beta(\omega) = \frac{\beta_0}{1 + j\omega \frac{f}{f_\beta}} \dots\dots\dots (II.11)$$

Le gain en courant du transistor est une fonction du premier ordre où

$$f_\beta = \frac{1}{2\pi r_{b'e} \cdot C_e} \dots\dots\dots (II.12)$$

Est la fréquence de coupure va être obtenu à -3dB du gain en courant de transistor

Exemple à 300K

$I_{C_{QENOS}}$	$\beta_0$	$r_{b'e}$	$C_{b'e}$	$C_{b'c}$	$f_\beta$
1 mA	100	2500Ω	20pF	5.5pF	2.5MHz

Le graphe du module de  $\beta(\omega)$  en fonction de la fréquence est donné par la **Figure (II.5)**. A partir de la fréquence  $f_\beta$ , le gain en courant chute avec une pente telle que :  $\beta(\omega)$  est divisé par 10 par décade (soit -20dB/décade

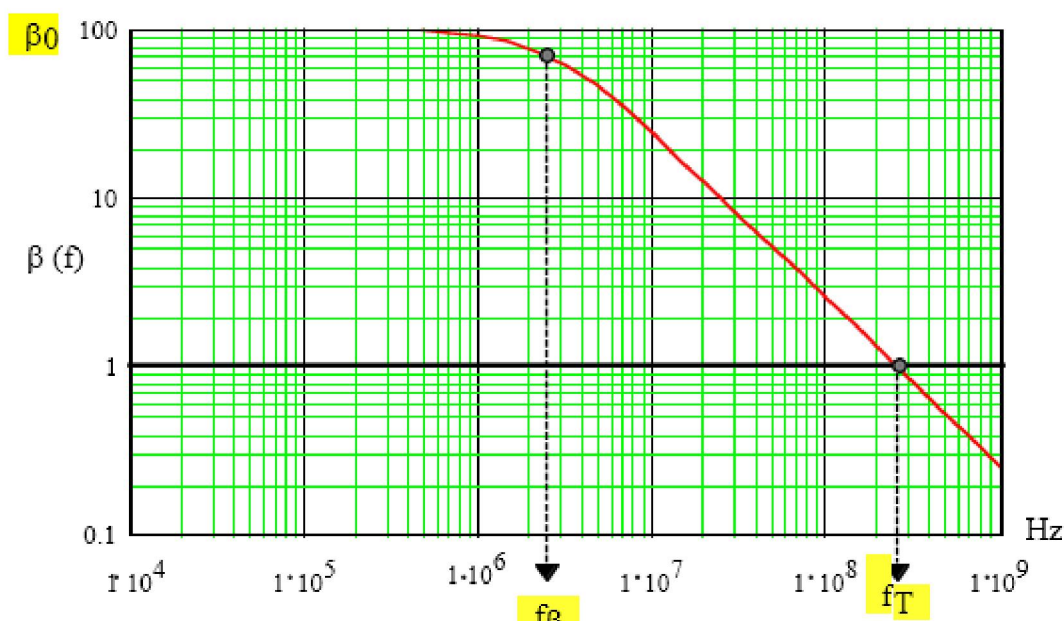


Fig. II.5. Graphe du module du gain en courant en fonction de la fréquence

### II.2.4. Fréquence de transition $f_t$ du transistor bipolaire

A la fréquence dite de « transition »  $f_T$ , le gain en courant est égal à 1. Au-delà, le transistor devient un atténuateur de courant. Autrement dit,  $f_T$  représente la fréquence maximale d'utilisation du transistor. Elle est indiquée par tous les constructeurs de composants. Explicitons la fréquence de transition. On montre facilement en prenant le module de la relation (II.12) que

$$f_T \cong \beta_0 f_\beta \dots\dots\dots(II.13)$$

Soit

$$f_T = \frac{\beta_0}{2\pi r_{b'e} (C_{b'e}' + C_{b'c}')} \quad \text{avec} \quad r_{b'e} = \beta_0 \frac{U_T}{I_{C \text{ repos}}} \quad \dots\dots\dots(\text{II.14})$$

$$f_T = \frac{I_{C \text{ repos}}}{2\pi U_T (C_{b'e}' + C_{b'c}')} \quad \dots\dots\dots(\text{II.15})$$

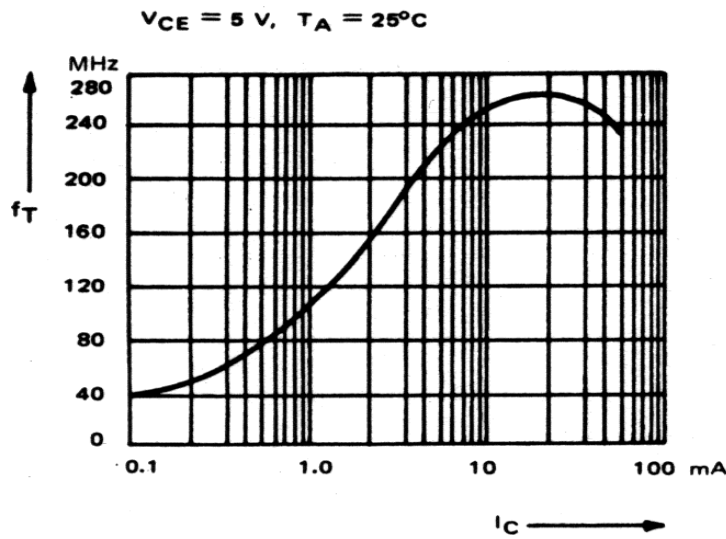


Fig. II.6. Courbe de  $f_T=f(I_C)$

La fréquence de transition dépend du courant de repos de collecteur  $I_C$ . La Figure (II.6) et ( $f_T = f(I_C)$ ) à 300K du transistor BC182 (Texas Instruments) indique l'évolution de  $f_T$  en Fonction du courant  $I_C$  à 300K. Le maximum de  $f_T$  (260MHz) est obtenu pour  $I_C= 20$  mA. Ce résultat est un critère de choix du point de fonctionnement du transistor. Certains transistors modernes ont un  $f_T$  supérieur à 50 GHz.

Pour avoir une fréquence de transition élevée il faut disposer d'un transistor ayant une faible épaisseur de base  $W_B$ . En effet, si on suppose en première approximation que  $C_{b'e}' \gg C_{b'c}$ , les relations (II.5), (II.7) et (II.8) permettent d'écrire.

$$f_T \cong \frac{L_n}{U_T W_B^2} \quad \dots\dots\dots(\text{II.16})$$

### II.3. Transistor JFET canal N ou P

La Figure (II.7) représente un transistor JFET canal N.

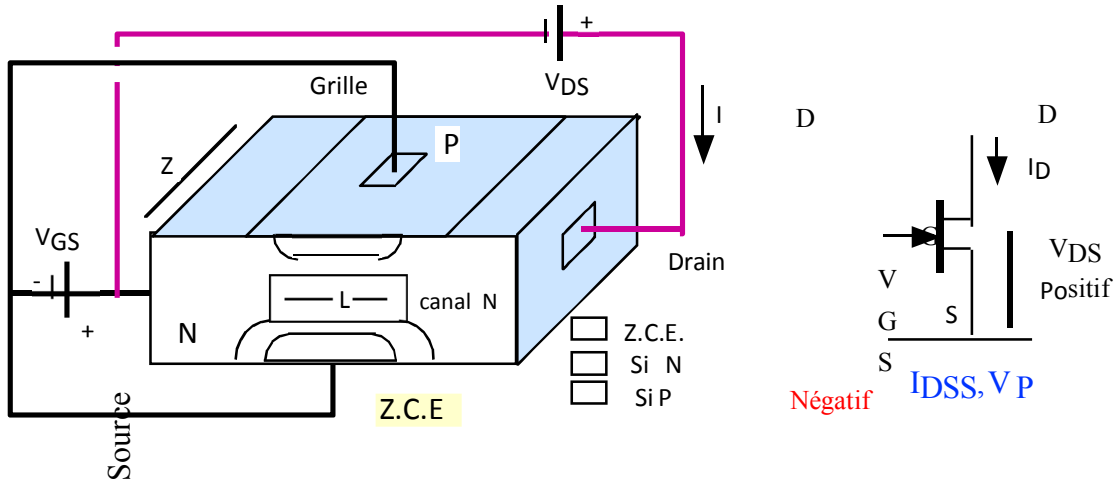


Fig. II.7. Schéma de transistor JFET canal N

Dans ce dispositif caractérisé, par son courant maximal de drain  $I_{DSS}$  et sa tension de pincement  $V_P$ , les jonctions Grille-source et Drain-Grille sont bloquées. Son schéma aux petites variations en H.F **Figure (II.8)** est obtenu en ajoutant au schéma en B.F. deux capacités de transition :  $C_{gs}$  et  $C_{dg}$ .

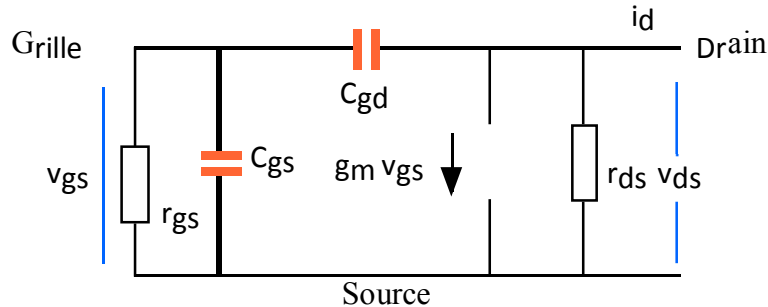


Fig. II.8. Schéma équivalent d'un transistor JFET N ou P en H.F

Les capacités de transition sont données par les équations ci-dessous.

$$C_{gs} = \frac{C_{gs0}}{\sqrt{1 + \frac{|V_{GS}|}{C_{\phi gs}}}} \dots\dots\dots (II.17)$$

$$C_{gd} = \frac{C_{gd0}}{\sqrt{1 + \frac{|V_{GD}|}{C_{\phi gd}}}} \dots\dots\dots (II.18)$$

$$g_m = \frac{2}{|V_P|} \sqrt{I_D I_{DSS}} \dots\dots\dots (II.19)$$

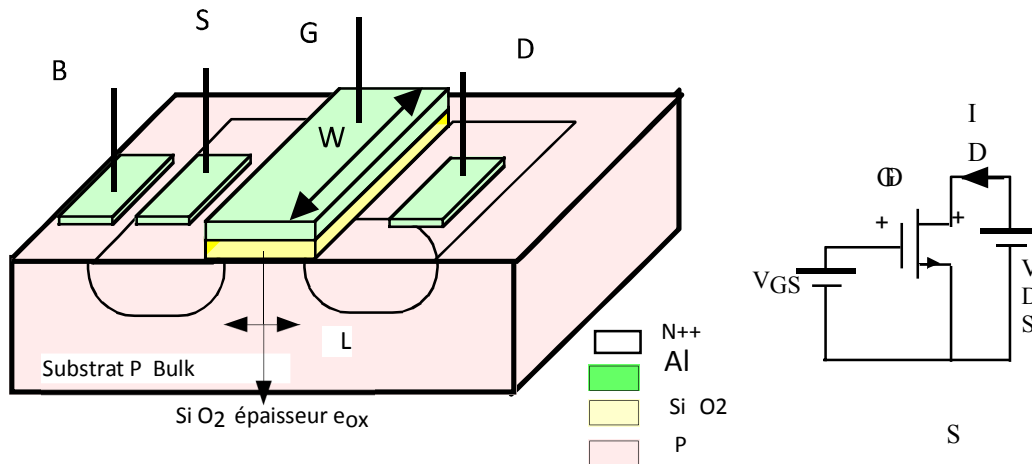
$$r_{ds} = \frac{1 + |\lambda V_{DS}|}{|\lambda| I_D} \dots\dots\dots (II.20)$$

La résistance  $r_{gs}$  parfois négligeable, est de l'ordre du méga ohm. La capacité  $C_{gs}$  est de l'ordre de quelques pF alors que  $C_{dg}$  est de quelques dixièmes de pF. La fréquence de transition qui correspond à la fréquence où le rapport  $(i_c / v_{gs})$  est égal à l'unité est telle que

$$f_T = \frac{g_m}{2\pi(C_{gs} + C_{dg})} \dots\dots\dots(II.21)$$

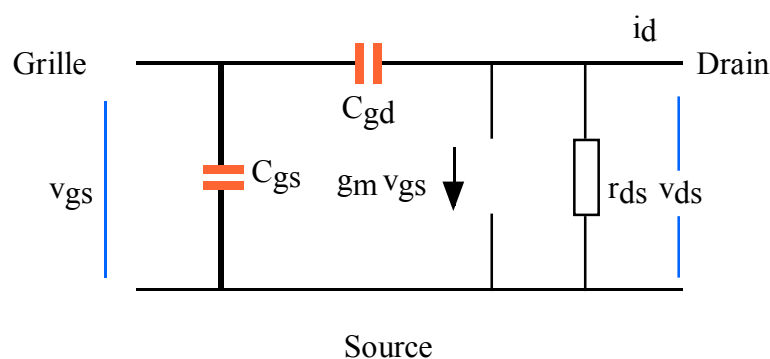
**II. 4. Transistor MOSFET canal N ou P**

La **Figure (II.9)** représente un transistor MOSFET canal N normalement bloqué.



**Fig. II.9. Transistor MOSFET canal N**

Ce dispositif est caractérisé, quel que soit son type, par sa tension de seuil  $V_{th}$  et les dimensions  $W$  et  $L$  de son canal, les jonctions Grille-source et Drain-Grille sont bloquées. Son schéma aux petites variations en H.F **Figure (II.10)** est obtenu en ajoutant au schéma en B.F. deux capacités de transition  $C_{gs}$  et  $C_{dg}$ .



**Fig II.10. Schéma équivalent en H.F. du Transistor MOS canal N ou P**

La résistance  $r_{gs}$  très importante n'apparaît pas sur le schéma. Pour les MOS actuels, de très faibles dimensions  $W$  et  $L$ , la capacité  $C_{gs}$  est de l'ordre de  $10e-14$  F ainsi que la capacité drain

grille Cdg. On rappelle les relations importantes.

$$g_m = 2\sqrt{KI_D} \dots\dots\dots (II.22)$$

$$\text{ou } K = U_n \text{ OUP } \frac{C_{OX}}{2} \frac{W}{L} \dots\dots\dots (II.23)$$

$$f_T = \frac{g_m}{2\pi(C_{gs} + C_{dg})} \dots\dots\dots (II.24)$$

$$r_{ds} = \frac{1 + |\lambda V_{DS}|}{|\lambda| I_D} \dots\dots\dots (II.25)$$

**II. 5. Théorème de Miller**

S on veut remplacer ce circuit par un leur équivalent on peut écrire

$$Z_1 = \frac{Z}{1 - A_V} \quad Z_2 = \frac{Z}{1 - \frac{1}{A_V}} \dots\dots\dots (II.26)$$

On applique ce théorème au schéma de Giacolletto dans lequel le condensateur C<sub>bc</sub> qui est située entre l'entrée et la sortie de l'amplificateur et la pulsation de coupure peut s'écrire sous la forme

$$W_1 \cong \frac{1}{W_0 W_N C_{BC}} \dots\dots\dots (II.27)$$

Ceci est illustré par le schéma de la **figure (II.11)** et porte le nom Miller

Cet effet a des répercussions importantes, la première, qui est la plus évidente, et que l'on cherchera, à chaque fois que cela est possible, à fabriquer des transistors ayant des capacités aussi faibles que possible et en minimisant C<sub>bc</sub>. La seconde répercussion est relative au choix du circuit et au dimensionnement des composants. L'analyse mathématique montrant que le gain et la fréquence de coupure haute étant liées.

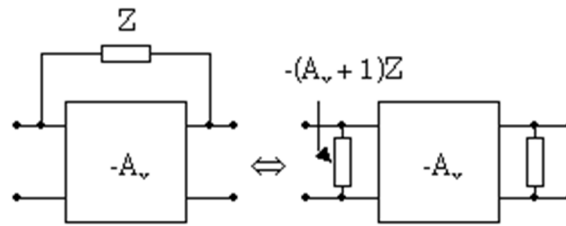


Fig. II.11. Effet Miller

Si on place une impédance entre l'entrée et la sortie d'un amplificateur de gain négatif  $-A_v$  (inverseur, comme l'émetteur commun), alors, vue de l'entrée, cette impédance est multipliée par  $-(A_v+1)$ .

## II.6. Conclusion

On a traité dans ce chapitre le fonctionnement des amplificateurs à transistors en haute fréquence et on a vu les propriétés électroniques au niveau des courbes et des démonstrations théoriques. L'étude de transistors en RF est différente par rapport à leurs homologues en basses fréquences vue les effets des capacités parasites qui apparaissent que nous l'avons décrit par le principe de Giacoletto et Théorème de Miller et on a constaté que le domaine RF peut être utilisé pour réaliser des éléments spécifiques entrant dans plusieurs applications électroniques. Le troisième chapitre est dédié à l'adaptation d'impédance en HF qui est primordiale pour ne pas avoir des réflexions de nos signaux à l'entrée.

## **CHAPITRE III : Adaptation d'impédance**

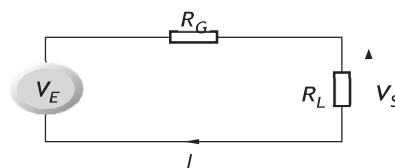
## Chapitre. III. Adaptation d'impédance

### III.1. Introduction

L'adaptation d'impédance, surtout lorsque celle-ci doit être réalisée sur une large bande, a toujours été considérée comme un exercice difficile, redouté de la plupart des électroniciens. Ce point est très important, car de cette adaptation découle l'optimisation des émetteurs et des récepteurs donc optimisation de la liaison. Les premiers travaux relatifs à l'adaptation d'impédance datent, comme la plupart des travaux théoriques, des années 1950-1960. Plusieurs voies d'investigations ont été envisagées, donnant autant de procédures permettant de résoudre le problème posé. À l'heure actuelle, il n'est pas possible de conclure sur l'efficacité ou la précision de l'une ou l'autre de ces méthodes et de ne conserver que celle-ci. Des travaux récents et abondants montrent que tout n'a pas encore été dit sur l'adaptation large bande. Quelle que soit la méthode, les résultats numériques sont voisins. Il s'agit en général, de déterminer les valeurs de trois ou quatre éléments passifs, selfs ou capacités. C'est une étape longue et fastidieuse bien que l'on puisse disposer des équations à  $n$  inconnues. Cette situation est alors propice à une estimation rapide des éléments, pour lesquels le calcul peut être simplifié. La solution finale est obtenue par une suite d'essais pratiques complémentaires. Les progrès technologiques des années 1990, appliqués aux calculateurs ont permis le développement d'algorithmes d'optimisation qui allègent encore la tâche du concepteur. Ce chapitre est consacré à l'adaptation d'impédance, par la méthode dite des impédances conjuguées et du calcul du coefficient de surtension du circuit chargé.

### III.2. L'objectif de l'adaptation d'impédance

En radiocommunication, on cherche à transférer une puissance maximale d'une source de tension  $V_E$  de résistance interne  $R_G$  vers une charge de valeur  $R_L$ . Le schéma simple de **figure (III .1)** résume l'énoncé du problème.



**Fig. III .1. Transfert de puissance**

La tension  $V_S$  aux bornes de la charge  $R_L$ , vaut

$$V_S = V_E \frac{V_L}{R_L + R_G} \dots\dots\dots (III .1)$$

La puissance  $P_S$  fournie à la charge  $R_L$ , vaut

$$P_S = \frac{V_S^2}{R_L} = V_E^2 \frac{R_L}{(R_L + R_G)^2} \dots\dots\dots (III.2)$$

On cherche alors s'il existe une relation entre  $R_L$  et  $R_G$ , telle que la puissance  $P_S$  soit maximale

$$P_S = \frac{V_S^2}{R_L} = V_E^2 \frac{R_G - R_L}{(R_L + R_G)^3} \dots\dots\dots (III.3)$$

Lorsque  $\frac{dP_S}{dR_L} = 0$  la puissance  $P_S$  est maximale. Cette condition équivaut à la

relation bien connue  $R_G = R_L$ .

Lorsque la résistance de charge  $R_L$  est égale à la résistance interne du générateur  $R_G$ , le circuit est adapté en puissance. La puissance  $P_S$  délivrée à la charge est maximale et vaut

$$P_{SMAX} = \frac{V_E^2}{4R_L} \dots\dots\dots (III.4)$$

Il faut noter que ce résultat n'est pas identique à celui qui serait obtenu si l'on cherchait le transfert maximum en tension. Le maximum de la fonction de transfert  $\frac{V_S}{V_E}$  est obtenu lorsque  $R_G = 0$ .

Dans le cas simple de la **Figure (III.1)**. Les impédances  $R_G$  et  $R_L$  sont des résistances pures. On peut certainement rencontrer ce cas concret, mais il ne s'agit pas du cas réel le plus fréquent. Généralement, les impédances  $Z_G$  et  $Z_L$  sont des impédances complexes. Une impédance complexe  $Z$  peut se mettre sous la forme

$$Z(P) = \frac{N(P)}{D(P)} \dots\dots\dots (III.5)$$

L'impédance se met sous la forme d'un rapport de deux polynômes fonction de  $p = j\omega$ . L'impédance  $Z(p)$  est constituée d'un nombre quelconque d'éléments passifs élémentaires, résistance, selfs et condensateurs. Les degrés des polynômes  $N(p)$  et  $D(p)$  diffèrent de 1 au

maximum.

### III.3. Transformation d'impédance

Le calcul analytique est d'autant plus compliqué que les degrés des polynômes  $N(p)$  et  $D(p)$  sont élevés. Pour cette raison, on se limite en général au cas d'une impédance constituée d'une partie réelle  $R$  et d'une partie imaginaire  $X$ . Cette configuration correspond à des circuits RC série ou parallèle, ou des circuits RL série ou parallèle. Le schéma suivant de la **Figure (III.2)**, montre qu'un réseau quelconque  $R + jX$  peut être représenté par une structure série ou parallèle.

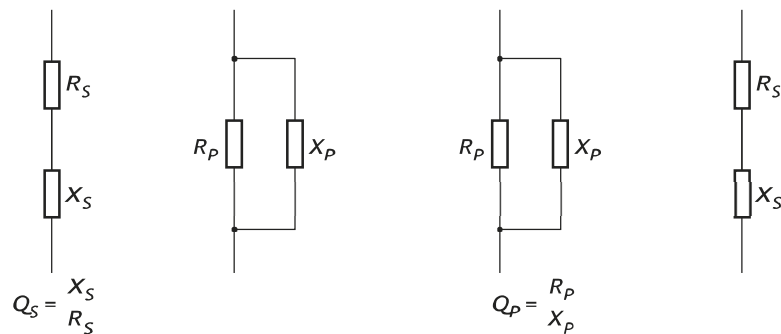


Fig. III .2. Transformation d'impédance

#### III.3.1. Transformation série-parallèle

Soit une impédance série  $Z_S$ , constituée de la mise en série d'une résistance  $R_S$  et d'une partie imaginaire  $X_S$

$$Z_S = R_S + jX_S \dots\dots\dots (III .6)$$

Par définition, le coefficient de surtension  $Q_S$  du circuit vaut

$$Q(S) = \frac{X(S)}{R(S)}$$

Ce réseau série peut être transformé en un réseau constitué par la mise en parallèle d'un élément à partie réelle  $R_p$  et un élément à partie imaginaire  $X_p$ .

Les valeurs  $R_p$  et  $X_p$  équivalentes sont données par les relations suivantes

$$R_p = R_S(1 + Q^2_S)$$

$$R_p = X_S \frac{(1+Q^2_S)}{Q^2_S} = \frac{R_S}{X_S} R_p = \frac{R_p}{Q_S} \dots\dots\dots(III .7)$$

Si le coefficient de surtension  $Q_S$  est beaucoup plus grand que 1, ces relations se simplifient

$$Q_S \gg 1$$

$$R_B \approx R_S Q^2$$

**III .3.2. Transformation parallèle série**

$$X_p \approx X_S$$

Soit une impédance parallèle  $Z_p$  constituée de la mise en parallèle d'une résistance  $R_p$  et d'une partie imaginaire  $X_p$ . Par définition, le coefficient de surtension  $Q_p$  du circuit vaut

$$Q_p = \frac{R_p}{X_p}$$

Ce réseau parallèle peut être transformé en un réseau constitué par la mise en série d'un élément à partie réelle  $R_S$  et un élément à partie imaginaire  $X_S$ .

Les valeurs  $R_S$  et  $X_S$  équivalentes sont données par les relations suivantes

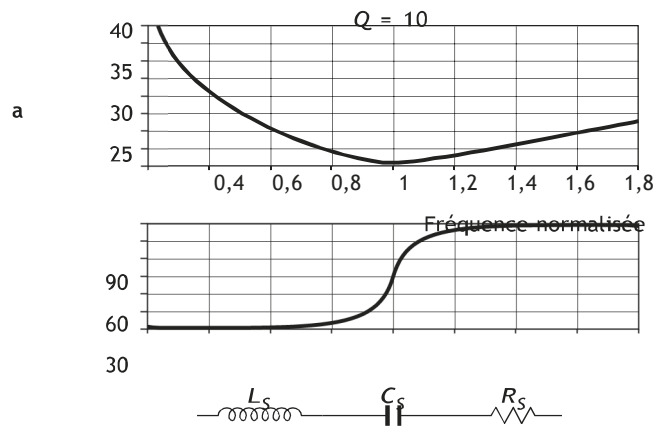
$$Q_p = \frac{R_p}{1+Q_p^2} \dots\dots\dots(III .8)$$

$$X_S = X_p \frac{Q_p^2}{1+Q_p^2} = R_S \frac{R_p}{X_p} = R_S Q_p \quad \text{Et} \quad R_S \cong \frac{R_p}{Q_p^2} \dots\dots\dots(III .9)$$

Si  $Q_S \gg 1$  Alors  $\cong X_p$

**III.4. Coefficients de surtension des circuits RLC série**

La **Figure (III.4)** représente un circuit RLC parallèle, le module de l'impédance normalisée et l'argument de cette impédance complexe.



**Fig. III .3. Circuit RLC série**

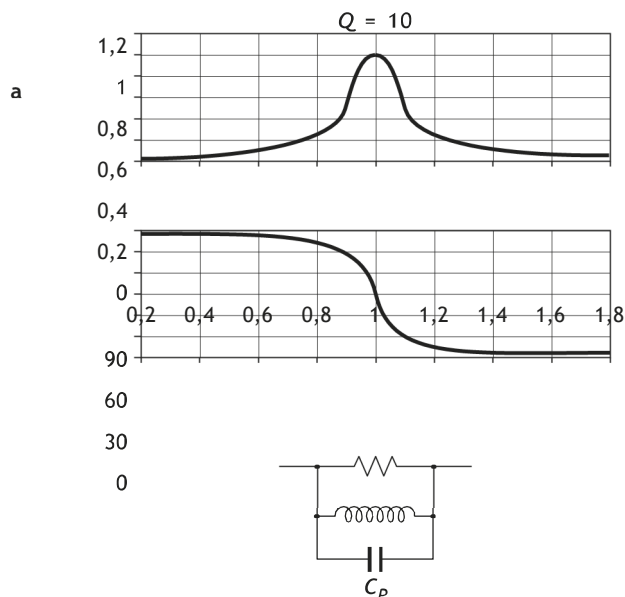


Fig. III .4. Circuit  $R_p, L_p, C_p$  parallèle

Soient deux impédances  $Z_G$  et  $Z_L$  quelconques. La courbe de la **figure (III.5)** représente un exemple de ce que pourrait être la puissance aux bornes de la charge  $Z_L$ . Un réseau d'adaptation d'impédance est intercalé entre le générateur et la charge conformément au schéma de la **figure (III.6)** La puissance aux bornes de la charge  $Z_L$  a alors l'allure de la courbe générale de la **figure (III.7)** Dans ce cas, le réseau d'adaptation a permis, dans une bande de fréquence  $\Delta f$ , de transférer un maximum de puissance du générateur vers la charge. La fréquence centrale est notée  $f_0$  et classiquement, le coefficient de surtension  $Q$  vaut

$$Q = \frac{f_0}{\Delta f}$$

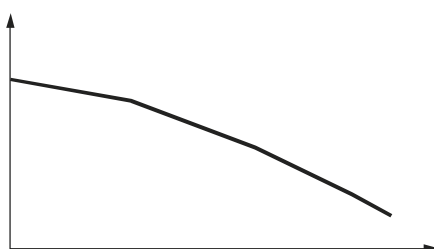


Fig. III .5. Fonction de transfert

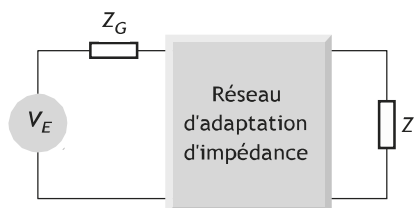


Fig. III.6. Insertion du réseau

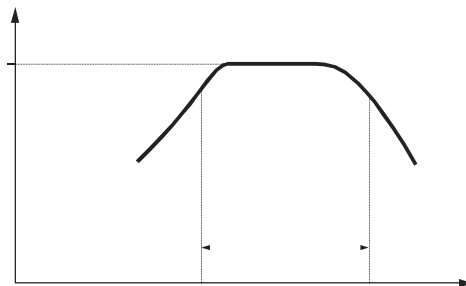


Fig. III .7. Fonction de transfert avec le réseau d'adaptation

Le réseau d'adaptation est constitué exclusivement d'éléments réactifs, selfs ou capacités. Dans ce cas, le réseau est dit non dissipatif. Si le réseau d'adaptation comprend une ou plusieurs résistances, le réseau est dissipatif. Ce cas n'est pas traité dans cet ouvrage.

Les deux impédances  $Z_G$  et  $Z_L$  sont en général, soit des résistances pures, soit des impédances complexes pouvant se mettre sous la forme d'une résistance en série ou en parallèle avec une capacité ou une self.

### III .5. Définition du coefficient de surtension du circuit chargé

L'ensemble du réseau, c'est-à-dire les impédances  $Z_G$  et  $Z_L$ , et les impédances du réseau d'adaptation peut être représenté par un circuit RLC série ou RLC parallèle.

Le choix de la représentation, série ou parallèle ne dépend que de la structure du réseau. Le meilleur choix est celui qui simplifie au mieux les résultats.

Dans de nombreux ouvrages, en vue d'une simplification des calculs le coefficient de surtension du circuit chargé est évalué en éliminant l'une ou l'autre des impédances  $Z_G$  ou  $Z_L$ . Ces hypothèses simplificatrices, donnant des résultats approchés ne sont pas exploitées dans ce chapitre.

### III.6. Calcul du coefficient de surtension du circuit chargé

Un réseau d'adaptation en PI constitué d'une self  $L$  et de deux capacités  $C_1$  et  $C_2$  est utilisé pour adapter deux résistances pures  $R_G$  et  $R_L$ . Le schéma de principe de ce réseau est représenté à la **figure (III.8)**, s'agit de transformer ce réseau en un circuit RLC série ou parallèle. Dans ce cas, la transformation en un circuit RLC série est simple. Le réseau  $R_G$ ,  $C_1$  parallèle se transforme

en un réseau  $R_A, C_A$  série. Le réseau  $R_L, C_2$  parallèle se transforme en un réseau  $R_B, C_B$  série. Les valeurs des nouveaux éléments  $R_A, R_B, C_A$  et  $C_B$  sont définis par les relations suivantes

$$R_A = R_G \frac{1}{1+R^2_G C^2_1 W^2} \dots\dots\dots (III .10)$$

$$R_B = R_L \frac{1}{1+R^2_L C^2_2 W^2} \dots\dots\dots (III .11)$$

$$C_A = C_1 \frac{1+R^2_G C^2_1 W^2}{1+R^2_G C^2_1 W^2} \dots\dots\dots (III .12)$$

$$C_B = C_2 \frac{1+R^2_L C^2_2 W^2}{R^2_L C^2_2 W^2} \dots\dots\dots (III .13)$$

Le réseau transformé est représenté par le schéma de la **figure (III.9)**. Le coefficient de surtension du circuit chargé  $Q$  est égal au rapport de l'impédance de la self  $L$  sur la résistance équivalente, résultant de la mise en série de  $R_A$  et  $R_B$ .

$$Q = \frac{LW}{R_A + R_B}$$

$$Q = \frac{LW(1+R^2_G C^2_1 W^2)(1+R^2_L C^2_2 W^2)}{R_G(1+R^2_L C^2_2 W^2)+R_L(1+R^2_G C^2_1 W^2)} \dots\dots\dots (III .14)$$

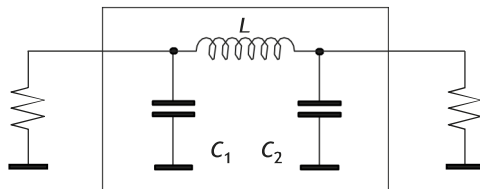


Fig. III .8. Circuit d'adaptation en PI réseautre deux résistances  $R_G$  et  $R_L$ .

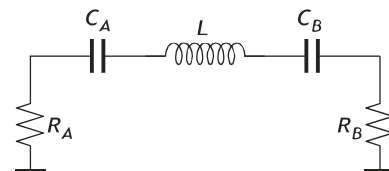


Fig. III .9. Transformation du en PI entre  $R_G$  et  $R_L$ .

Le réseau transformé est représenté par le schéma de la **Figure (III.9)**, Le coefficient de surtension du circuit chargé Q est égal au rapport de l'impédance de la self L sur la résistance équivalente, résultant de la mise en série de RA et RB.

**III.7. Condition pour l'adaptation d'impédance Principe**

Soient les deux impédances ZG et ZL de la **figure (III.9)**. Si  $jX_G - jX_L = 0$  le schéma de la **figure (III.10)** a peut se simplifier et se résume au schéma de la **figure (III.10)**.

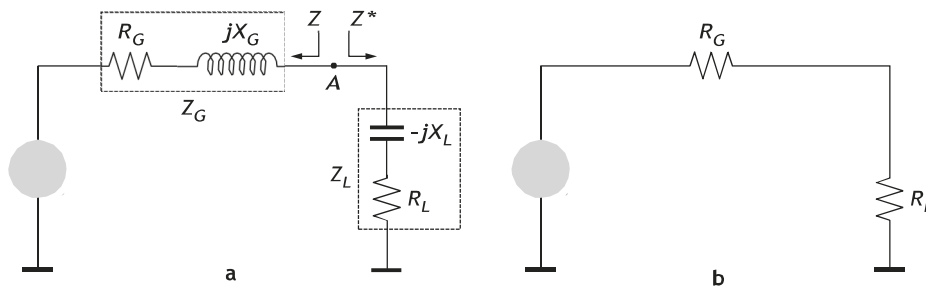


Fig. III .10. Équivalence du réseau adapté.

Pour que le transfert en puissance soit maximum, la simple égalité  $R_G = R_L$  doit être vérifiée. Cet exemple simple peut être généralisé par une loi tout aussi simple. Sur le schéma de la **figure (III.10)**, l'impédance vue du point A vers la source vaut Z. L'impédance vue du point A vers la charge vaut Z1. Si Z1 est égale à la valeur conjuguée de l'impédance Z le circuit est adapté.

$$Z_1 = Z^*$$

Le rôle du circuit d'adaptation de la **figure (III .11)** consiste donc à transformer la valeur de l'impédance complexe ZL de manière à ce que cette impédance, vue de l'entrée du circuit d'adaptation soit égale à la valeur conjuguée de l'impédance Z, soit Z\* .

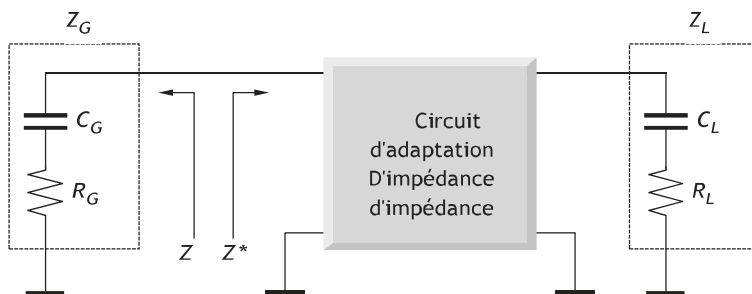


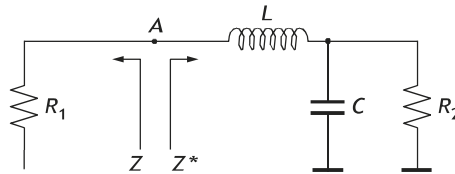
Fig.III.11. Adaptation d'impédance.

**III.8. Calcul d'un circuit d'adaptation**

Soit le circuit de la **figure (III .12)**. Il s'agit d'adapter deux résistances R1 et R2 par un filtre en L.

L'impédance Z vue du point A vers la source vaut

$$Z = R1 + j0$$



**Fig. III .12. Condition pour l'adaptation d'impédance.**

L'impédance Z1 vue du point A vers la charge vaut

Soit le circuit de la **Figure (III.12)**. Il s'agit d'adapter deux résistances R1 et R2 par un filtre en L.

L'impédance Z vue du point A vers la source vaut :

$$Z = R1 + j0$$

L'impédance Z1 vue du point A vers la charge vaut

$$Z_1 = \frac{R_2}{1+R_2^2C^2W^2} + J \left[ LW - \frac{R_2^2CW}{1+R_2^2C^2W^2} \right] \dots\dots\dots(15)$$

L'impédance conjugué de Z vaut Z\*

$$Z^* = R_1 - j0$$

Pour que le circuit soit adapté

$$Z^* = Z_1$$

En égalant les parties réelles et les parties imaginaire, on obtient le système d'équations suivant

$$R_1 = \frac{R_2}{1+R_2^2C^2W^2} \dots\dots\dots(III .16)$$

$$LW = \frac{R_2CW}{1+R_2^2C^2W^2} \dots\dots\dots(III .17)$$

La résolution de ce système ne pose pas des difficultés

$$C = \frac{1}{R_2 W} \sqrt{\frac{R_2 - R_1}{R_1}} \dots\dots\dots (III .18)$$

$$= \frac{R_2}{W} \sqrt{\frac{R_2 - R_1}{R_1}} \dots\dots\dots (III .19)$$

Les deux inconnus de systèmes sont les valeurs composants L et C en égalant les partie réelles et les parties imaginaires dans l'équation  $Z^* = Z_1$ , on obtient deux équations qui permettent de résoudre immédiatement le problème.

Dans ces conditions le coefficient de surtension de circuit chargé est définie par les éléments calculés et ne peut pas être choisi indépendamment, Dans le cas du schéma représenté de la **figure (III .13)**, le coefficient Q est donné par la relation

$$Q = \frac{1}{2} \sqrt{\frac{R_2 - R_1}{R_1}} \dots\dots\dots (III.20)$$

A partie de ce résultat, on peut constater que ce circuit n'est pas utilisable que si  $R_2 > R_1$

### III .9. Conclusion

Dans cette chapitre, On a présenté l'importance de l'adaptation d'impédance entrer dans l'étude de notre circuit et les détails qui doit être suivit pendant la manipulation, On a parlé aussi au condition pour effectuer l'équivalence entre l'étage de l'entrée et l'étage de sortie au niveau des impédances  $Z_E$  et  $Z_S$  , Nécessitant aussi à un autre facteur accordé à l'impédance c'est le coefficient de surtension. Enfin on a présenté la méthode qui simplifier le calcul de circuit d'adaptation.

Chapitre. III. Adaptation d'impédance .....	64
III.1. Introduction.....	64
III.2. L'objectif de l'adaptation d'impédance.....	64
III.3. Transformation d'impédance .....	66
III.3.1. Transformation série-parallèle.....	66
III .3.2. Transformation parallèle série .....	67
III.4. Coefficients de surtension des circuits RLC série.....	67
III .5. Définition du coefficient de surtension du circuit chargé.....	69
III.6. Calcul du coefficient de surtension du circuit chargé.....	69
III.7. Condition pour l'adaptation d'impédance Principe.....	71
III.8. Calcul d'un circuit d'adaptation.....	72
III .9. Conclusion .....	73

# **CHAPITRE IV : Les amplificateur en basse fréquence**

## Chapitre IV Simulation d'un amplificateur faible bruit large bande pour des applications dans le domaine de télécommunication et électronique

### IV.1. Introduction

Dans les technologies avancées en télécommunication et électronique, le concept amplificateur à large bande est devenu très important dans les études expérimentales. Ce dernier est un élément clé dans la réalisation des systèmes électroniques. Il dépend toujours de la technologie exceptionnelle des composants actifs à large bande. L'utilité de ces composants entrent dans plusieurs domaines. Ce concept en plein essor prend sa place dans les applications futures. Les nouvelles technologies tel que les systèmes 5G imposent des caractéristiques sévères du point de vue amplification, impédance, bande passante, bruit et coût. Les amplificateurs à large bande sont utilisés dans la détection et les systèmes de cinquième génération en télécommunication et les systèmes de control. Dans ce travail nous allons présenter un amplificateur large bande à base d'un transistor RF de type BFP420 en utilisant la technologie planaire. La conception de cet amplificateur est effectuée en utilisant un logiciel très puissant dédié à ce genres d'applications. La réalisation de ce type de montages ne peut être effectuée avec les méthodes classiques et les composants discrets car ces derniers ont été remplacée par des lignes micro rubans planaires. Une adaptation d'impédance est primordiale nécessitant une étude spéciale. La polarisation des transistors RF joue un rôle très important et une étude approfondie. Les différents paramètres pour étudier les caractéristiques de cet amplificateur dans le DC mode et AC mode à partir de logiciel ADS sont soulevés afin d'étudier les performances de ce dernier.

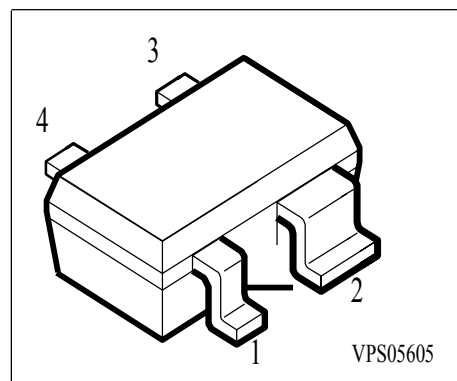
### IV.2. Fiche technique du transistor BFP420

NPN Silicon RF Transistor

**SIEGET<sup>®</sup> 25**

**BFP 420**

- For high gain low noise amplifiers
- For oscillators up to 10 GHz
- Noise figure  $F = 1.05$  dB at 1.8 GHz outstanding  $G_{ms} = 20$  dB at 1.8 GHz
- Transition frequency  $f_T = 25$  GHz
- Gold metallization for high reliability



- SIEGET<sup>®</sup> 25 - Line

Siemens **G**rounded **E**mitter **T**ransist

or 25GHz  $f_T$ - Line

**ESD:** Electrostatic discharge sensitive device, observe handling precaution!

Type	Marking	Ordering Code	Pin Configuration				Package
BFP420	AMs	Q62702-F1591	1=B	2=E	3=C	4=E	SOT-343

#### Maximum Ratings

Parameter	Symbol	Value	Unit
Collector-emitter voltage	$V_{CEO}$	4.5	V
Collector-base voltage	$V_{CBO}$	15	
Emitter-base voltage	$V_{EBO}$	1.5	
Collector current	$I_C$	35	mA
Base current	$I_B$	3	
Total power dissipation, $T_S \leq 107^\circ\text{C}$	$P_{tot}$	160	mW
Junction temperature	$T_j$	150	$^\circ\text{C}$
Ambient temperature	$T_A$	-65 ...+150	
Storage temperature	$T_{stg}$	-65 ...+150	

#### Thermal Resistance

Junction-soldering point	1)	$R_{thJS}$	$\leq 270$	K/W
--------------------------	----	------------	------------	-----

**Electrical Characteristics** at  $T_A=25^\circ\text{C}$ , unless otherwise specified.

Parameter	Symbol	Values			Unit
		min.	typ	max	
<b>DC characteristics</b>					
Collector-emitter breakdown voltage $I_C=1\text{ mA}, I_B=0$	$V_{(BR)CE}$	4.5	5	6.5	V
Collector-base cutoff current $V_{CB}=5\text{ V}, I_E=0$	$I_{CBO}$	-	-	20 0	nA
Emitter-base cutoff current $V_{EB}=1.5\text{ V}, I_C=0$	$I_{EBO}$	-	-	35	$\mu\text{A}$
DC current gain $I_C=20\text{ mA}, V_{CE}=4\text{ V}$	$h_{FE}$	50	80	15 0	-
<b>AC characteristics</b>					
Transition frequency $I_C=30\text{ mA}, V_{CE}=3\text{ V}, f=2\text{ GHz}$	$f_T$	20	25	-	GHz
Collector-base capacitance $V_{CB}=2\text{ V}, f=1\text{ MHz}$	$C_{cb}$	-	0.1 5	0.2 4	pF
Collector-emitter capacitance $V_{CE}=2\text{ V}, f=1\text{ MHz}$	$C_{ce}$	-	0.4 1	-	
Emitter-base capacitance $V_{EB}=0.5\text{ V}, f=1\text{ MHz}$	$C_{eb}$	-	0.5 5	-	
Noise figure $I_C=5\text{ mA}, V_{CE}=2\text{ V}, Z_S=Z_{Sopt}, f=1.8\text{ GHz}$	$F$	-	1.0 5	1.4	dB
Power gain <sup>1)</sup> $I_C=20\text{ mA}, V_{CE}=2\text{ V}, Z_S=Z_{Sopt}, Z_L=Z_{Lopt}, f=1.8\text{ GHz}$	$G_{ms}$	-	20	-	
Insertion power gain $I_C=20\text{ mA}, V_{CE}=2\text{ V}, f=1.8\text{ GHz}, Z_S=Z_L=50\Omega$	$ S_{21} ^2$	14	17	-	dB
Third order intercept point $I_C=20\text{ mA}, V_{CE}=2\text{ V}, Z_S=Z_{Sopt}, Z_L=Z_{Lopt}, f=1.8\text{ GHz}$	$IP_3$	-	22	-	dBm
1dB Compression point $I_C=20\text{ mA}, V_{CE}=2\text{ V}, f=1.8\text{ GHz}, Z_S=Z_{Sopt}, Z_L=Z_{Lopt}$	$P_{-1dB}$	-	12	-	

1)  $G_{ms}=|S_{21}/S_{12}|$

**Common Emitter S-Parameters**

f	S <sub>11</sub>		S <sub>21</sub>		S <sub>12</sub>		S <sub>22</sub>	
	MAG	ANG	MAG	ANG	MAG	ANG	MAG	ANG
V <sub>CE</sub> =2V, I <sub>C</sub> =20mA								
0.01	0.543	-2.5	36.88	178.1	0.0009	95.8	0.96	-0.6
0.1	0.538	-25.1	35.4	164.4	0.0075	79.3	0.946	-12.3
0.5	0.448	-99.3	22.87	120.8	0.0272	58.7	0.633	-45.2
1	0.417	-143.6	13.46	96.3	0.0398	55.2	0.399	-60.3
2	0.437	176.2	6.93	71.5	0.062	53.5	0.227	-77.1
3	0.472	152.8	4.59	54.4	0.09	48.6	0.134	-96.7
4	0.53	133.3	3.339	38.9	0.115	40.5	0.109	-144.5
6	0.617	109.1	2.15	12.9	0.156	25.3	0.136	144.1
8	0.73	82.5	1.46	-16.8	0.172	5.4	0.229	101.3
9	0.788	72.6	1.2	-30.4	0.174	-5	0.319	86.1
10	0.82	67	1	-39.5	0.172	-11.3	0.405	78.6

**Common Emitter Noise Parameters**

f	F <sub>min</sub> <sup>1)</sup>	G <sub>a</sub> <sup>1)</sup>	Γ <sub>opt</sub>		R <sub>N</sub>	r <sub>n</sub>	F <sub>50Ω</sub> <sup>2)</sup>	S <sub>21</sub>   <sup>22)</sup>
	dB	dB	MAG	ANG	Ω	-	dB	dB
V <sub>CE</sub> =2V, I <sub>C</sub> =5mA								
0.9	0.9	20.5	0.19	30	8.7	0.17	1.02	20.3
1.8	1.05	15.2	0.11	64	7.5	0.15	1.11	15.8
2.4	1.25	13	0.11	116	7	0.14	1.32	13.5
3	1.38	12.1	0.19	165	6.5	0.13	1.48	11.6
4	1.55	10.3	0.28	-155	7	0.14	1.83	9.1
5	1.75	8.6	0.37	-130	10	0.2	2.2	7
6	2.2	6.4	0.44	-117	15	0.3	3.3	5.3

1) Input matched for minimum noise figure, output for maximum gain

2) Z<sub>S</sub>=Z<sub>L</sub>=50Ω

SPICE Parameters (Gummel-Poon Model, Berkley-SPICE 2G.6)

Syntax) : Transistor Chip Data

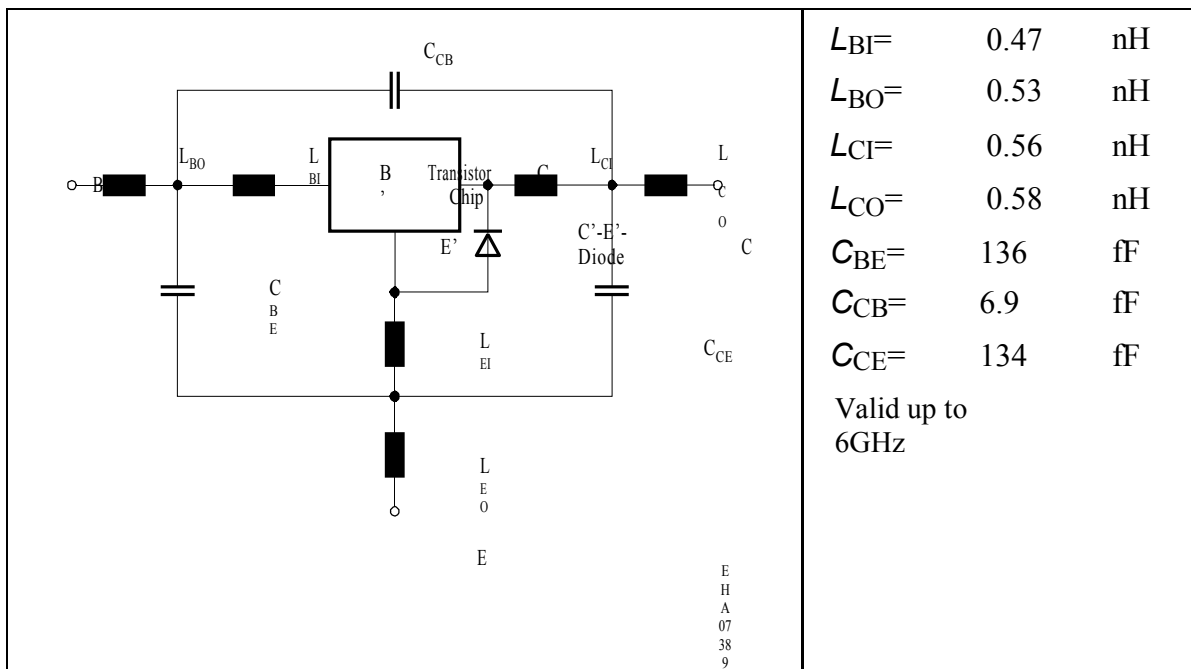
IS	0.2004	a	BF =	72.534	-	NF	1.2432	-
=	5	A				=		
V	28.383	V	IKF	0.48731	A	ISE	19.049	pA
A			=			=		
F								
=								
N	2.0518	-	BR=	7.8287	-	NR	1.3325	-
E						=		
=								
V	19.705	V	IKR=	0.69141	A	ISC	0.019237	A
A						=		
R								
=								
N	1.1724	-	RB =	3.4849	$\Omega$	IRB	0.72983	mA
C=						=		
R	8.5757	$\Omega$	RE =	0.31111		RC	0.10105	$\Omega$
B						=		
M								

C'-E'-Diode Data (Berkley-SPICE 2G.6 Syntax) :

IS	3.	f	N=	1.02	-	RS=	10	$\Omega$
=	5	A						

All parameters are ready to use, no scalling is necessary

Package Equivalent Circuit:

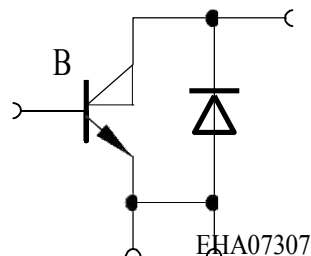


**For non-linear simulation:**

- Use transistor chip parameters in Berkeley SPICE 2G.6 syntax for all simulators.
- If you need simulation of the reverse characteristics, add the diode with the C'-E'- diode data between collector and emitter.
- Simulation of package is not necessary for frequencies  $< 100\text{MHz}$ . For higher frequencies add the wiring of package equivalent circuit around the non-linear transistor and diode model.

**Note:**

- This transistor is constructed in a common emitter configuration. This feature causes an additional reverse biased diode between emitter and collector, which does not affect normal operation.

**Transistor Schematic Diagram**

The common emitter configuration shows the following advantages:

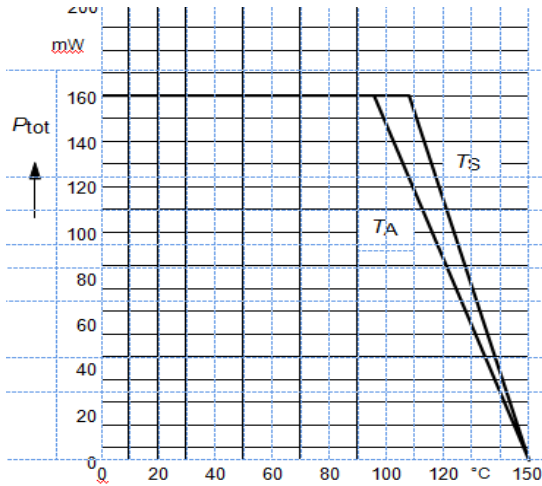
- Higher gain because of lower emitter inductance.
- Power is dissipated via the grounded emitter leads, because the chip is mounted on copper emitter lead frame.

Please note, that the broadest lead is the emitter

lead. The AC characteristics are

**Total powerdissipation**  $P_{tot}=f(T_A^*, T_S)$

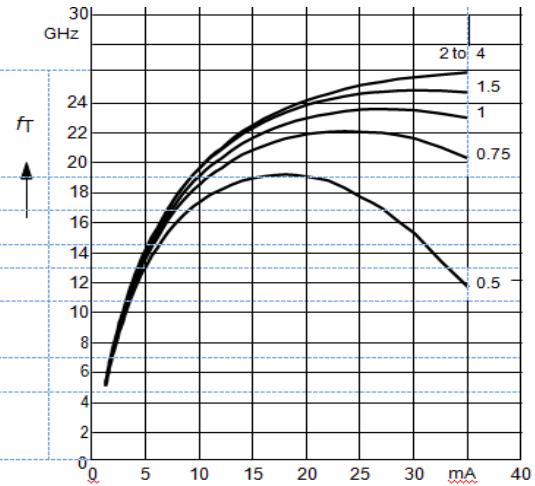
\* Package mounted on epoxy



**Transition frequency**  $f_T=f(I_C)$

$f = 2$  GHz

$V_{CE}$ = parameter in V

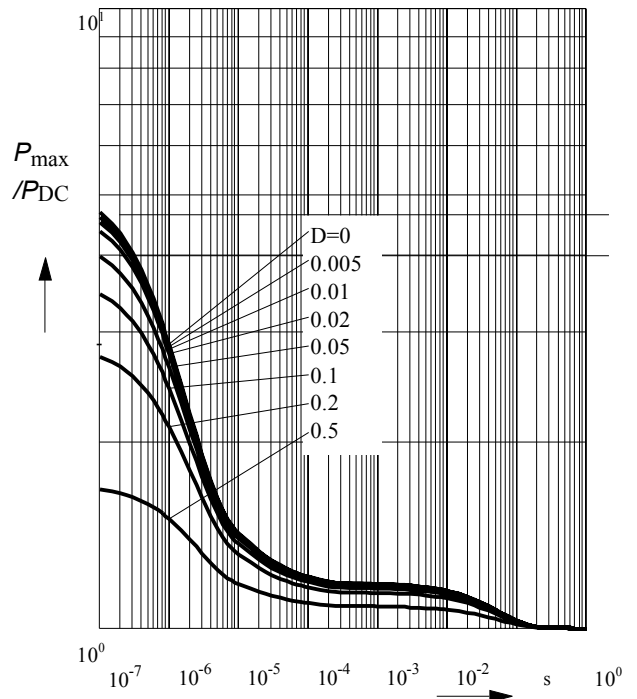
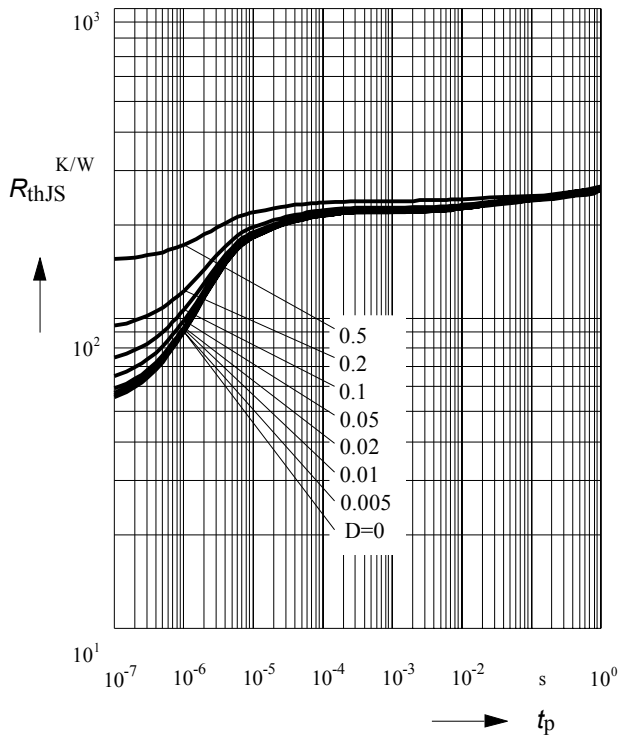


**PermissiblePulseLoad**  $R_{thJS}=f(t_p)$

p)

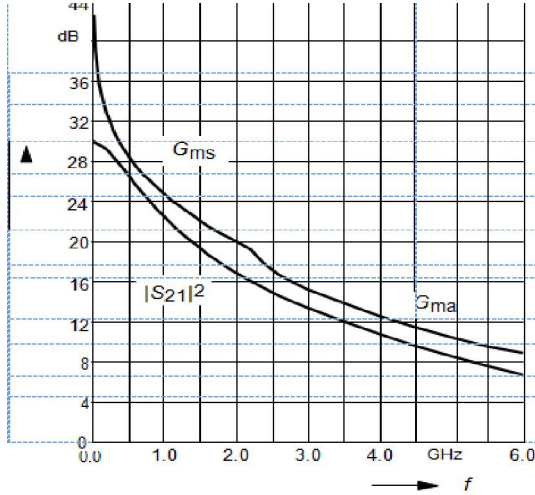
**Permissible Pulse Load**

$P_{totmax}/P_{totDC}= f(t_p)$



**Power gain**

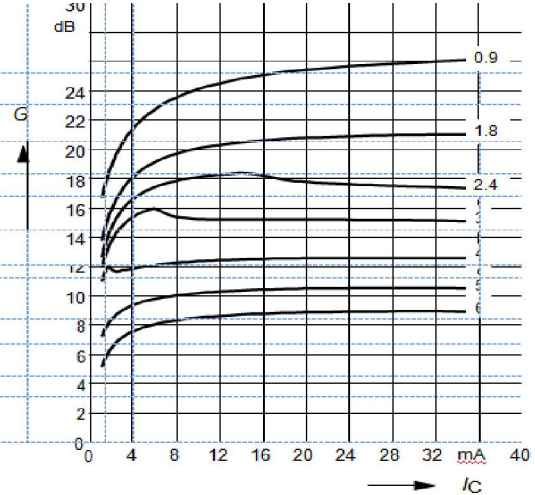
$$G_{ma}, G_{ms}, |S_{21}|^2 = f(f)$$



**Powergain**

$$G_{ma}, G_{ms} = f(I_C) \quad V_{CE} = 2V$$

$f =$  parameter in GH

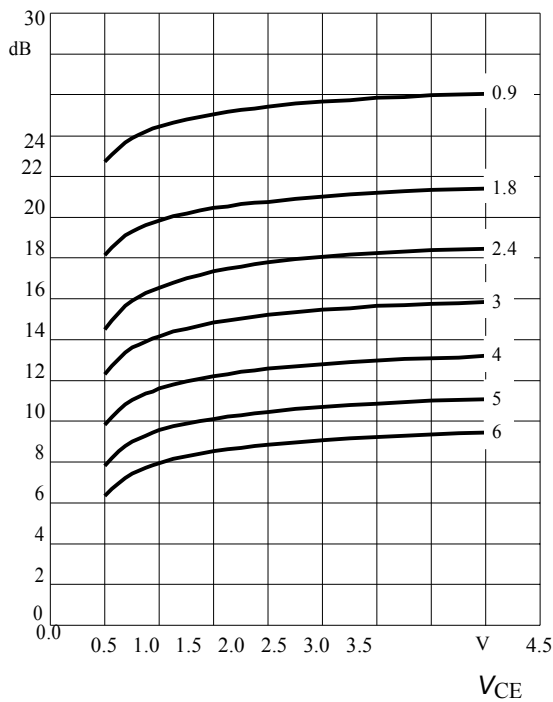


**Powergain  $G_{ma}, G_{ms} = f(V_{CE})$**

$V_{BE} = 0, f = 1MHz$

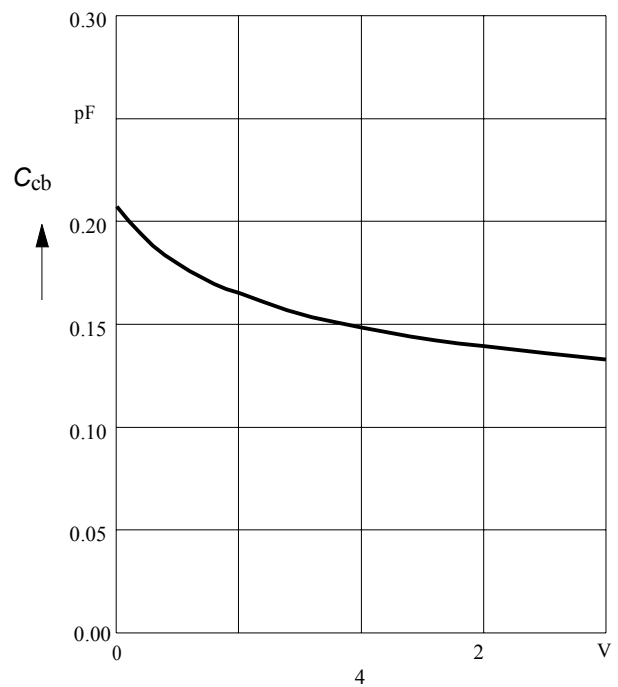
$I_C = 20mA$

$f =$  parameter in GHz

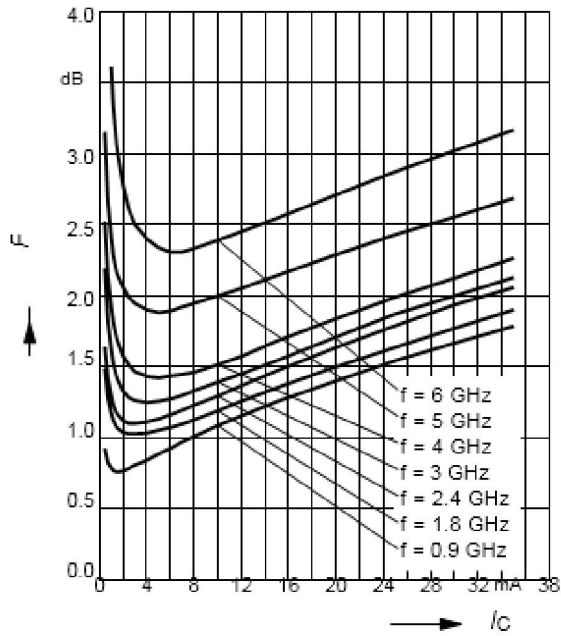


**Collector-base capacitance  $C_{cb} = f(V_{CB})$**

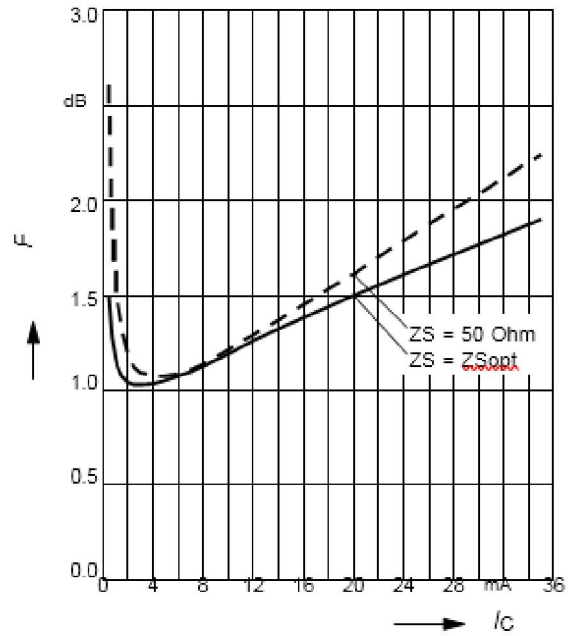
$V_{BE} = 0, f = 1MHz$



Noise figure  $F = f(I_C)$   
 $V_{CE} = 2V, Z_S = Z_{S0}$   
 pt

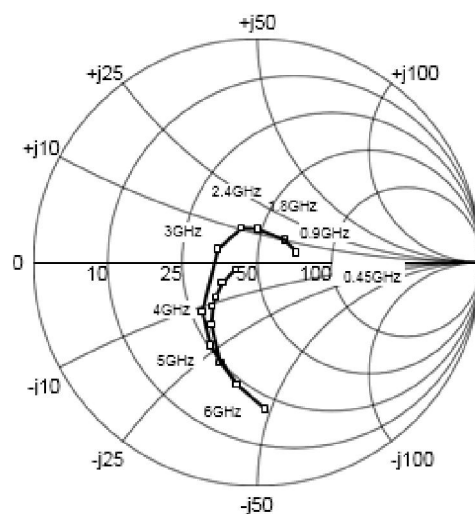
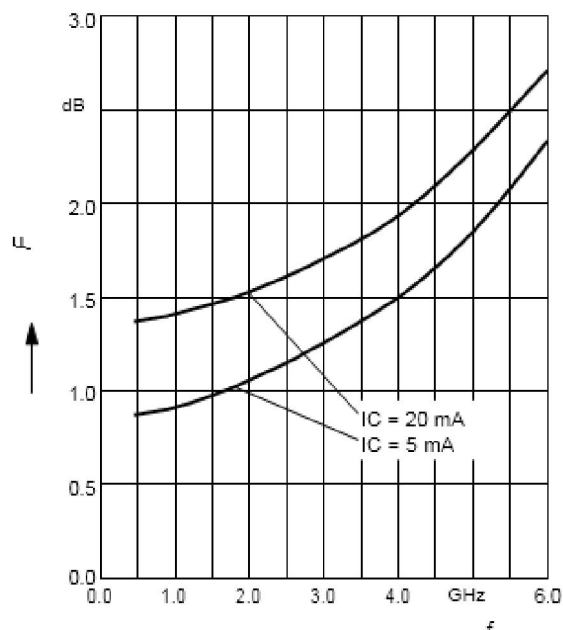


Noise figure  $F = f(I_C)$   
 $V_{CE} = 2V, f = 1.8\text{ GHz}$



Noise figure  $F = f(f)$  Source for min. Noise Figure versus Frequency  
 $V_{CE} = 2V, I_C = 5\text{ mA}/20\text{ mA}$

$V_{CE} = 2V, Z_S = Z_{Sopt}$



### IV.3. Caractérisation du transistor BFP 420

Pour choisir un transistor en utilisant dans le comportement de l'amplificateur RF un transistor BFP420 ce dernier doit effectuer les caractéristiques générales de côté expérimentales de l'amplification

#### IV.3. 1. Montage

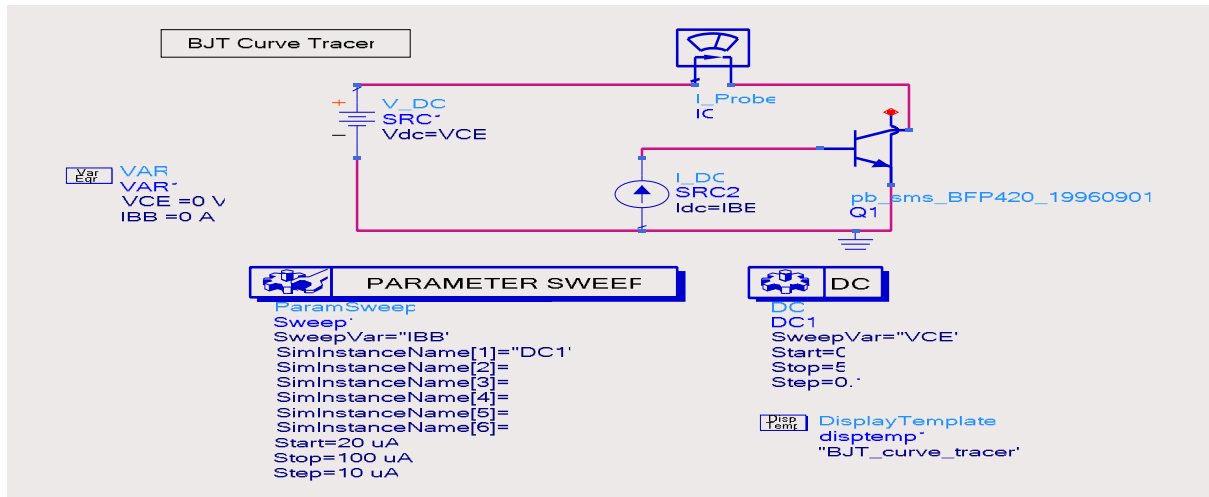


Fig. IV.1. Schémas équivalent de transistor en mode DC

pour connaître les caractéristique de transistor BFP420 on a alimenté ce dernier par un générateur en mode V\_DC ainsi un autre générateur de courant I\_DC , Un ampèremètre pour voir la valeur de courant brancher en série figure(IV.1 ),il y a des simulateurs était importé tel que PS , AC et VAR on attache les dispositifs et on met les valeur dans les casier des paramètres au niveau d'espace de conception schématique de logiciel ADS puis on clique sur le menu simuler afin de ça on a constaté les caractéristique suivants

#### IV.3.2. Courbes

La simulation représente les caractéristiques  $I_C = f(V_{CE}, I_B)$  **figure (IV.2)** ce que on peut constater ; le transistor répond aux conditions des propriétés générales.

**BJT DC Collector Current vs. Collector-Emitter Voltage**  
 Use with BJT\_curve\_tracer Schematic Template

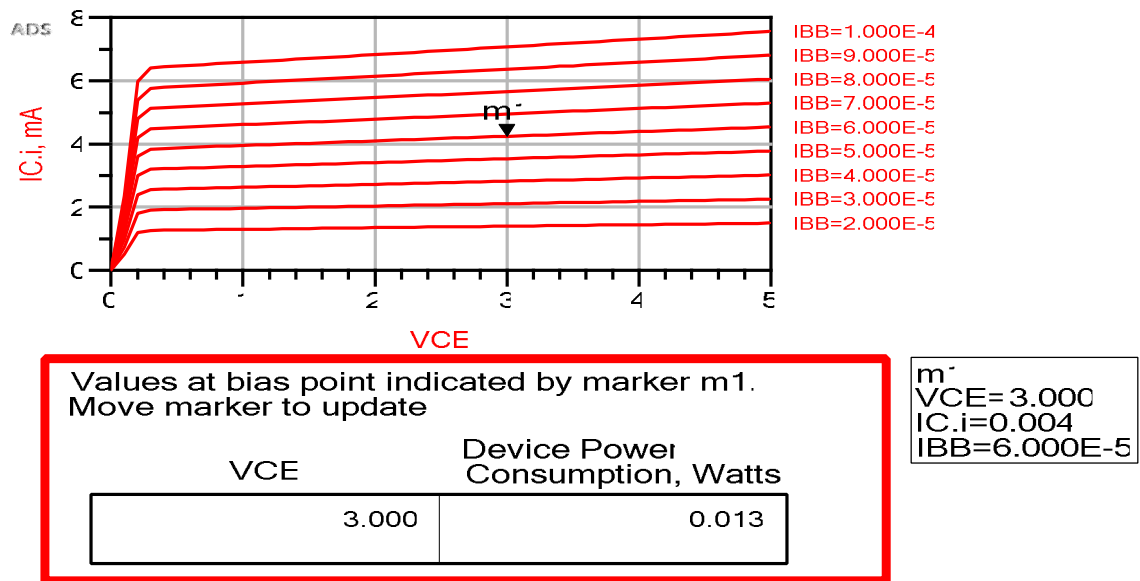


Fig. IV.2. Fonctionnement de transistor dans les caractéristique  $I_C=F(V_{CE}, I_B)$

**IV.4. Simulation de montage amplificateur à base de transistor**

Le montage comporte des résistances et des capacités pour effectuer la polarisation de transistor vont des valeurs qui nous permettons d'analysé le circuit amplificateur , un source de tension de mode DC été branché aux résistances R2 ET R1 pour exciter le transistor, et un autre source de mode alternatif attacher en entrée pour alimenter le circuit générale de l'amplificateur **figure(IV.3)**, les simulateurs qu'on a déjà importer Tran , AC et S en les posant sur la fenêtre schématique ont les mécanismes de traitement et analysassions avant d'exposer les graffs et les courbes ainsi les résultats au niveau de logiciel ADS.D'appriis la simulation on a obtenu les résultats suivants.

Pour schématiser notre circuit en suivant les étapes (1.2.3) de la figure (IV.3).

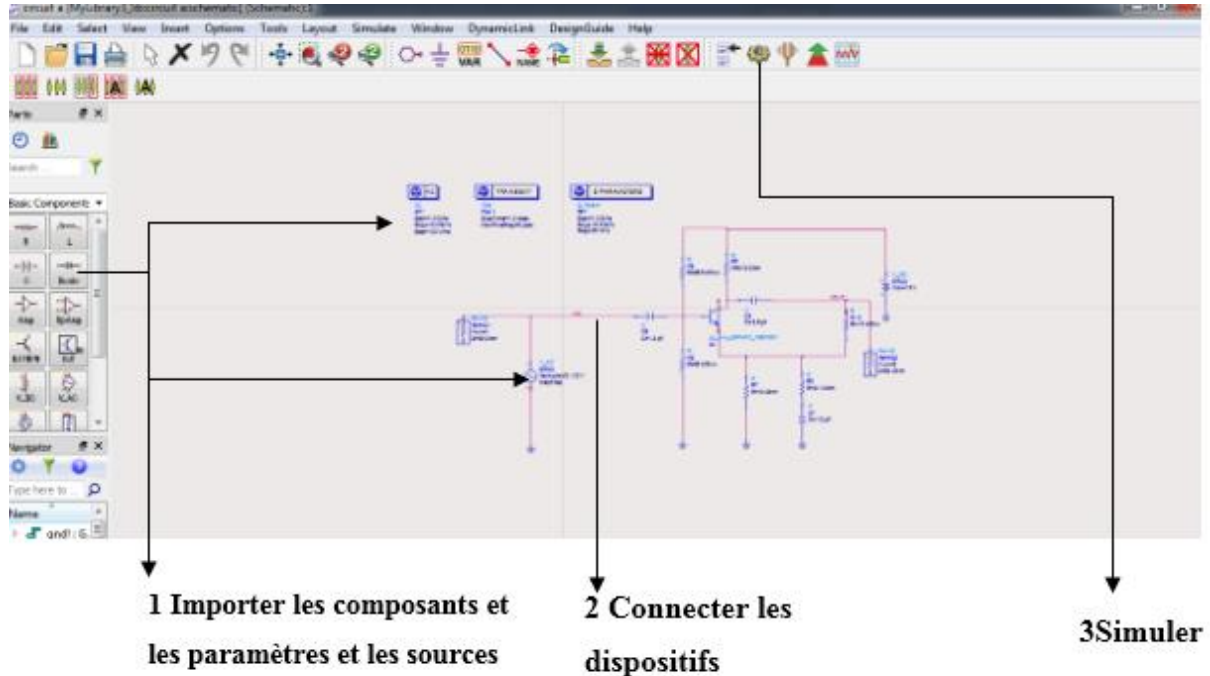


Fig. IV.3. Les étapes de schématisation de circuit amplificateur

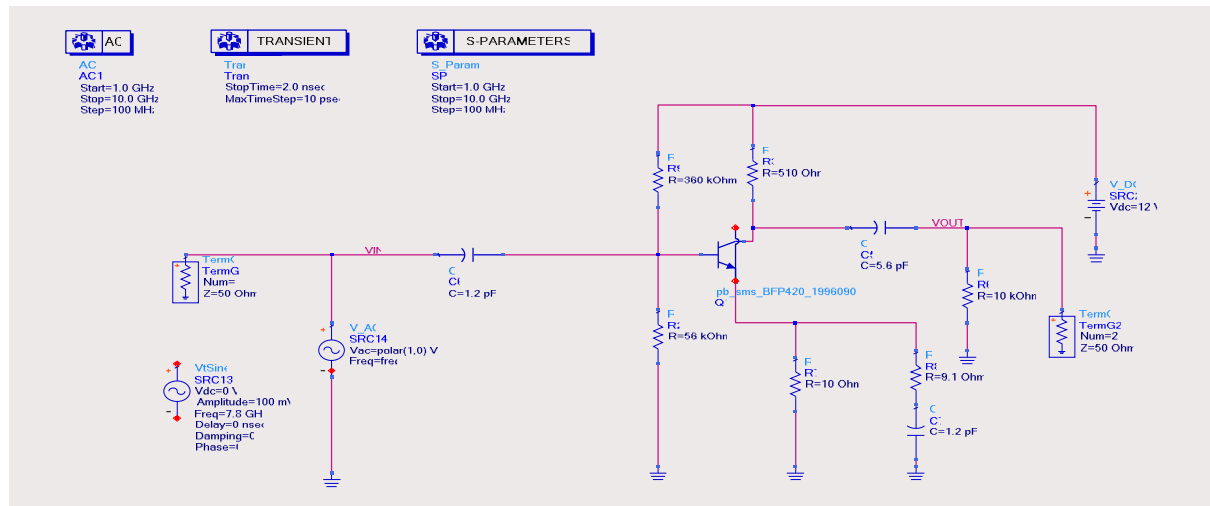


Fig. IV.4. Schéma de circuit général de l'amplificateur RF a base de BFP420

Pour nous voyons les courbes et les résultats de ce circuit en réglant les valeurs des grandeurs dans cette fenêtre figure (IV.4).

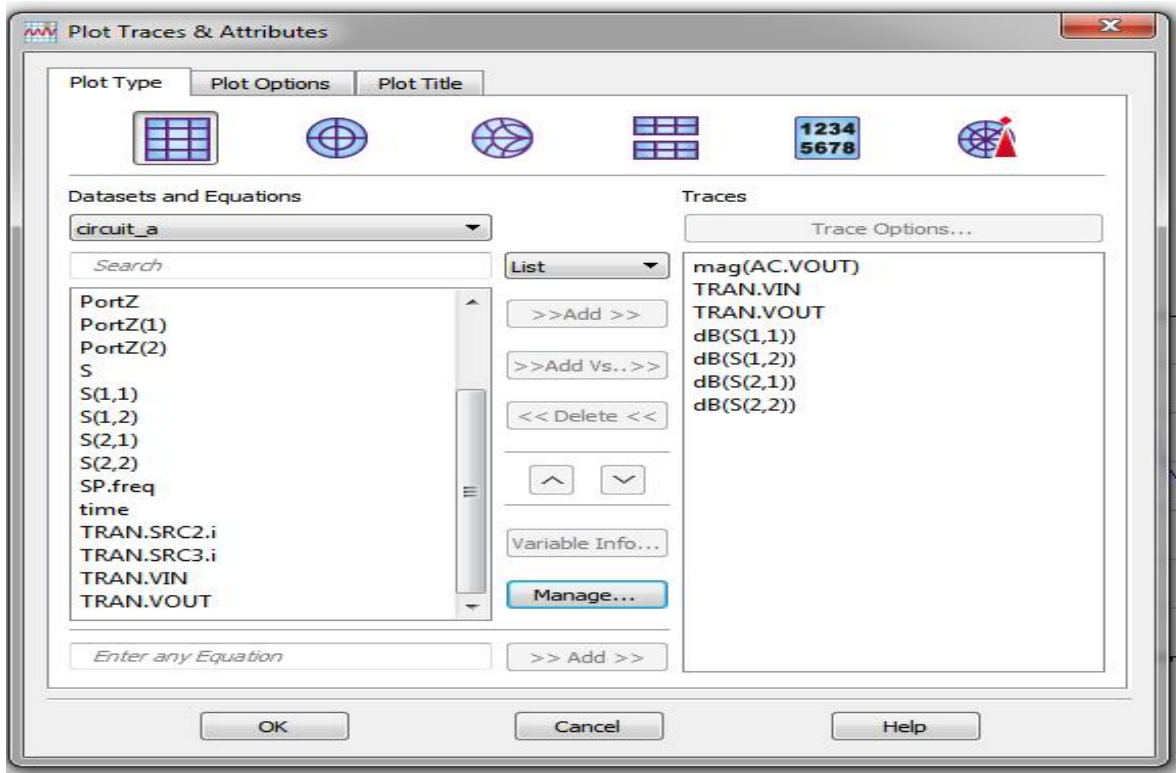


Fig. IV.5. Fenêtre de réglage des données

#### IV.4.1. Gain de L'amplificateur

La courbe représente le gain d'amplification de l'amplificateur en fonction de la fréquence dans la plage [0Ghz,10Ghz] **Figure(IV.4)**. En donnant une valeur d'entrée 0.1V et à la sortie on a obtenu une valeur de 0.665V ce que on peut dire que l'amplificateur et fonctionne dans un état fiable.

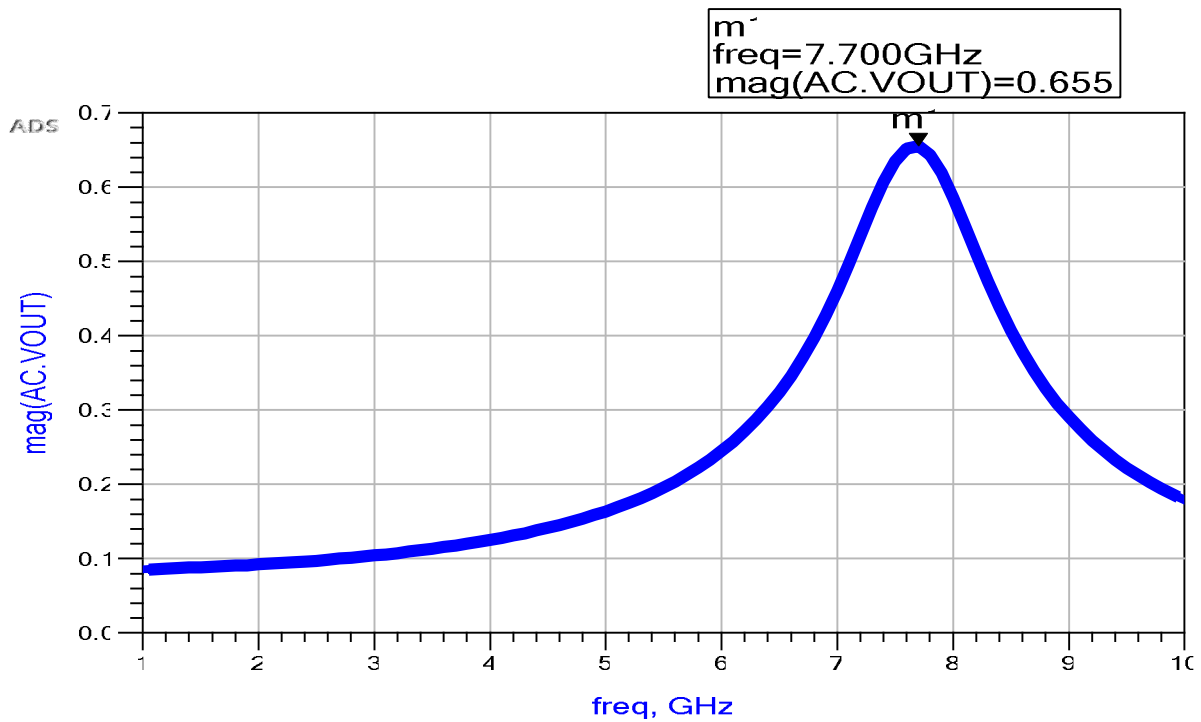


Fig. IV.6. Le gain de d'amplificateur à base de BFP420

#### IV.4.2. Effet d'amplification

L'ampliateur fonctionne dans une méthode favorable par rapport la **figure (IV.4)** qui apparait la stabilisation de la magnitude de l'entrée et la sortie en fonction de temps ce que nos permet de dire qu'est un amplificateur parfait.

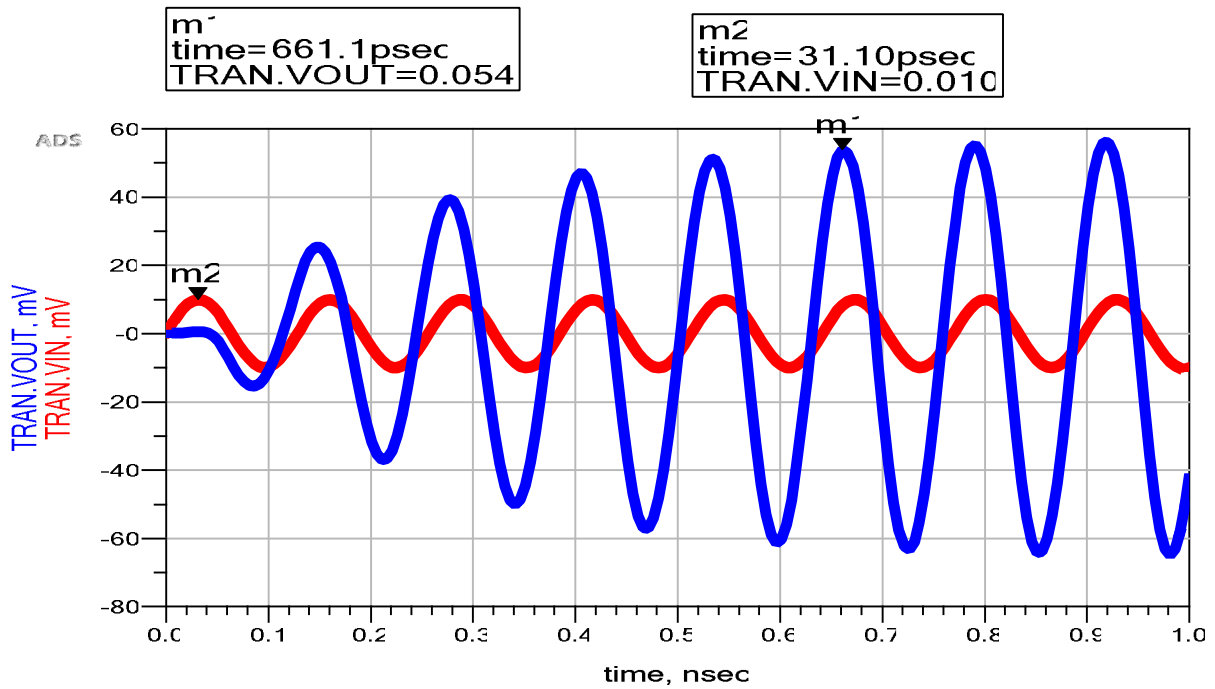


Fig. IV.7. L'amplitude de VE et VS à base de BFP420 en fonction de t

#### IV.4.3. Simulation des résultantes en mode SMITH de logiciel ADS

Cette méthode de présentation des données nos permet de voir la valeur de l'impédance en fonction de la fréquence ainsi les valeurs de l'amplitude et l'angle  $\varphi$ , les valeurs de s

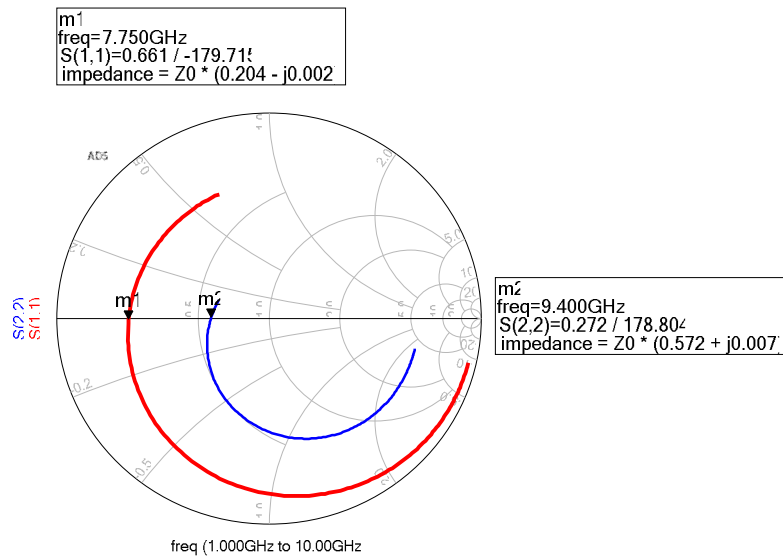


Fig. IV.8. Courbe du S11 et S22 en fonction de la fréquence

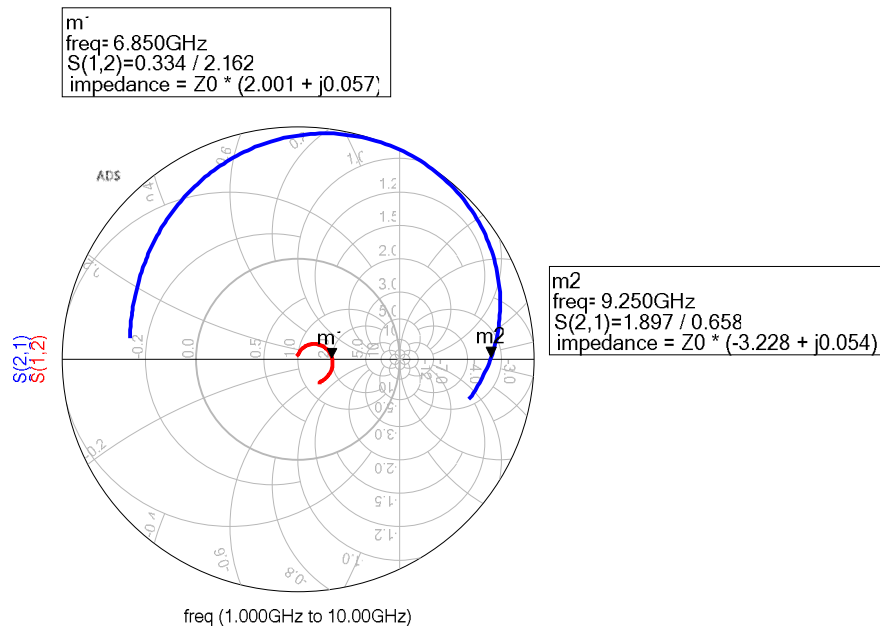


Fig. IV.9. Courbe du S12 et S21 en fonction de la fréquence

#### IV.5. Adaptation de circuit amplificateur

L'étude d'adaptation d'un circuit prend une grande importance car cette étape est obligatoire de côté pratique, sinon elle découle l'optimisation des émetteurs et des récepteurs donc l'optimisation de la liaison à cette raison il faut balancer entre l'étage de l'entrée et la sortie. Les figures (IV.8), (IV.10) simplifient cette étude.

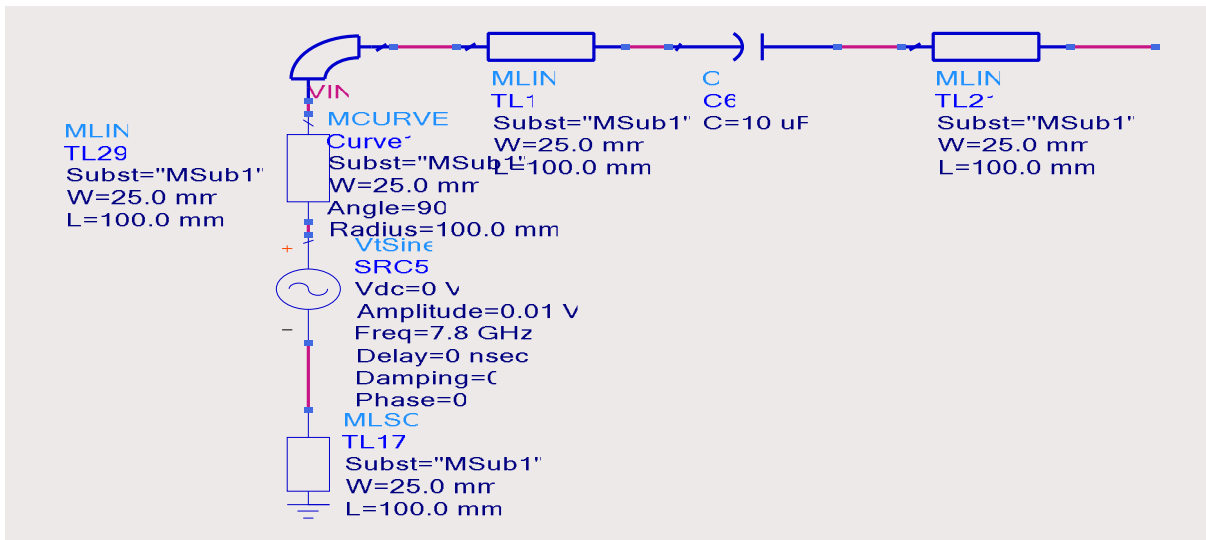


Fig. IV.10. Circuit d'adaptation d'impédance d'entrée

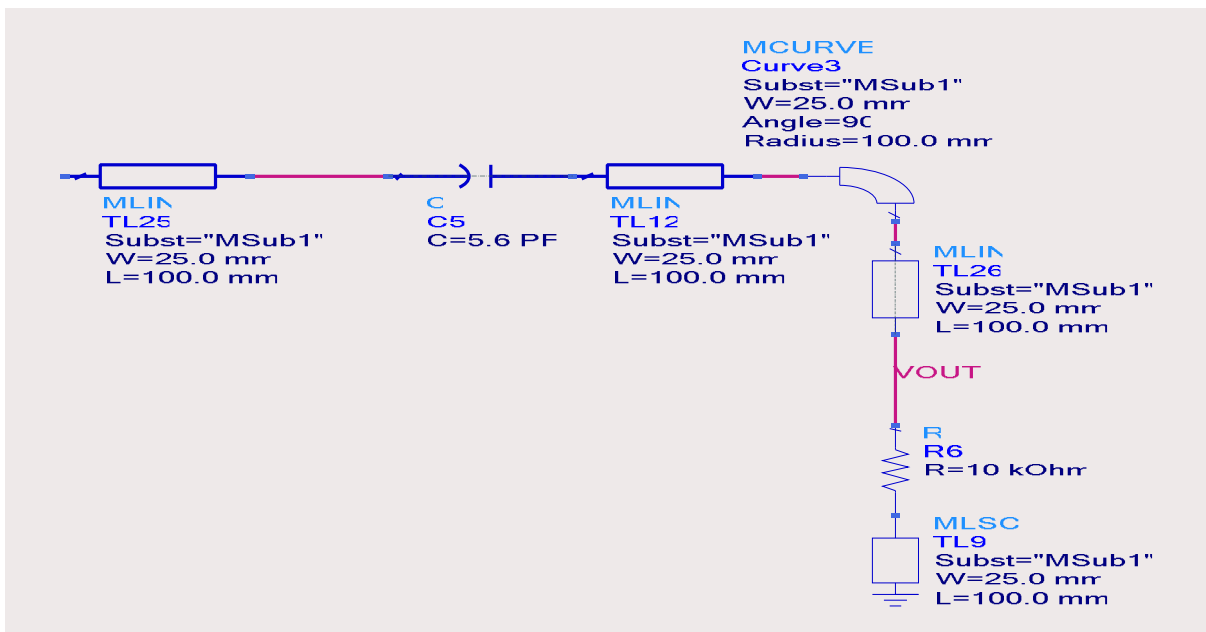


Fig. IV.11. Circuit d'adaptation d'impédance de sortie

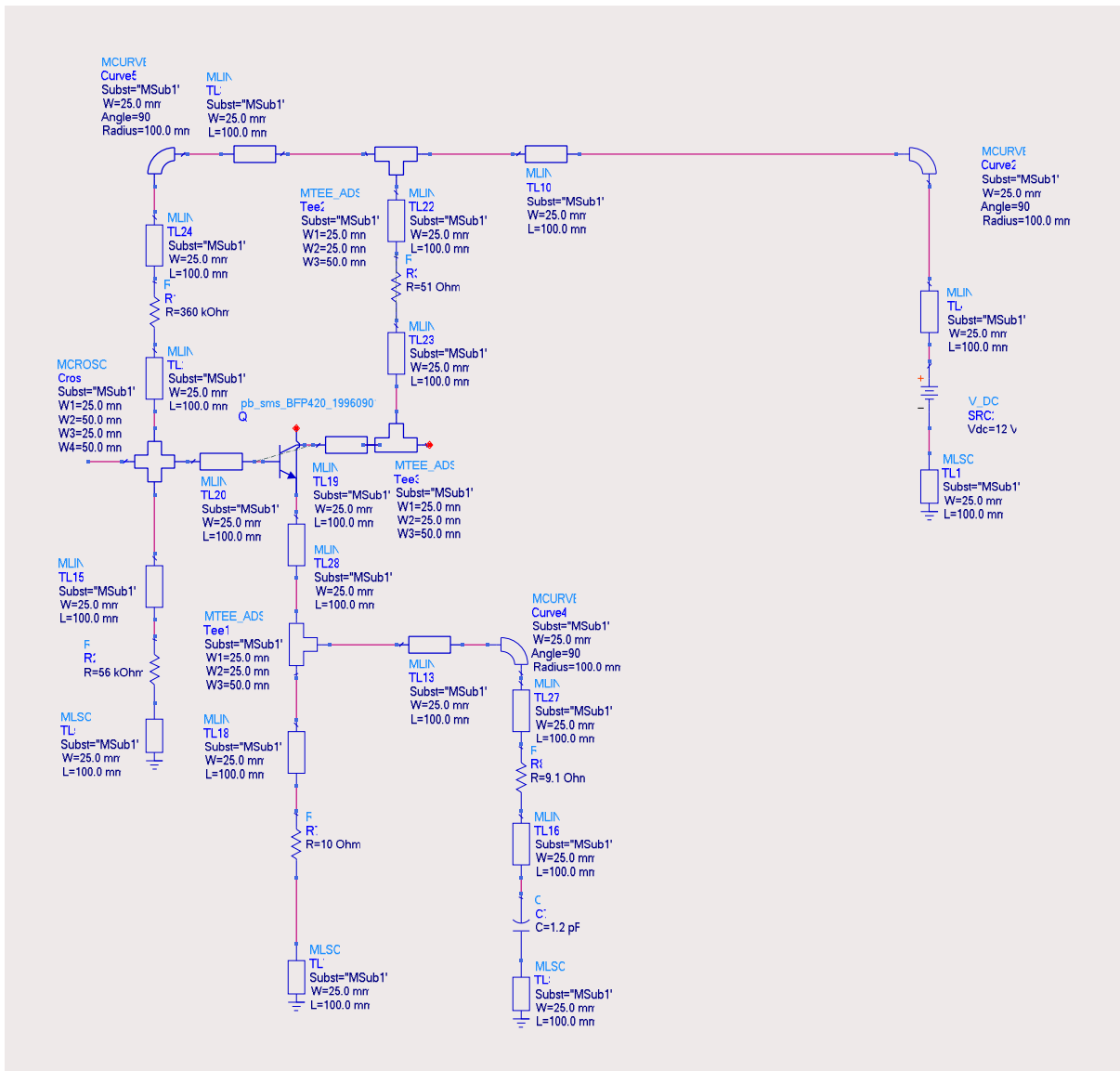


Fig. IV.12. Circuit de polarisation du l'amplificateur

Les avantages de ce projet amplificateur ont des multiples ouvrages qu'était commun, ces comportements diminuer les réflexions en amplificateur et produire une large magnitude de gain ainsi une haute puissance dans la sortie qui assure la stabilité des conditions opérationnelles de l'amplificateur. Tout ce qu'on dit sont des considérations importantes, pour fabriquer un amplificateur fiable nécessitant un composant actif dans leur construction interne, il y a des différents composants actifs est utilisés dans la fabrication des amplificateurs. Et parmi Les avantages qui influence directement dans cette propriété c'est économique de côté matériaux intrinsèque et comporte une large magnitude de gain constante dans le processus de fonctionnement, c'est pour ça nous cherchons a choisis ce type de composant BFP420 qu'est occupé un large intervalle de fréquence jusqu'à 10 GHz.



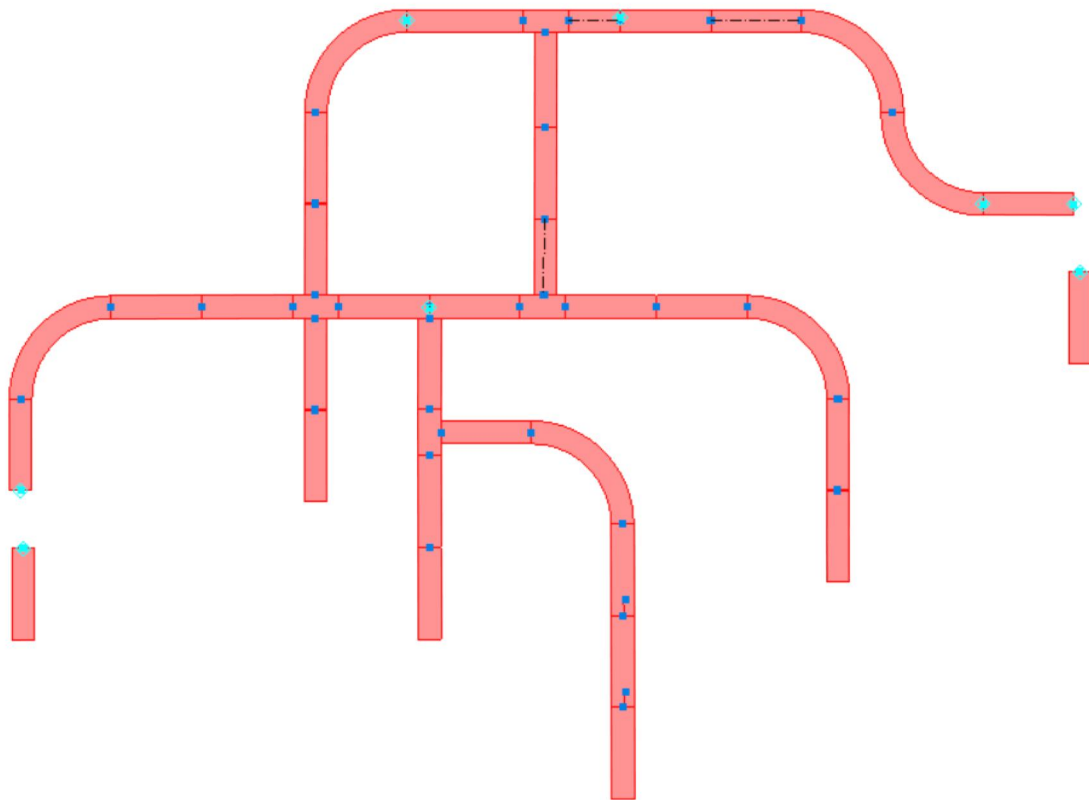


Fig. IV.14. Circuit imprimé de l'amplificateur en technologie micro rubans

#### IV.8. Conclusion

Dans ce chapitre on a simulé un amplificateur fonctionne dans une bande de fréquence [6Ghz,10Ghz, La technologie que on a utilisé est micro rubans pour étudier le fonctionnement de cet amplificateur à partir de logiciel ADS qui devenu un extra programme à cause de leur flexibilité en coté de simulation et la rapidité de coté de traitement des circuit et d'exploration des résultats correctes. L'optimisation et le réglage de circuit est plus important pour un amplificateur a des mieux performances. La simulation des résultats dans l'amplificateur représente un gain 7.2dB en fonction d'une valeur de fréquence 6.5Ghz ce que nous admettons d'utilisé dans les systèmes 5G.

## **Conclusion générale**

Depuis les résultats sont exposé et plus détaillé de l'amplification de la source jusqu'à la charge apparaît que l'amplificateur fonctionne correctement . Cette technologie possède des avantages qui participer dans plusieurs applications plus important par le constructeur.

Au cours de ce projet de fin d'étude, nous allons étudiés les caractéristiques complète de l'amplificateur large bande dans les deux catégories de fréquence et la simulation de l'amplificateur a partir de logiciel ADS .

Dans le premier chapitre, Le dispositif amplificateur a été étudié en mode basse fréquence. On a compléter par class d'amplification et une description caractérisé logiciel ADS. Ce qui nous a permis de connaitre le fonctionnement de l'amplificateur.

Dans le second chapitre, On a étudié l'amplification en haute fréquence .

Dans le troisième chapitre, On a présenté l'étude du l'adaptation d'impédance et leur influence direct au circuit concerné.

Dans le dernier chapitre, On a exploré les résultats du la simulation totalement de niveau d'entrée au niveau de sortie ainsi les caractéristiques spectrales.

Le projet de fin d'étude nous a permis de croire et développer notre connaissance dans le domaine des systèmes électroniques en mode RF.