

Remerciements

Nos remerciements vont tout premièrement à Allah tout-puissant pour la volonté, la santé et la patience, qu'il nous a donnée durât toutes ces longues années.

*Nous tient également à exprimer nos sincères remerciements à notre rapporteur **Dr: KOUDA Souhil**, de nous avoir permis de bénéficier de son grand savoir dans la matière, pour sa disponibilité, sa pédagogie, ses compétences, sa modestie et son aide précieux tout au long de ce projet même pendant les moments les plus difficiles. **Vraiment merci pour une qualité d'encadrement si sérieuse et si consistante...***

Nous exprimons nos profonds remerciements à monsieur le président d'être la tête de ce jury. Nous remercions également tous les membres de jury, qui nous ont fait l'honneur d'être présents ce jour.

*Nous remercions tous les **enseignants** de département d'Électronique et les personnels administratifs et techniques, qui ont contribué de près ou de loin à notre formation durant ces cinq années.*

Nous tenons à remercier tout particulièrement ceux qui sont très chers : nos mères et nos pères

Que la paix d'Allah soit toujours avec vous

F. Boulares, Y. Debihi

الاهداء

بسم الله الرحمن الرحيم

(قل اعملوا فسيرى الله عملكم ورسوله والمؤمنون)

صدق الله العظيم

الهي لا يطيب الليل الا بشكرك ولا يطيب النهار الا بطاعتك .. ولا تطيب

اللحظات الا بذكرك .. ولا تطيب الآخرة الا بعفوك .. ولا تطيب الجنة الا برويتك

"الله جل جلاله"

الى من بلغ الرسالة وادى الامانة .. ونصح الامة .. الى نبي الرحمة ونور العلمين

"سيدنا محمد صلى الله عليه وسلم"

الى من كلله الله بالهيبة والوقار .. الى من علمني العطاء بدون انتظار .. الى من احمل

اسمه بكل افتخار .. ارجو من الله ان يمد في عمرك لترى ثمارا قد حان قطافها بعد طول انتظار

وستبقى كلماتك نجوم اهتدي بها اليوم وفي الغد والى الابد

والدي العزيز

الى ملاكي في الحياة .. الى معنى الحب والى معنى الحنان و التفاني .. الى بسمه الحياة وسر

الوجود الى من كان دعائها سر نجاحي وحنانها بلسم جراحي الى اغلى الحبايب

امي الحبيبة

الى من رافقوني منذ ان حملنا حقائب صغيرة ومعكم سرت الدرب خطوة بخطوة ومازلتم

ترافقوني حتى الآن الى شموع متقدة تنير ظلمة حياتي

اخوتي

الى الاخوة والاخوات , الى من تحلو بالإخاء وتميزوا بالوفاء و العطاء الى ينباع الصدق

الصافي الى من معهم سعت, وبرفقتهم في دروب الحياة الحلوة و الحزينة الى من كانوا معي

على طريق النجاح و الخير الى من عرفت كيف اجدهم وعلموني ان لا اضيعهم

اصدقائي

Sommaire

INTRODUCTION GÉNÉRALE	1
CHAPITRE I : ÉTAT DE L'ART SUR LES MOSFETS ET LES AOPS	3
I.1. Introduction	3
I.2. Transistor MOSFET	3
I.2.1.Principe de base d'un transistor MOSFET	4
I.2.2.Structures de transistor MOSFET	5
I.2.2.1.Transistor MOSFET à canal N	5
I.2.2.2.Transistor MOSFET à canal P	5
I.2.2.3. MOSFET à appauvrissement de canal	6
I.2.2.4. MOSFET à enrichissement de canal	7
I.2.3. Régimes de fonctionnement du transistor	7
I.2.3.1. Le régime statique	7
I.2.3.2.Le régime dynamique	11
I.3.Les sources de courant	14
I.3.1. Source de courant avec un transistor NMOS	14
I.3.2. Source de courant avec un transistor PMOS	14
I.4. Miroir de courant	15
I.5. Paire différentielle en transistor MOS	16
I.6. Amplificateur opérationnel	17
I.6.1. Principe d'un amplificateur différentiel	18
I.6.2. Amplificateur opérationnel parfait	18
I.7. Amplificateur Opérationnel à Transconductance (OTA)	19
I.7.1. Caractéristiques d'OTA	19
I.7.2. Différentes configurations d'OTA	21
I.7.2.1. L'OTA à deux étages	22
I.8. Conclusion	22
CHAPITRE II : LES ALGORITHMES GÉNÉTIQUES	23
II.1. Introduction	23
II.2. Les algorithmes évolutionnaires (AE)	23
II.3. Les algorithmes génétiques	24
II.3.1. Fonctionnement général des algorithmes génétiques	25
II.3.2. Optimisation par les algorithmes génétique	25
II.3.3. Mécanismes de fonctionnement d'un (AG)	27
II.3.3.1. Initialisation de la population	27
II.4. La fonction d'adaptation	30
II.4.1. La sélection des parents	31
II.5. La recombinaison génétique	32
II.5.3 La sélection finale	35
II.6. Avantages et inconvénients des algorithmes génétiques	36
II.6.1. Avantages des AGs	36
II.6.2. Inconvénients des AGs	36
II.5. Conclusion	37
CHAPITRE III : CARACTÉRISATION DES TRANSISTORS ET OPTIMISATION DE L'AOP	38
III.1.Introduction	38
III.2.Environnement CADENCE	38

III.3.Instructions générales de CADENCE	38
III.3.1. Aperçu du Library Manager	38
III.3.2. Création d'une librairie de travail	40
III.3.3. Edition de schéma	40
III.3.4. Placement des composants	41
III.3.5. Méthodologie générale de paramétrage d'une simulation transitoire (Analog Design Environment XL)	42
III.3.6. Création d'un symbole	42
III.4.Caractéristique de transistor NMOS	43
III.4.1. Caractéristique de transfert en courant $I_d = f(V_{GS})$ à V_{GS} constante	44
III.4.2. Caractéristique de transfert en courant $I_d = f(V_{ds})$ à V_{gs} constante	45
III.5.Caractéristique de transistor PMOS	46
III.6.Dimensionnement des transistors en utilisant les algorithmes génétiques	47
III.7.Conclusion	50
CHAPITRE IV : RÉSULTATS ET SIMULATIONS	51
IV.1.Introduction	51
IV.2. Spécifications	51
IV.3. Les résultats de Simulation de l'amp- op	53
IV.4. Simulation du Gain et de la marge de Phase	54
IV.5. Simulation du Slew Rate	55
IV.6. Conclusion	57
CONCLUSION GENERALE	58

Introduction générale

Le domaine de la conception des circuits intégrés a connu un développement technologique d'une façon exponentielle ces dernières années. L'intégration de plus en plus élevés sur une seule puce des systèmes électronique réalisés auparavant sous forme de cartes. D'où la conception des circuits intégrés représente un pilier des activités industrielles. Le monde actuel est guidé par des développements technologiques rapides, la tendance actuelle est la miniaturisation des circuits électroniques existants. Il en est de même pour les applications nécessitant l'utilisation d'amplificateurs opérationnels « AOPs » dans les circuits intégrés [1,2].

Les amplificateurs opérationnels de transconductance appelés également cellules de transconductance G_m , sont des circuits vitaux dans les circuits électroniques, ceci est dû principalement à la commodité de réglage des paramètres des fonctions électroniques qu'ils réalisent par la transconductance [3]. Ils sont les circuits les plus utilisés en microélectronique, car ils interviennent dans la conception de plusieurs circuits tels que les intégrateurs, les échantillonneurs bloqueurs, les comparateurs, les convertisseurs analogiques numériques et les convertisseurs numériques analogiques ... etc. Cependant, une conception efficace d'un AOP est la brique de base de l'environnement de conception de plusieurs applications [4]. Le développement de l'architecture des OTAs et leurs applications dans les circuits intégrés a fait l'objet de nombreux travaux et n'a pas cessé de croître.

Dans ces derniers années avec l'avancement de la technologie de fabrication, les circuits analogique sont impliqués à fonctionner en faible puissance et à faible tension, dans cette égard, nous avons proposé dans ce mémoire, les algorithmes génétiques comme solution d'optimisation d'un amplificateur opérationnel OTA Miller.

L'optimisation des paramètres utilisant la méthode analytique (systèmes des équations polynomiales) est très difficile. Notre méthode proposée, dans ce mémoire, utilise les AGs, qui présentent une grande capacité à trouver les optimums globaux des problèmes d'optimisation. Dans l'objectif de cette méthode est d'optimiser les dimensions des transistors (W/L), par la technologie 130nm TSMC (Taiwan Semi-conductor Manufacturing Company) CMOS, afin

d'obtenir les meilleurs paramètres de performance de l'AOP. Ces résultats seront ensuite implémentés dans l'environnement de conception CADENCE Virtuoso.

Ce mémoire est présenté sous forme d'une description détaillée de la conception réalisée.

Il est divisé en quatre chapitres :

Le premier chapitre « état de l'art sur les MOSFET et les AOP » présente les différents paramètres des MOSFET et des AOPs ainsi que les circuits de base des AOP tels que les miroirs de courants et la paire différentielle.

Le deuxième chapitre «Algorithmes génétiques» présente les AGs, leurs principe de fonctionnement, caractéristiques principales, opérateurs génétiques, avantages et inconvénients.

Le troisième chapitre « Caractérisation des transistors et optimisation de l'AOP» présente la première partie de notre travail pratique concerne la caractérisation des transistors et l'optimisation par les AGs.

Le quatrième chapitre «Résultats et simulations» présente la deuxième partie de notre travail pratique proprement dit, l'implémentation de notre OTA Miller dans l'environnement de conception CADENCE, et présente aussi, les simulations et les résultats de ces simulations.

Enfin, le travail s'achève par une conclusion générale.

Chapitre I : État de l'art sur les MOSFETs et les AOPs

I.1. Introduction :

La technologie utilisée pour la production d'une puce VLSI (Very Large Scale Integration) moderne est en évolution depuis plus de quarante ans, et à bien des égards, elle évolue à un rythme exponentiel. Inventé en 1947, le transistor est à l'origine de la majorité des appareils électroniques, depuis la radio jusqu'à l'ordinateur. Aujourd'hui, il fait partie de presque toutes les technologies utilisées dans l'industrie, la médecine et l'informatique [5]. Dans ce premier chapitre, nous présentons le transistor MOSFET, les circuits, à MOSFET, de base d'amplificateur opérationnel et l'amplificateur opérationnel. Nous analysons leurs structures et leurs fonctionnements.

I.2. Transistor MOSFET :

Le transistor MOSFET est le dispositif le plus répandu dans la production actuelle des composants semi-conducteurs, il est le composant de base de tout circuit intégré CMOS (complementary MetalOxide semiconductor). La technologie CMOS est basée sur l'utilisation de deux types de transistors complémentaires : le transistor n-MOSFET dont les porteurs sont des électrons et le transistor p-MOSFET dont les porteurs sont des trous. Le principe de fonctionnement d'un transistor MOSFET (MOS Field Effet transistor) est basé sur le concept de la modélisation de la conductivité des matériaux mise en évidence par J.E. Lilienfeld en 1928. Il n'a cependant pu être exploité qu'à partir des années 60, lorsque des interfaces silicium/oxyde ont été suffisamment de bonne qualité permettant à Jack Kilby de fabriquer le premier circuit intégré. Le transistor MOSFET à enrichissement de canal qu'on représente sur la figure I.1 se caractérise par le fait que la grille contrôle à travers l'oxyde de grille la densité de porteurs dans le canal du dispositif et ainsi l'intensité du courant par le biais de l'effet de champ électrique. On remarque ainsi que le canal est relié de part et d'autre à deux régions fortement dopées nommées respectivement « source » et « drain » entre lesquelles est appliquée une tension donnant lieu à la circulation du courant.

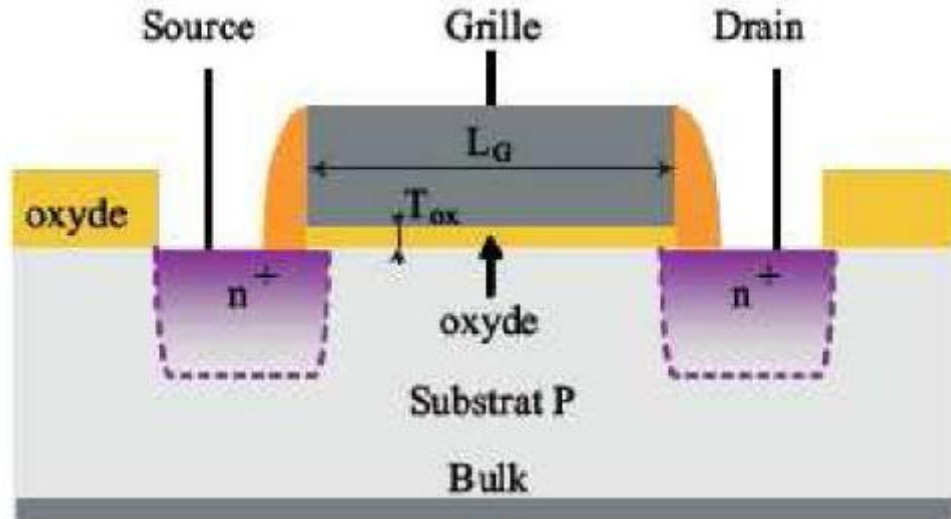


Figure I.1 : Représentation schématique d'un transistor MOSFET

I.2.1.Principe de base d'un transistor MOSFET :

Le principe de fonctionnement d'un transistor MOSFET repose sur l'**effet de champ**, qui consiste à moduler de façon électrostatique une densité de charge mobile dans un semi-conducteur. La modulation est provoquée par un champ électrique perpendiculaire à la direction du mouvement de ces charges. La structure du MOSFET se décompose en trois parties principale : l'électrode de grille (G) qui commande l'intensité du champ électrique verticale et par conséquent la densité de charges mobiles, les électrode de source (S) et de drain (D) séparées par un canal de conduction qui conduit le courant en fonction de niveau de remplissage en charge mobiles[6]. La figure I.2 illustre l'effet de champ dans un transistor MOSFET (a) avec $V_{GS} < V_T$ (b) avec $V_{GS} > V_T$.



Figure I.2 : Effet de champ dans un MOSFET

La grille est polarisée par la tension grille-source V_{GS} . Les charges sont mises en mouvement par l'intermédiaire du champ électrique longitudinal lié à l'application d'une tension entre le drain et la source V_{DS} . La source sert de référence de potentiel. Les tensions V_{GS} et V_{DS} permettent de contrôler le courant qui passe dans le canal. Le dopage du canal N_A ,

la profondeur. X_j des jonctions source et drain, la longueur de masque L entre drain et source, la largeur de masque W et l'épaisseur T_{OX} de l'oxyde de grille sont les paramètres caractéristiques d'un transistor MOSFET conventionnel. Avec la réduction de la taille du transistor, la différence entre la longueur du masque L et longueur effective L_E n'est plus négligeable. De même pour la largeur effective du canal W_E . Deux paramètres correctifs sont alors introduits. Ils sont définis par : $\Delta L = L - L_E$ et $\Delta W = W - W_E$.

I.2.2.Structures de transistor MOSFET :

Selon les 2 types du substrat P ou N on peut concevoir deux types transistors MOSFET les N-MOSFET et P-MOSFET :

I.2.2.1.Transistor MOSFET à canal N :

Dans les transistors N-MOSFET (Figure I.3), le substrat est de type P. dans ce cas la grille est polarisée positivement par une tension V_G suffisante, qui va peupler l'interface SC-oxyde, d'électrons permettant l'apparition, de deux zone peuplées d'électrons la source et le drain reliées par un canal rempli d'électrons, et la tension V_{DS} doit être positive afin de drainer ces électrons ; le courant circule du drain vers la source.

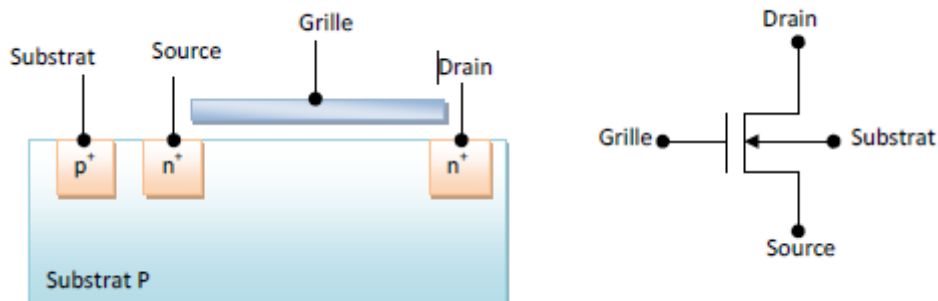


Figure I.3 : MOSFET à canal N

I.2.2.2.Transistor MOSFET à canal P :

Dans les transistors P-MOSFET (Figure I.4), le substrat est de type N le P-MOSFET, dont la grille est polarisée négativement par une tension V_G suffisant, qui va peupler de trous l'interface SC-oxyde, et qui donne deux zones peuplées de trous : la source et le drain relié par un canal rempli de trous, et la tension V_{DS} doit être négative afin de drainer ces trous ; le courant circule donc de la source vers le drain [6].

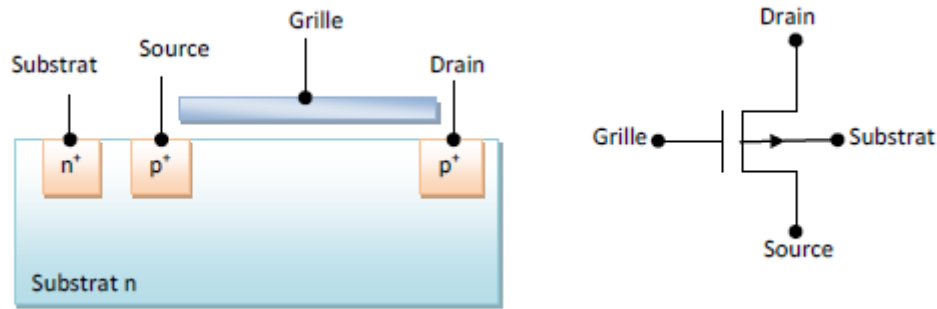


Figure I.4 : MOSFET à canal P

Selon la réalisation du canal on peut classer les MOSFET en deux types fondamentaux qui sont les MOSFET à appauvrissement (Déplétion) D-MOSFET, et les MOSFET à enrichissement (Enchancement) E-MOSFET.

I.2.2.3. MOSFET à appauvrissement de canal :

Dans les cas des MOSFET à appauvrissement de canal (Figure I.5) des étapes technologiques supplémentaire permettent de fabriquer ce canal qui existe déjà avant toute polarisation de la grille (NORMALLY ON), ils deviennent de moins en moins conducteurs fur et à mesure que la tension de commande augmente pour finalement se bloquer au-delà d'une tension de blocage V_{GSoff} .

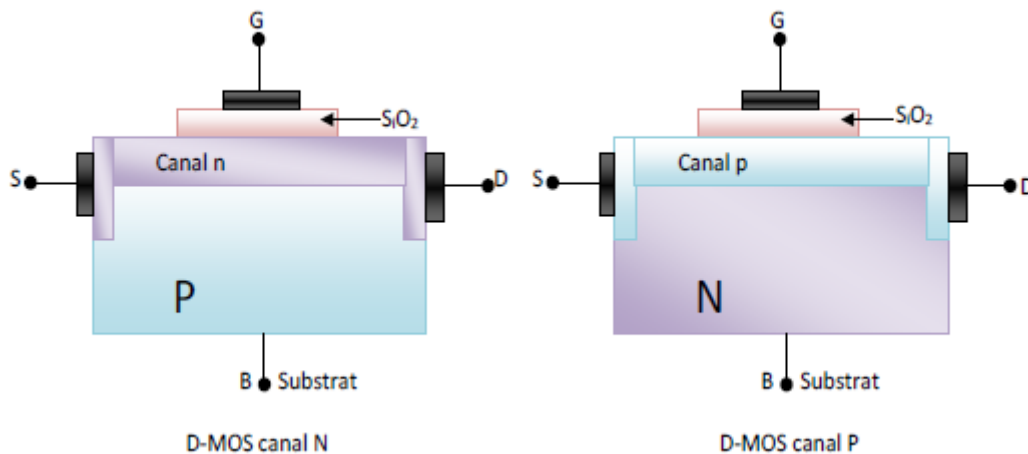


Figure I.5 : MOSFET à appauvrissement de canal

Pour le cas du D-MOSFET canal N, si on applique une tension négative sur la grille par rapport au substrat, les électrons sont repoussés et la conductivité du canal diminue. Contrairement à cela, pour du D-MOSFET à canal P, si on applique une tension positive sur la grille par rapport au substrat, les trous sont repoussés et la conductivité du canal diminue.

I.2.2.4. MOSFET à enrichissement de canal :

Dans les transistors MOSFET à enrichissement de canal (Figure I.6), ce dernier est induit suite à une tension V_{GS} appliqué sur la grille du transistor. Les transistors MOSFET à enrichissement sont bloqués sans tension de commande sur la grille (NORMALLY OFF), ils deviennent passant à partir d'une certaine tension de grille V_{Th} (threshold voltage) qu'est la tension appliquée entre la grille et le substrat, entraînant l'inversion de la nature du substrat sous la grille. $|V_{GS}| > |V_{Th}|$, et le transistor devient passant.

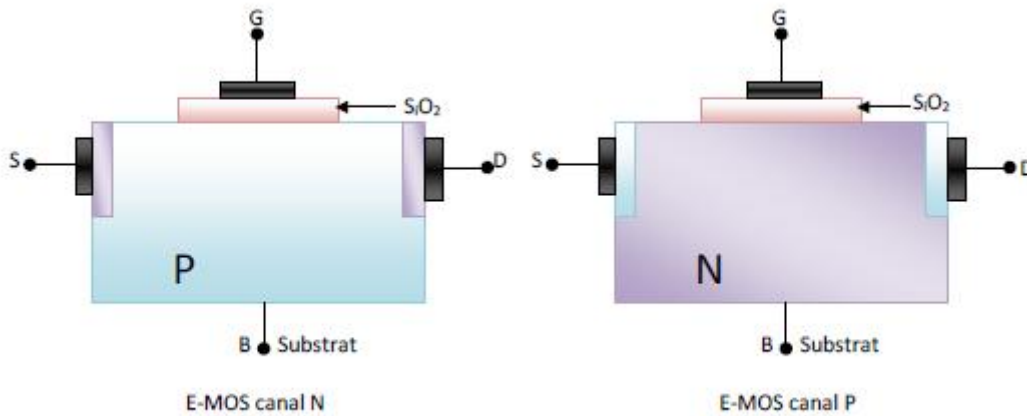


Figure I.6 : MOSFET à enrichissement de canal.

Dans le cas d'un transistor MOSFET à canal N et à enrichissement de canal, l'application d'une tension positive sur la grille permet d'attirer les électrons à l'interface isolant/semi-conducteur et on repousse les trous. À partir d'une certaine tension V_{Th} , une couche d'inversion apparaît et le transistor devient de plus en plus passant. Contrairement au N-MOSFET, dans le cas d'un transistor MOSFET à canal P et à enrichissement de canal, l'application d'une tension négative sur la grille par rapport au substrat va permettre de repousser les électrons majoritaires et les trous minoritaires sont attirés. À partir d'une tension de seuil V_{Th} , une couche d'inversion apparaît et le transistor devient de plus en plus passant.

I.2.3. Régimes de fonctionnement du transistor :

I.2.3.1. Le régime statique :

Le régime statique du transistor MOS permet de définir son mode d'opération (point de fonctionnement) ainsi que son équation d'état qui donne l'intensité du courant drain I_D en fonction des paramètres géométriques (W , L) et des tensions appliquées à ses bornes.

(V_{GS}, V_{DS}, V_{BS}). Nous définissons ainsi deux types de régime de fonctionnement en fonction de la tension grille-source V_{GS} appliquée aux bornes du transistor :

- Le régime de faible inversion: dès lors que la tension grille-source V_{GS} est inférieure ou voisine à la tension de seuil V_{th} du transistor : $V_{GS} < V_{th}$.
- Le régime de forte inversion: dès lors que la tension grille-source V_{GS} est supérieure à la tension de seuil V_{th} du transistor : $V_{GS} > V_{th}$.

Pour chaque régime de fonctionnement (faible inversion ou forte inversion), nous définissons deux types de zone de fonctionnement en fonction de la tension drain-source V_{DS} appliquée aux bornes du transistor [7]:

- La zone de conduction ou zone ohmique: dès lors que la tension drain-source V_{DS} est inférieure à la tension de saturation du canal avec $V_{DSsat} = V_{GS} - V_{th}$.
- La zone de saturation ou zone « *source de courant* » : dès lors que la tension drain-source V_{DS} est supérieure à la tension de saturation du canal V_{DSsat}

- **Régime de faible inversion :**

L'expression du courant drain I_D en régime de faible inversion en zone de saturation est donnée par l'expression

$$I_D = I_{D0} \left(\frac{W}{L} \right) \times e^{\frac{V_{GS}}{n U_T}} \quad (\text{I-1})$$

En régime de faible Inversion « $n=1 + (qN_{fs}/C_{ox}) + (C_B/C_{ox})$ » et représente la pente de la courbe $I_D(V_{GS})$.

Avec :

C_{ox} : est la capacité surfacique d'oxyde de grille ;

N_{fs} : est la densité d'états de surface ;

q : est la charge de l'électron ;

$C_B = \partial Q_B / \partial V_{BS}$;

U_T : représente la tension thermodynamique.

- **Régime de forte inversion :**

- a) **Zone de Conduction (ou Ohmique) :**

L'expression du courant drain I_D en régime de forte inversion en zone de conduction est donnée par :

$$I_D = K \frac{W_{eff}}{L_{eff}} \left(V_{GS} - V_{th} - \frac{V_{DS}}{2} \right) V_{DS} \quad (\text{I-2})$$

Avec :

$K = \mu_0 C_{ox}$ (avec μ_0 , la mobilité nominale des porteurs)

$W_{\text{eff}} = W - 2W_{\text{int}}$ représente la largeur de grille effective (avec W_{int} largeur de recouvrement entre grille et îlots de diffusion)

$L_{\text{eff}} = L - 2L_{\text{int}}$ représente la longueur de grille effective (avec L_{int} longueur de recouvrement entre grille et îlots de diffusion).

b) Zone de Saturation (ou Source de Courant) :

L'expression du courant drain I_D en régime de forte inversion en zone de saturation est donnée par :

$$I_D = \frac{K W_{\text{eff}}}{2 L_{\text{eff}}} (V_{GS} - V_{th})^2 (1 + \lambda V_{DS}) \quad (\text{I-3})$$

λ : est un paramètre représentatif de la modulation de la longueur du canal.

• Transistor MOS en zone de saturation :

La zone de saturation est représentée sur la Figure I.7. Cette zone est plus intéressante pour la polarisation des montages à transistor. Dans cette zone le courant I_{DS} est quasi indépendant de V_{DS} . Les circuits de polarisation en miroir et source de courant mettent en œuvre des transistors en saturation. De plus, cette zone est également une zone d'amplification. Les transistors réalisant l'amplification devront donc être aussi en saturation [8].

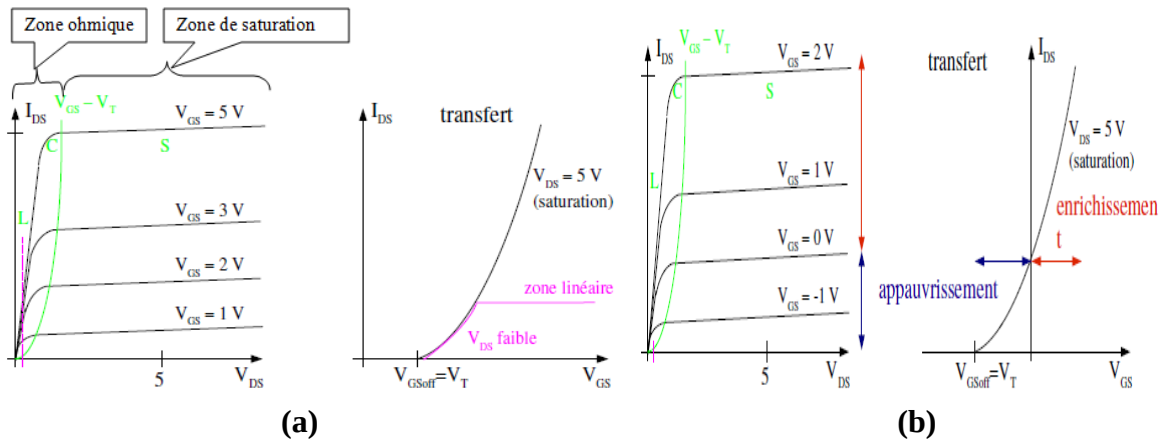


Figure I.7 : zone de saturation (a) MOS canal N normalement off (b) MOS canal N normalement on

a) NMOS en zone de saturation :

La conduction se fait par le déplacement des électrons dans le canal. Pour qu'un NMOS fonctionne il faut d'abord avoir $V_{GS} \geq V_T > 0$, il apparaît alors une couche de type N au voisinage de l'isolant : le canal est induit par inversion de conductivité à la surface du substrat de type P. Cette zone d'inversion établit la conduction entre le drain et la source dès qu'une tension V_{DS} positive est appliquée entre ces deux électrodes. Les électrons mobiles présents dans le canal sont drainés et cela crée un courant qui circule du drain vers la source.

Le transistor NMOS fonctionne en saturation lorsque : $V_{DS} > V_{GS} - V_T$

Le courant de saturation est alors :

$$I_{DS} = \frac{1}{2} K'_n \frac{W}{L} (V_{GS} - V_T)^2 \quad (\text{I-4})$$

Avec

W : largeur de la grille,

L : longueur de la grille,

K'n : constante fournie par le fondeur.

b) PMOS en zone de saturation :

Ce type de transistor a le même principe de fonctionnement qu'un transistor NMOS en remplaçant les électrons par les trous. Il se crée alors un canal de conduction rempli de trous mobiles à la surface du substrat de type N. Lorsqu'on applique une tension $V_{DS} < 0$, les trous présents dans le canal sont alors envoyés du drain vers la source et créent donc un courant allant de la source vers le drain. Pour un bon fonctionnement du transistor PMOS on doit avoir $V_{GS} \leq V_T < 0$.

Le transistor PMOS fonctionne en saturation lorsque : $V_{DS} < V_{GS} - V_T$

Le courant de saturation est alors :

$$I_{DS} = \frac{1}{2} K'_p \frac{W}{L} (V_{GS} - V_T)^2 \quad (\text{I-5})$$

Avec

W : largeur de la grille,

L : longueur de la grille,

K'p : constante fournie par le fondeur.

• Transistor MOS en zone ohmique :

La zone ohmique est représentée dans la figure I.7, la caractéristique, quasi linéaire, I_{DS} en fonction de V_{DS} est tracée à V_{GS} constant. La condition de fonctionnement en zone ohmique est:

- Pour un NMOS : $V_{DS} < V_{GS} - V_T$
- Pour un PMOS : $V_{DS} > V_{GS} - V_T$

Le courant I_{DS} dans une zone ohmique sera :

$$I_{DS} = -K' \frac{W}{L} (V_{GS} - V_T - \frac{V_{DS}}{2}) V_{DS} \quad (\text{I-6})$$

Elle est assimilée à une droite dont la pente représente une conductance. On pourra donc obtenir une tension V_{DS} quasi constante à condition que le courant I_{DS} ait une très faible

variation [7]. Pour résumer les conditions de fonctionnement d'un transistor MOS, le tableau ci-dessous compare les deux types de transistor MOS.

	NMOS	PMOS
Inversion de population	$V_{GS} \geq V_T > 0$	$V_{GS} \leq V_T < 0$
Condition de saturation	$V_{DS} > V_{GS} - V_T$	$V_{DS} < V_{GS} - V_T$
Courant de saturation	$I_{DS} = \frac{1}{2} K'_n \frac{W}{L} (V_{GS} - V_T)^2$	$I_{DS} = -\frac{1}{2} K'_p \frac{W}{L} (V_{GS} - V_T)^2$

Tableau I.1 :Résumé de quelques paramètres concernant les transistors NMOS et PMOS

I.2.3.2. Le régime dynamique :

a) Modèle petit signal en zone de conduction :

Le transistor MOS en régime de forte inversion et en zone de conduction peut être modélisé par une simple conductance g_{DS} entre le drain et la source, raison pour laquelle on nomme cette zone « zone linéaire ». En utilisant l'équation donnant le courant drain I_D en zone de conduction, nous pouvons exprimer la conductance équivalente du transistor dans ce mode de fonctionnement :

$$g_{DS} = \frac{1}{r_{DS}} = \frac{dI_D}{dV_{DS}} = K \frac{W_{eff}}{L_{eff}} (V_{GS} - V_{th} - V_{DS}) \quad (I-7)$$

Pour des tensions drain-source $V_{DS} \ll (V_{GS} - V_{th}) = V_{DSsat}$, l'expression précédente se simplifie :

$$g_{DS} = \frac{1}{r_{DS}} = K \frac{W_{eff}}{L_{eff}} (V_{GS} - V_{th}) \quad (I-8)$$

b) Modèle petit signal en zone de saturation :

En régime de forte inversion et en zone de saturation, le transistor MOS peut être modélisé en fonction de la gamme de fréquences dans laquelle il est utilisé. Nous distinguerons pour cette raison deux gammes de fréquences : les « moyennes » fréquences et les hautes fréquences. Dans le domaine des moyennes fréquences, nous négligerons les capacités parasites du transistor MOS et les résistances d'accès en série.

c) Modèle petit signal moyenne fréquence :

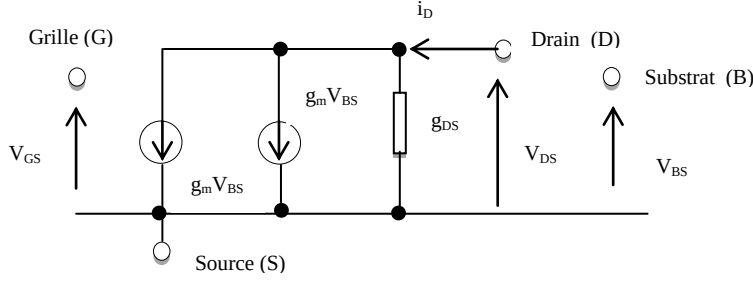


Figure I.8: Modèle petit signal moyenne fréquence du transistor MOS en régime de forte inversion et en zone de saturation

Le modèle petit signal dans la gamme des moyennes fréquences est représenté par la figure I.8. Ce modèle est simplement composé de deux sources de courants liées proportionnellement aux transconductances de grille g_m et de substrat g_{mb} , et d'une conductance g_{DS} entre les îlots de source et de drain.

L'expression du courant drain petit signal i_D est donnée par :

$$i_D = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{DS}, V_{BS} = \text{cte}} V_{GS} + \left. \frac{\partial I_D}{\partial V_{DS}} \right|_{V_{GS}, V_{BS} = \text{cte}} V_{DS} + \left. \frac{\partial I_D}{\partial V_{BS}} \right|_{V_{GS}, V_{DS} = \text{cte}} V_{BS} \quad (\text{I-9})$$

Encore notée :

$$i_D = g_m V_{GS} + g_{DS} V_{DS} + g_{mb} V_{BS} \quad (\text{I-10})$$

Avec,

$$g_m = K \frac{W_{\text{eff}}}{L_{\text{eff}}} (V_{GS} - V_{th}) = \sqrt{2K \frac{W_{\text{eff}}}{L_{\text{eff}}}} I_D \quad (\text{I-11})$$

$$g_{DS} = \lambda I_D = \frac{I_D}{V_A} \quad (\text{I-12})$$

Où V_A représente la tension d'Early équivalente.

La comparaison des relations (I-8) et (I-11) montre que pour la même tension $(V_{GS} - V_{th})$, La transconductance g_m en zone de saturation correspond à la conductance $g_{DS} = 1/r_{ON}$ en zone de conduction au voisinage de l'origine de la caractéristique $I_D(V_{DS})$ à $V_{GS} = \text{cte}$. La transconductance de substrat est exprimée en prenant en compte la modulation de la tension de seuil V_{th} par la variation de la tension V_{BS}

$$g_{mb} = \left. \frac{\partial I_D}{\partial V_{BS}} \right|_{V_{GS}, V_{DS} = \text{cte}} = g_m \left. \frac{\partial V_{th}}{\partial V_{BS}} \right|_{V_{GS}, V_{DS} = \text{cte}} \quad (\text{I-13})$$

En prenant pour expression de la tension de seuil V_{th} :

$$V_{th} = V_{FB} + \Phi_P + K_1 \sqrt{\Phi_P - V_{BS}} - K_2 (\Phi_P - V_{BS}) \quad (\text{I-14})$$

V_{FB} représente la tension de bande plate « flat-band »,

Φ_p est le potentiel de surface,

K_1 et K_2 sont respectivement, le 1^{er} et 2^{ème} paramètre du dopage non-uniforme.

Nous pouvons alors réécrire l'équation (I-13) sous la forme simplifiée :

$$g_{mb} = g_{mb} \frac{\partial V_{th}}{\partial V_{BS}} \big|_{V_{GS}, V_{DS} = cte} = g_m \left[\frac{K_1}{2\sqrt{\Phi_p - V_{BS}}} - K_2 \right] = \eta g_m \quad (\text{I-15})$$

d) Modèle petit signal haute fréquence :

Dans la gamme des hautes fréquences, il est nécessaire de prendre en compte les capacités parasites du transistor. Le modèle petit signal en régime de forte inversion est représenté par la figure I.9. Nous pouvons distinguer, les capacités inter-électrodes C_{GD} , C_{GS} , C_{DS} et les capacités liées au substrat C_{GB} , C_{DB} et C_{SB} .

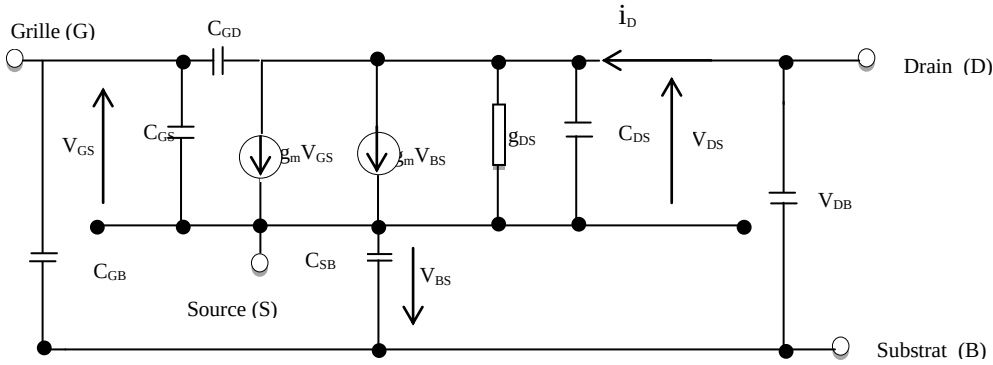


Figure I.9: Modèle petit signal haute fréquence du transistor MOS en régime de forte inversion et en zone de saturation

Capacités inter-électrodes : elles dépendent au 1^{er} ordre de la capacité d'oxyde de grille par unité de surface C_{ox} , de la longueur effective du canal sous la grille L_{eff} , et de la longueur latérale des îlots de diffusion source et drain sous la grille L_{int} .

Dans la zone de conduction,

$$C_{GS} = C_{GD} = \frac{C_{ox} L_{eff} W_{eff}}{2} + C_{ox} L_{eff} W_{eff} = \frac{C_{canal}}{2} + C_{OV} \quad (\text{I-16})$$

Dans la zone de saturation,

$$C_{GD} = C_{ox} L_{int} W_{eff} = C_{OV} \quad (\text{I-17})$$

$$C_{GS} = \frac{2}{3} C_{ox} L_{eff} W_{eff} + C_{ox} L_{int} W_{eff} = \frac{2}{3} C_{canal} + C_{OV} \quad (\text{I-18})$$

- Capacités liées au substrat : au 1^{er} ordre, les capacités C_{DB} et C_{SB} sont exprimées à partir de l'épaisseur de la zone de charge d'espace d'une jonction PN et de la surface latérale

$$C_{DB} = C_{air} L_D W_{eff} \frac{1}{(1 - [V_{BD}/\Phi_P])^{MJ}} + C_{lat} 2(L_D + w_{eff}) \frac{1}{(1 - [V_{BD}/\Phi_P])^{MJsw}} \quad (\text{I-19})$$

$$C_{SB} = C_{aire} L_{SW_{eff}} \frac{1}{(1 - [V_{BD}/\Phi_P])^{MJ}} + C_{lat} 2(L_S + w_{eff}) \frac{1}{(1 - [V_{BD}/\Phi_P])^{MJ_{sw}}} \quad (I-20)$$

Où L_S et L_D représente respectivement les longueurs de diffusion des îlots drain et source ; MJ et $MJSW$, respectivement les coefficients de gradient surfacique et latérale ; C_{aire} et C_{lat} , respectivement les capacités surfaciques et latérales. La capacité C_{GB} est, elle, indépendante des conditions de polarisation :

$$C_{GB} = C_{GB0} L_{eff} \quad (I-21)$$

I.3. Les sources de courant :

Une source de courant peut être réalisée avec des transistors MOS pour délivrer un courant indépendant de la tension à ses bornes. Dans une technologie CMOS nous pouvons réaliser deux types de source de courant, une source de courant avec un transistor de type N lorsque sa source est connectée à V_{SS} (Figure I.10), une autre source de courant avec un transistor de type P lorsque sa source est connectée à V_{DD} (Figure I.11). Notons qu'il faut calculer la tension de la grille nécessaire pour faire fonctionner chaque type de transistor dans sa zone de saturation.

I.3.1. Source de courant avec un transistor NMOS :

Pour mettre ce transistor en saturation il faut que : $V_{OUT} \geq V_{GG} - V_{T0}$, avec V_{T0} est la tension de seuil du transistor lorsque le substrat et la source sont reliés.

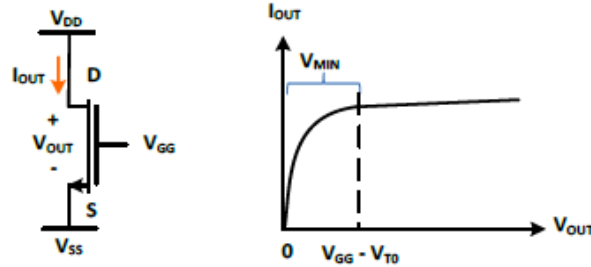


Figure I.10 : Source de courant de type NMOS

I.3.2. Source de courant avec un transistor PMOS :

Pour mettre ce transistor en saturation il faut que : $V_{OUT} \leq V_{GG} + |V_{T0}|$, dans les deux cas la résistance de sortie de la source de courant est $R_{OUT} = 1/G_{ds}$.

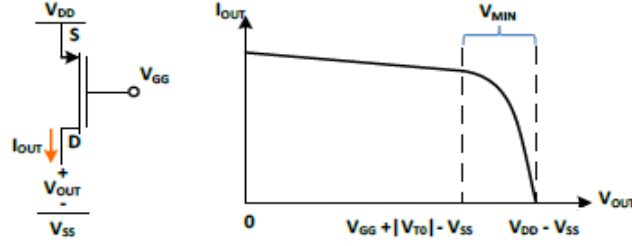


Figure I.11 : Source de courant de type PMOS

I.4. Miroir de courant :

Les miroirs de courant sont des circuits très utilisés dans la conception des circuits analogique CMOS, ils sont utilisés pour multiplier ou diviser le courant. Le miroir de courant utilise le principe qui dit que : si les potentiels grille-source de deux transistors MOS identiques sont égaux, alors les courants qui traversent leurs canaux sont égaux [9]. La figure I-12 montre une implémentation d'un simple miroir de courant fait avec des transistors NMOS, le courant d'entrée $I_{\text{entrée}}$ est produit par une source de courant ou par un autre circuit, tandis que I_{sortie} représente une copie du courant d'entrée qui traverse le transistor M_2 lorsque ce dernier opère en région de saturation car $V_{DS1} = V_{GS1} = V_{GS2}$

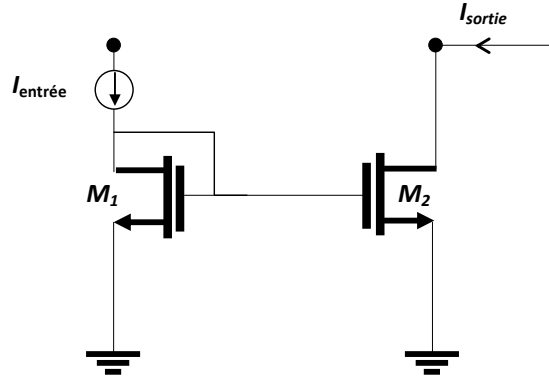


Figure I.12 : miroir de courant à base de NMOS

Supposant que $V_{DS} \geq V_{GS} - V_{T2}$ est plus grand que V_{T2} , cela va nous permettre d'utiliser les équations d'un transistor MOS en saturation. En générale, le rapport d' I_{OUT} sur I_{in} est :

$$\frac{I_{OUT}}{I_{in}} = \left(\frac{L_1 W_2}{W_1 L_2} \right) \left(\frac{V_{GS} - V_{T2}}{V_{GS} - V_{T1}} \right)^2 = \left(\frac{1 + \lambda V_{DS2}}{1 + \lambda V_{DS1}} \right) \left(\frac{\mu_{D2} C_{OX2}}{\mu_{D1} C_{OX1}} \right)^2 \quad (I-22)$$

Normalement, les composants d'un miroir du courant sont implémentés dans le même circuit intégré, par conséquent, tous les paramètres physique tels V_T , μ_0 , C_{ox} etc. sont identiques pour les deux transistors, ce qui nous permet de simplifier l'équation

$$i_{D2} = \frac{I_{SS}}{2} \sqrt{2 K I_{SS} \left(\frac{v_{id}}{2} \right)} \sqrt{1 - \frac{(v_{id}/2)^2}{I_{SS}/2K}} \quad (\text{I-23})$$

Elle devient :

$$\frac{I_{out}}{I_{in}} = \left(\frac{L_1 W_2}{W_1 L_2} \right) \left(\frac{1 + \lambda V_{DS2}}{1 + \lambda V_{DS1}} \right) \quad (\text{I-24})$$

Si $V_{DS1} = V_{DS2}$ (ce n'est pas toujours une bonne supposition), alors le rapport I_{out}/I_{in} devient :

$$\frac{I_{out}}{I_{in}} = \left(\frac{L_1 W_1}{W_1 L_2} \right) \quad (\text{I-25})$$

Par conséquent, le rapport I_{out}/I_{in} est en fonction des largeurs des transistors formant le miroir de courant, ces derniers sont sous le contrôle du concepteur.

I.5. Paire différentielle en transistor MOS :

La paire différentielle est un circuit essentiel de l'amplificateur opérationnel, elle se compose par deux transistors MOS, deux NMOS par exemple, Mn1 et Mn2 identiques, avec un axe de symétrie vertical, polarisées, en régime sature, par une source de courant idéale ($r_0 = \infty$).

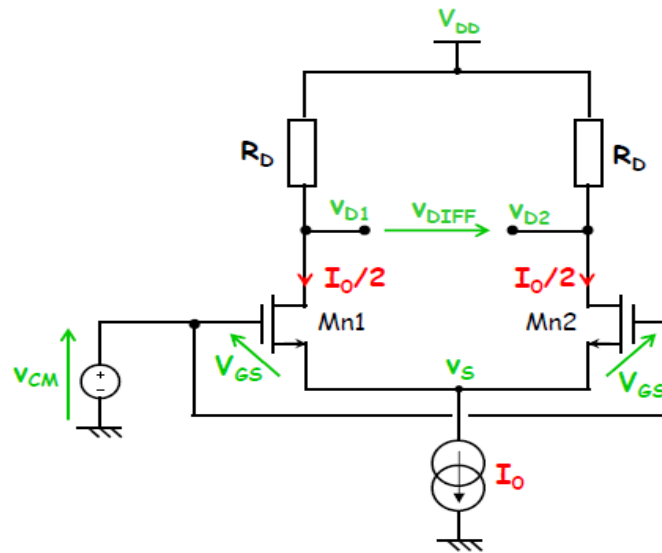


Figure I.13 : paire différentielles

Cette paire différentielle fonctionne avec une tension d'entrée en mode commun.

$$V_{G1} = V_{G2} = V_{CM} \quad (\text{I-26})$$

D'après Mn1 et Mn2 identiques et par considérations de symétrie :

$$I_{D1} = I_{D2} = I_0/2 \quad (\text{I-27})$$

On a $V_S = V_{CM} - V_{GS}$ tel que :

$$\frac{I_0}{2} = \frac{1}{2} K'_n \frac{W}{L} (V_{GS} - V_{th})^2 \quad (\text{I-28})$$

Soit

$$V_{OV} = \sqrt{I_0 / K'_n (W/L)} \quad (\text{I-29})$$

Au niveau des drains :

$$V_{D1} = V_{D2} = V_{DD} - \frac{I_0}{2} R_D \quad (\text{I-30})$$

La tension différentielle de sortie [10]

$$V_{DIFF} = V_{D2} - V_{D1} = 0 \quad (\text{I-31})$$

I.6. Amplificateur opérationnel:

Un amplificateur opérationnel (souvent noté AOP ou ampli-op ou ALI : amplificateur linéaire intégré) est un amplificateur différentiel, c'est à dire un amplificateur électronique qui amplifie la différence de potentiel présente à ses entrées. Initialement, il fut conçu pour effectuer des opérations mathématiques dans les calculateurs analogiques et permettait de modéliser les opérations mathématiques de base comme l'addition, la soustraction, l'intégration, la dérivation et d'autres. Aujourd'hui, l'AOP est utilisé dans bien d'autres applications comme la commande de moteurs, la régulation de tension, les filtres actifs, les sources de courants ou encore les oscillateurs [11].

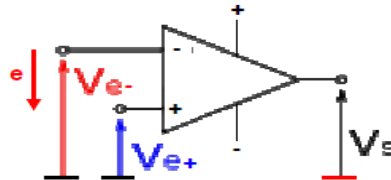


Figure I.14 : symbole américain

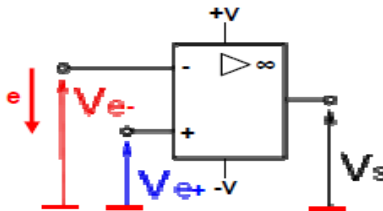


Figure I.15 : symbole européen

Un AOP dispose typiquement de cinq broches : deux entrées, deux broches d'alimentation et une sortie. L'entrée notée $e+$ est dite non-inverseuse tandis que l'entrée $e-$ est dite inverseuse en raison de leurs rôles respectifs dans la circuiterie interne. La différence de potentiel entre ces deux entrées est appelée tension différentielle d'entrée. La broche

d'alimentation positive est repérée par $+V_{cc}$, la négative est repérée quand à elle par $-V_{cc}$. Généralement, la tension d'alimentations est fixée à $+15\text{ V}$ pour V_{cc} et -15 V pour $-V_{cc}$. Suivant les applications, l'AOP peut aussi être doté de deux broches de compensation d'offset ainsi que d'une broche pour le réglage de la compensation fréquentielle.

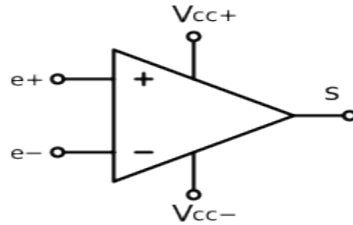


Figure I.16 : brochage de l'AOP

I.6.1. Principe d'un amplificateur différentiel:

A la base, l'AOP est un amplificateur différentiel, donc muni de deux entrées, l'une dite non inverseuse (V_+) et l'autre inverseuse (V_-), et d'une sortie (s) :

La fonction de transfert complète en continu (en pratique, A_{vd} et A_{vmc} dépendent de la fréquence) de cet amplificateur est donnée par la formule :

$$S = A_{vd}(V_+ - V_-) + A_{vmc}\left(\frac{V_+ + V_-}{2}\right) \quad (\text{I-31})$$

A_{vd} : est le gain en tension différentiel de l'amplificateur, et A_{vmc} le gain en tension de mode commun. Dans le cas d'un amplificateur parfait, on fait l'hypothèse que ces gains ne dépendent pas de la fréquence.

Les gains, ainsi que les impédances d'entrée et de sortie d'un AOP doivent répondre à des critères précis. On peut donner un schéma équivalent de l'AOP [12]:

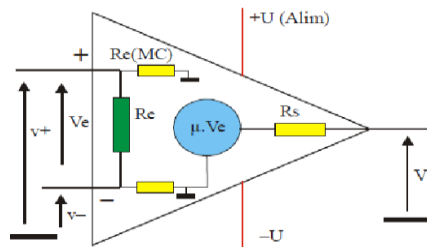


Figure I.17 : schéma équivalent d'un AOP réel [13]

I.6.2. Amplificateur opérationnel parfait :

La notion d'amplificateur opérationnel parfait ou idéal permet de raisonner sur le fonctionnement théorique de l'amplificateur opérationnel en s'affranchissant des phénomènes

parasites et des limitations inhérents à la réalité technologique des composants. Les progrès réalisés depuis les premiers AOP tendent, par l'amélioration constante des performances, à se rapprocher du modèle de l'AOP parfait.

L'amplificateur opérationnel parfait possède une impédance d'entrée, un gain en mode différentiel, une vitesse de balayage et une bande passante infinies alors que son gain de mode commun et sa résistance de sortie sont nuls. De plus, il n'a pas de tension d'offset ni de courant de polarisation. En réalité le gain différentiel d'un amplificateur opérationnel varie fortement en fonction de la fréquence, il est courant de le considérer comme infini afin de simplifier les calculs. Il est aussi possible de considérer le gain d'un amplificateur opérationnel comme étant celui d'un intégrateur pur afin de se rapprocher du comportement réel de l'amplificateur.

Ces caractéristiques traduisent le fait que l'amplificateur opérationnel parfait ne perturbe pas le signal qu'il va amplifier et que sa tension de sortie dépend uniquement de la différence de tension entre ses deux entrées [14].

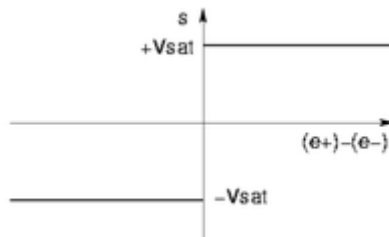


Figure I.18 : Caractéristique entrée sortie d'un amplificateur opérationnel parfait

I.7. Amplificateur Opérationnel à Transconductance (OTA) :

L'amplificateur opérationnel à transconductance (OTA) est fondamentalement un AMP-OP sans buffer de sortie, qui utilisé seulement avec les charges capacitifs, un OTA peut être défini comme amplificateur où tous les nœuds sont basse impédance excepté les nœuds d'entrée, sortie.

I.7.1. Caractéristiques d'OTA :

Pratiquement tous les amplificateurs opérationnels ont la même structure interne : ce sont des circuits monolithiques dont une « puce » de silicium constitue le substrat commun. Ils comportent en entrée un amplificateur différentiel suivi d'un TAGE adaptateur d'impédance : l'amplificateur de sortie de type push-pull. Fonctionne en classe B. toutes les liaisons sont directes. Dans le cas idéal l'AOP a un gain différentiel en tension infini, une impédance

d'entrée l'infinie, et une impédance de sortie nulle, mais en réalité, un AOP est caractérisé par :

- **Le gain de tension en boucle ouverte « A » :**

Les AOPs réels ont des valeurs finies et typiques pour de basses fréquences est $A=10^3$ à 10^5 , correspondant à 60 au 100 dB.

- **La tension d'offset « V_{off} » :**

La tension d'offset $V_{off} = 0$ pour les AOPs idéals, si $V_+ = V_-$, dans les dispositifs réels, la tension d'offset $V_{off} \neq 0$, se produira à la sortie pour les entrées sont court-circuitées, puisque V_{off} est directement proportionnel au gain, pour MOS AOP, V_{off} est en général entre ± 2 à 10 mV. La figure II.6.Représente la tension d'offset.

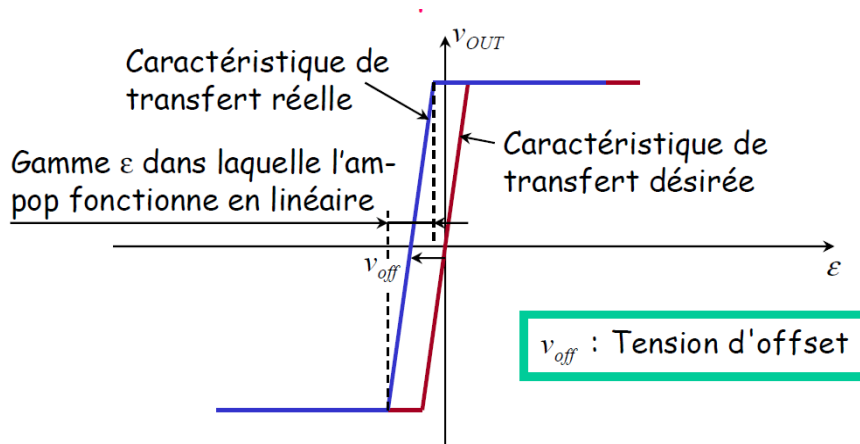


Figure I.19 : la tension d'offset

- **Le taux de réjection du mode commun « CMRR » :**

CMRR est défini par le rapport du gain en mode différentiel sur le gain en mode commun. AD/AC, les valeurs typiques de CMRR pour des amplificateurs CMOS sont dans l'intervalle 80 à 140 dB, le CMRR mesure combien l'AOP peut diminuer le bruit, et par conséquent un grand CMRR est une condition important dans la conception des AOPs.

- **Vitesse de balayage (slew-rate) « SR » :**

Lorsque l'amplificateur opérationnel est attaqué par de larges signaux, la différence de ces signaux ϵ peut devenir très élevée. L'amplificateur ne fonctionne alors plus dans sa zone linéaire. La vitesse maximale à laquelle sa sortie V_{out} peut varier est alors limitée par une vitesse maximale appelée vitesse de balayage. La figure I.20 représente graphiquement la vitesse de balayage.

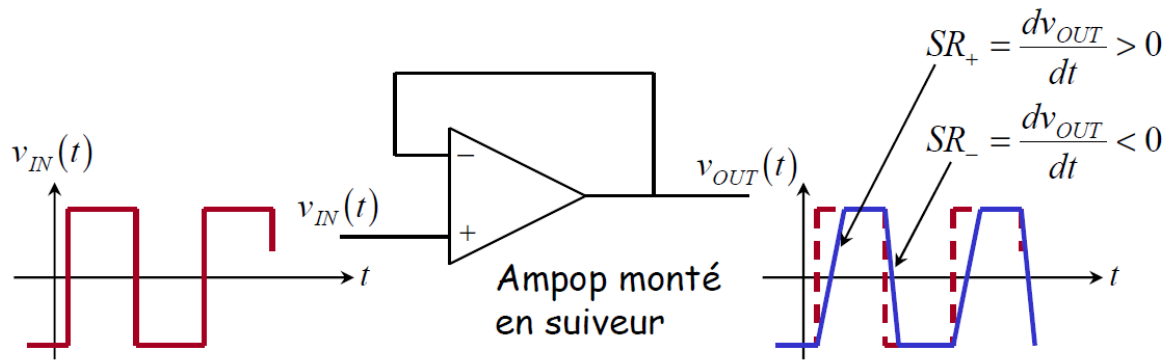


Figure I.20 : la vitesse de balayage

- **L'impédance de sortie « Z_{out} » :**

Pour CMOS OP-AMP réel, l'impédance de sortie non nulle, elle est habituellement dans la gamme de 0,1 à 5K pour OP-AMP avec un buffer.

- **Le bruit :**

Les transistors **MOS** produit du bruit, qui peut être décrit en termes de source courante équivalente parallèlement au canal du dispositif, La source d'entrée de bruit équivalente est habituellement d'ordre du 10 à 50 μV , contrairement pour les AOPs bipolaires au 3 à 5 μV .

- **Le taux de réjection de l'alimentation «PSRR » :**

On peut le définir comme le rapport de gain différentiel sur le gain de bruit d'alimentation qui provoqué le signal de sortie, **PSRR** habituellement dans la gamme de 60 à 150 dB.

- **La dissipation d'énergie :**

Les valeurs typiques pour les **CMOS AOP** sont de 0,25 à 10mV.

I.7.2. Différentes configurations d'OTA :

Les cinq architectures de base d'amplificateur opérationnelle à transconductance OTA, les plus utilisées.

- L'OTA à un seul étage
- L'OTA à deux étages
- L'OTA Télescopique cascode
- L'OTA Cascode Régulé
- L'OTA foldedcascode

I.7.2.1. L'OTA à deux étages :

En ajoutant un autre étage à l'OTA simple étage pour obtenir un amplificateur à deux étages comme montre en la figure (I.21). Cette modification augmente le gain et l'impédance de sortie et le système devient plus complexe. La complexité réduite la vitesse de l'OTA, le circuit de compensation (R_C , C_c) est également incluse pour assurer la stabilité de système.

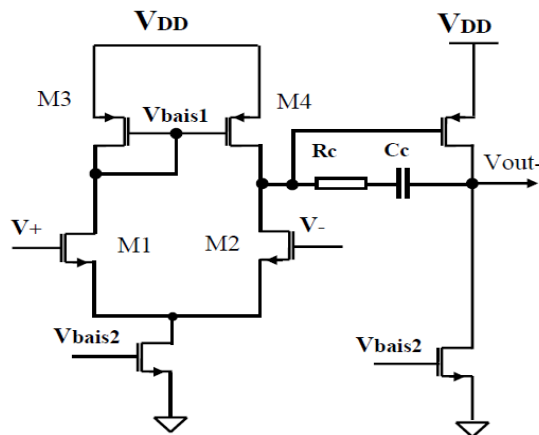


Figure I.21: OTA à deux étages [15]

I.8. Conclusion :

Dans ce chapitre, une vue d'ensemble d'architecture du transistor MOSFET a été présentée, les architectures principales entrent dans la conception des amplificateurs opérationnels tel que le miroir de courant et la paire différentielle.

Chapitre II : Les algorithmes génétiques

II.1. Introduction

Les organismes que nous connaissons aujourd'hui sont rendus utiles pour la résolution des problèmes d'optimisation dans des divers domaines de la science et en particulier dans celui de l'ingénierie grâce à l'orientation de la recherche vers des techniques d'optimisation basées sur les analogies avec des processus naturels, biologiques ou humains. Parmi ces techniques, on trouve les algorithmes génétiques (AG) qui sont des procédures stochastiques (pseudo aléatoires) inspirées des lois de l'évolution des espèces et de la génétique naturelle. Les Algorithmes Génétiques sont des méthodes d'exploration de l'ensemble des solutions d'un problème utilisant les mêmes mécanismes que ceux intervenant dans la sélection naturelle. Ils sont utilisés principalement dans les domaines de l'optimisation et de l'apprentissage. Dans ce chapitre nous exposons d'abord les algorithmes évolutionnaires, présentons ensuite les Algorithmes génétiques AGs, leurs principes de fonctionnement et leurs caractéristiques principales, puis nous aborderons les opérateurs génétiques : sélection, croisement, mutation, remplacement, enfin nous décrirons les Avantages et inconvénients des algorithmes génétiques.

II.2. Les algorithmes évolutionnaires (AE)

Les algorithmes évolutionnaires sont des méthodes stochastiques d'optimisation globale basées sur la théorie Darwinienne de l'évolution des espèces biologiques, ils utilisent à la fois les principes de la survie des individus les mieux adaptés et ceux de la propagation du patrimoine génétique qui s'inspirent des mécanismes de sélection naturelle et des phénomènes génétiques tels que des mécanismes d'évolution de la nature : croisements, mutations, sélections, etc. Pour utiliser ces algorithmes, il faut disposer d'une population d'individus. Chaque individu dispose d'une chaîne chromosomique qui dirige son comportement. Cette chaîne s'apparente à l'ADN dans les organismes vivants. Comme dans les systèmes naturels, des croisements sont réalisés périodiquement et permettent à l'algorithme de créer la génération suivante d'individus, ainsi des mutations sont aussi effectuées. Ces mutations

évitent à l'ensemble de la population de converger vers une solution qui ne serait pas optimale. Il existe plusieurs types de ces algorithmes mais l'idée essentielle est la même : simuler l'évolution d'une population dans un espace de recherche à l'aide de trois opérateurs : sélection, croisement, mutation [16, 17].

Malgré la simplicité du processus évolutif, la fabrication d'un algorithme évolutif efficace est une tâche difficile, car les processus évolutifs sont très sensibles aux choix algorithmiques et paramétriques. L'expérience a prouvé que les réussites les plus importantes sont fondées sur une très bonne connaissance du problème à traiter, et une compréhension délicate des mécanismes évolutifs.

On distingue quatre grandes familles d'algorithmes évolutifs comme indiqué par la figure II.1 [18,19].

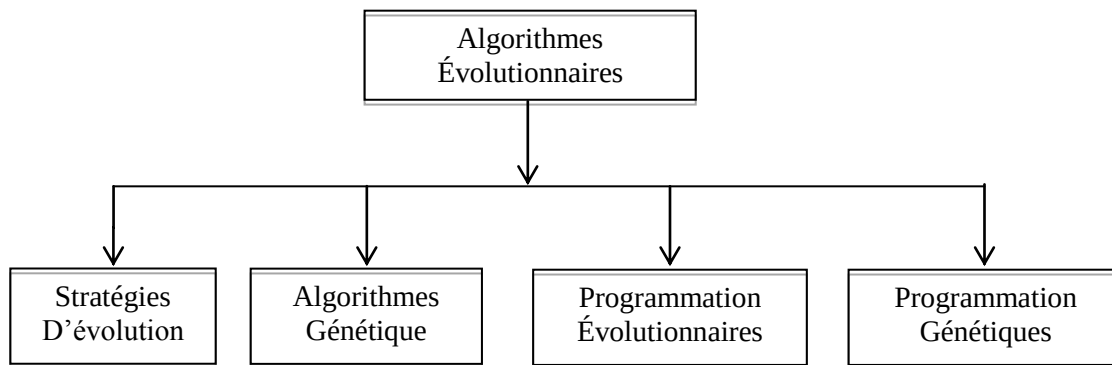


Figure II.1: Différentes classes d'algorithmes évolutifs

II.3. Les algorithmes génétiques

L'AG est une technique d'optimisation basée dans les concepts de la sélection naturelle et génétique. L'algorithme commence avec un ensemble de solutions possibles du problème (individus), constituant une population. L'évolution est guidée par l'utilisation d'opérateurs génétiques. L'ensemble des variables sont codées sous forme de chaînes de caractères ABC..., ou binaires composées de "0" et "1", ou autre mode de codage, appelés "*chromosome*". Par définition, un chromosome est un dispositif organique qui sert à coder la structure de l'être vivant, les caractères étant les "gènes". Les individus sont formés par des variables, qui sont les paramètres à ajuster dans un dispositif (par exemple, la longueur et la largeur du système à optimiser). Cette population est conçue aléatoirement à l'intérieur de limites prédéfinies (par exemple, les limites dictées par les aspects constructifs). Certaines solutions de la première population sont utilisées pour former, à partir d'opérateurs génétiques (croisement, mutation, etc.), une nouvelle population. Ceci est motivé par l'espoir que la nouvelle population soit meilleure que la précédente. Les solutions qui serviront à former de nouvelles solutions sont

sélectionnées aléatoirement d'après leurs mérites (représentés par une «fonction objectif» spécifique au problème posé, qui devra être minimisée ou maximisée) : meilleurs individus, qui ont plus de chances de se reproduire (c'est-à-dire, leur probabilité sera grande pour être sélectionnée et subir aux opérateurs génétiques). Ceci est répété jusqu'à ce qu'un critère de convergence soit satisfait (par exemple, le nombre de générations ou le mérite de la meilleure solution).

II.3.1. Fonctionnement général des algorithmes génétiques

Une description de l'AG de base peut se faire selon les étapes suivantes :

- Initialiser aléatoirement une population de chromosomes (individus).
- Évaluer chaque chromosome dans la population. A chaque chromosome est associée une fonction coût déterminant son rang dans la population. Cette fonction est l'arbitre final décidant la vie ou la mort de chaque individu.
- Créer de nouveaux chromosomes, en appliquant les opérateurs de la sélection et de la reproduction.
- Évaluer les nouveaux chromosomes (les descendants) et les insérer dans la population pour construire une nouvelle génération.

En se basant sur le principe de fonctionnement des AGs, on peut identifier quelques différences avec les méthodes classiques d'optimisation. Ces différences sont :

1. Les AGs possèdent une représentation codée et cherchent une représentation dans l'espace des solutions et non pas directement dans le domaine original.
2. Les AGs utilisent une population de solutions à la place d'une seule solution (un espace de recherche plus vaste, limite par la taille de la population).
3. Les AGs utilisent des règles de transition probabilistes et non déterministes (pseudo aléatoire) comme outils pour guider l'exploration à travers les régions de l'espace de recherche (une procédure pseudo-aléatoire n'implique pas nécessairement une exploration sans direction).
4. Les AGs n'utilisent que les valeurs de la fonction à optimiser, pas sa dérivée ou une autre connaissance auxiliaire (ils utilisent une information globale à partir de l'espace entier) [20].

II.3.2. Optimisation par les algorithmes génétiques :

Les (AG), utilisent un vocabulaire similaire à celui de la génétique, cependant, les processus auxquels ils font référence sont beaucoup plus complexes. En imitant ce principe, les algorithmes génétiques appliqués à un problème d'optimisation font évoluer un ensemble de solutions utilisant un mécanisme de sélection naturelle. Ainsi, les AG ne se basent pas sur un **individu**, mais sur une **population** d'individus qui vont évoluer de génération en génération pour obtenir un résultat se rapprochant de la solution optimale.

Pour un problème d'optimisation donné, un individu représente un point de l'espace d'état ou une solution possible du problème donné il est composé d'un ou plusieurs chromosomes. Les chromosomes sont eux-mêmes constitués de gènes qui contiennent les caractères héréditaires de l'individu. A chaque individu est attribué un "**fitness**" qui mesure la qualité de la solution qu'il représente, souvent c'est la valeur de la fonction à optimiser. Ensuite, une nouvelle population des solutions possibles est produite en sélectionnant les parents parmi les meilleurs de la "**génération**" actuelle pour effectuer des **croisements** et des **mutations**.

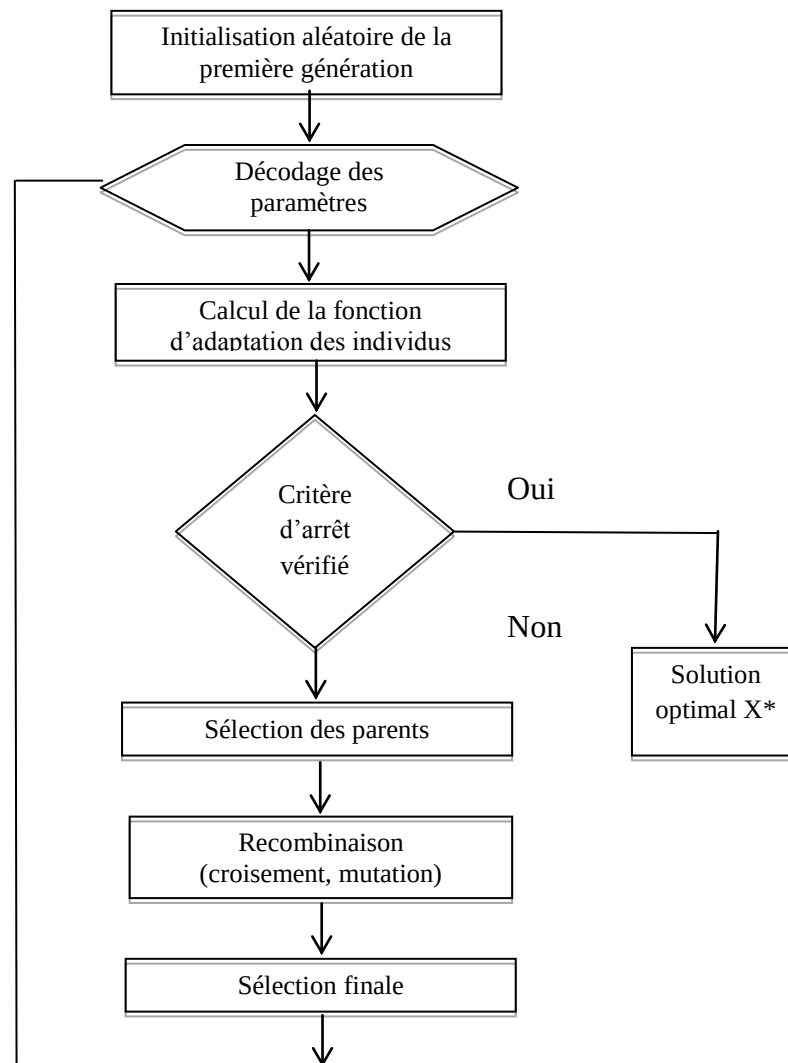


Figure II.2: Organigramme général d'un algorithme génétique

La sélection a pour but de favoriser les meilleurs éléments de la population, tandis que le croisement et la mutation assurent une exploration efficace de l'espace d'état. Les meilleurs individus d'une génération vont créer une nouvelle génération plus adaptée au problème dont la nouvelle population contient une plus grande proportion de caractéristiques des meilleurs individus de la génération précédente.

L'organigramme fonctionnel présenté dans la figure 1-3, illustre la structure générale de l'algorithme génétique. Nous détaillerons dans la suite les diverses phases qui le constituent et les mécanismes associés à chacune d'entre elles.

II.3.3. Mécanismes de fonctionnement d'un (AG)

Les différentes étapes de fonctionnement des (AG) se résument à qui suit :

- 1. Initialisation :** Une population initiale de N individus est générée aléatoirement.
- 2.Évaluation :** Chaque individus est décodé, puis évalué.
- 3. Sélection :** Création d'une nouvelle population par l'utilisation d'une méthode de sélection appropriée.
- 4. Recombinaison :** croisement et mutation au sein de la nouvelle population.
- 5. Retour** à la phase d'évaluation jusqu'à la vérification du critère d'arrêt de l'algorithme.

La mise en œuvre des algorithmes génétiques nécessite donc plusieurs étapes. L'idée fondamentale est que: la population choisie contient potentiellement la solution, ou plutôt la meilleure solution, à un problème donné. Cette solution n'est pas exprimée car la combinaison génétique sur laquelle elle repose est dispersée chez plusieurs individus. Ce n'est que par l'association de ces combinaisons génétiques au cours de la reproduction que la solution pourra s'exprimer. Lors de la reproduction et de la recombinaison génétique associée, un individu hérite, par hasard, d'un des gènes de chacun de ses parents. L'originalité des mécanismes repose en particulier sur le fait qu'il n'a pas considéré les seules mutations comme source d'évolution mais aussi et surtout les phénomènes de croisement. C'est en croisant les solutions potentielles existant que l'on peut se rapprocher de l'optimum.

II.3.3.1.Initialisation de la population

Comme dans tout problème d'optimisation, une connaissance de ``bons" points de départ conditionne la rapidité de la convergence vers l'optimum. Si la position de l'optimum dans l'espace d'état est totalement inconnue, il est naturel de générer aléatoirement des individus en faisant des tirages uniformes dans chacun des domaines associés aux composantes de l'espace d'état, en veillant à ce que les individus produits respectent les contraintes.

La génération de la population initiale peut se faire en prenant des individus régulièrement répartis dans l'espace. Néanmoins, une initialisation aléatoire est plus simple à réaliser. Les valeurs $N(x_i)$ des gènes est alors tirées au hasard selon une distribution uniforme.

Le choix de la population initiale peut conditionner fortement la rapidité de l'algorithme. Il doit être capable de produire une population d'individus non homogène qui servira de base

pour les générations futures, et capable de rendre plus ou moins rapide la convergence vers l'optimum global.

Dans le cas où l'on ne connaît rien du problème à résoudre, il est essentiel que la population initiale soit assez bien répartie sur tout le domaine de recherche. Une population trop petite évoluera probablement vers un optimum local intéressant alors qu'une population trop grande sera inutile car le temps de convergence sera excessif. La taille de la population doit être choisie de façon à réaliser un bon compromis entre temps de calcul et qualité du résultat [21].

- **Codage et décodage des variables**

Le codage est une partie très importante des algorithmes génétiques. Il permet de représenter l'individu sous la forme d'un chromosome. Ce chromosome est constitué de gènes qui prennent des valeurs dans un alphabet binaire ou non. Certains auteurs n'hésitent pas à faire le parallèle avec la biologie et parlent de **génotype** en ce qui concerne la représentation binaire d'un individu, et de **phénotype** pour ce qui est de sa valeur réelle correspondante dans l'espace de recherche.

Le choix du codage est délicat. Il doit permettre de coder toutes les solutions et permettre la mise en œuvre des opérateurs de reproduction. C'est ainsi que le bon déroulement des algorithmes génétiques sera assuré. Plusieurs type de codages sont utilisés, on citera à titre d'exemple : codage réel, codage binaire, Gray.

a) Codage binaire : Goldberg et Holland ont démontré qu'il est idéal de représenter le chromosome en une chaîne binaire. C'est pourquoi les AG utilisent généralement cette représentation. Les individus sont représentés sous forme de chaînes de bits contenant toute l'information nécessaire à la description d'un point dans l'espace. Ce type de codage a pour intérêt de permettre la création d'opérateurs de croisement et de mutation simples.

A chaque variable d'optimisation x_i correspond un **gène**. Un **chromosome** sera donc un ensemble de gènes. Chaque point est représenté par un **individu** doté d'un **génotype** constitué d'un ou de plusieurs chromosomes. La **population** est un ensemble de N individus qui vont évoluer d'une génération à une autre. Du point de vue informatique, un gène est un entier long de K bits. Un chromosome est un tableau de gènes. Un individu est un tableau de chromosomes. La population est un tableau d'individus.

Dans le codage binaire le gène est codé par un caractère binaire, 0 ou 1. C'est le plus courant et celui qui a été employé lors de la première application des algorithmes génétiques.

Un des avantages du codage binaire est que l'on peut ainsi facilement coder toutes sortes d'objets : des réels, des entiers, des valeurs booléennes, des chaînes de caractères... Cela nécessite simplement l'usage de fonctions de codage et décodage pour passer d'une représentation à l'autre.

Pour chaque paramètre x_i situé dans l'intervalle $[x_{i \min}, x_{i \max}]$, on associe une chaîne binaire $b_0 b_1 \dots b_{l_{xi}}$ définie sur l_{xi} bits. A cette chaîne correspond une valeur entière naturelle

$$N(x_i) = \sum_{i=1}^{l_{xi}-1} 2^{l_{xi}-i-1} \cdot b_i \quad (\text{II-1})$$

Le paramètre réel x_i de l'espace de recherche relatif à $N(x_i)$ est obtenu par interpolation linéaire.

$$x_i = x_{imin} + \frac{x_{imax} - x_{imin}}{2^{l_{xi}} - 1} N(x_i) \quad (\text{II-2})$$

La longueur totale du chromosome est donnée par.

$$L = \sum_{i=1}^m l_{xi} \quad (\text{II-3})$$

Où m est le nombre des paramètres.

b) Codage réel : Davis, Janikow et Michalewicz ont effectué une comparaison entre la représentation binaire et la représentation réelle. Ces auteurs ont trouvé que la représentation réelle donne de meilleurs résultats d'après leur problème à résoudre. Dans ce codage le génome est un vecteur réel et l'espace de recherche est un sous-ensemble de $\mathbf{IR}$. Cette représentation est aujourd'hui très utilisée dans les problèmes d'optimisation car dans de nombreuses applications du monde réel, ces problèmes sont naturellement formulés sous forme paramétrique i.e. Les premiers travaux qui ont utilisé ce type de représentation ont été ceux de Rechenberg et de Schwefel quand ils ont introduit les stratégies d'évolution.

Le codage réel peut-être utile notamment dans le cas où l'on recherche le maximum d'une fonction réelle.

c) Codage de Gray : Dans le cas d'un codage binaire on utilise souvent la "distance de Hamming" entre les codages binaires de deux nombres réels proches, comme mesure de la dissimilarité entre deux éléments de population, cette mesure compte les différences de bits de même rang de ces deux séquences. Et c'est là que le codage binaire commence à montrer ses limites. En effet, deux éléments voisins en termes de distance de Hamming ne codent pas nécessairement deux éléments proches dans l'espace de recherche. Cet inconvénient peut être évité en utilisant un "codage de Gray" : le codage de Gray est un codage qui a comme propriété qu'entre un élément n et un élément $n+1$, donc voisin dans l'espace de recherche, un seul bit diffère.

Exemples

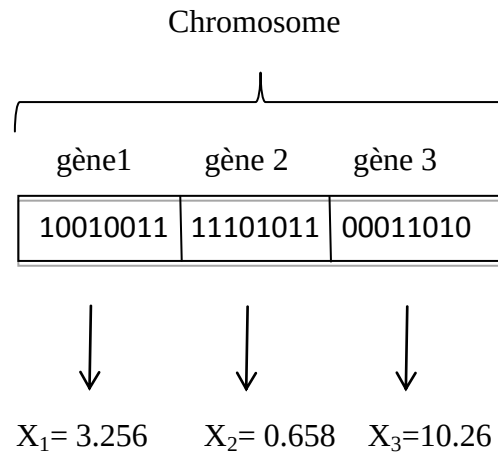


Figure II.3:exemple de codage de Gray

II.4. La fonction d'adaptation

Pour calculer le coût d'un point de l'espace de recherche, on utilise une fonction d'évaluation ou d'adaptation (**F**). L'évaluation d'un individu ne dépend pas de celle des autres individus, le résultat fourni par la fonction d'évaluation va permettre de sélectionner ou de refuser un individu pour ne garder que les individus ayant le meilleur coût en fonction de la population courante : c'est le rôle de la fonction (**F**). Cette procédure permet de s'assurer que les individus performants seront conservés, alors que les individus peu adaptés seront progressivement éliminés.

La fonction d'adaptation, associe une valeur pour chaque individu. Cette valeur a pour but d'évaluer le degré d'adaptation d'un individu à son environnement. Les individus peuvent être aussi comparés entre eux. Cette fonction, propre au problème, est souvent simple à formuler lorsqu'il y a peu de paramètres. Au contraire, lorsqu'il y a beaucoup de paramètres ou lorsqu'ils sont corrélés, elle est plus difficile à définir. Dans ce cas, la fonction devient une somme pondérée de plusieurs fonctions.

La fonction d'adaptation doit exprimer le plus fidèlement possible, la problématique posée sous forme mathématique. Sa définition peut être simplement analytique, ou elle peut éventuellement faire appel au jugement de l'utilisateur. En raison de l'analogie avec la théorie de l'évolution (survie des individus les mieux adaptés à leur environnement), les algorithmes génétiques sont naturellement formulés en terme de maximisation. Ils servent donc à déterminer le maximum d'une fonction **F** Réelle à une ou plusieurs variables. Le problème d'optimisation sur l'espace de recherche **E** est formulé comme **MaxF(x)** avec $\mathbf{x} \in \mathbf{E}$.

Si le problème à résoudre est un problème de minimisation d'une fonction **J**, alors **MinJ(x)** avec $x \in E$.

Ceci équivaut au problème de maximisation de **F(x)**, que l'on définit par $F(x) = \frac{1}{1+J(x)}$.

Le choix de **F** n'est pas unique, mais cette transformation est la plus utilisée dans la littérature.

II.4.1. La sélection des parents :

La sélection des parents à pour but de deviner les individus de la population courante qui seront autorisés à se reproduire (les "**parents**"). La sélection est fondée sur la qualité des individus, estimée à l'aide de fonction d'adaptation. Cette opération est peut-être la plus importante puisqu'elle permet aux individus d'une population de survivre, de se reproduire ou de mourir. En règle générale, la probabilité de survie d'un individu sera directement reliée à son efficacité relative au sein de la population. Il existe plusieurs méthodes pour la reproduction. , on citera à titre d'exemple :

- La sélection par roulette ou proportionnelle
- La sélection par tournoi.
- La sélection à reste stochastique.
- La sélection stochastique à reste stochastique.
- La sélection par le rang.
- La sélection uniforme

Parmi ces différents types de sélection la méthode la plus connue et la plus utilisée reste la roulette biaisée, proposée par Goldberg (1989).

a) La sélection par roulette : La phase de sélection spécifie les individus de la population qui doivent survivre. La méthode de base, appelée roue de loterie attribue à chaque individu une probabilité de survie proportionnelle à son adaptation dans la population. Lors de la phase de sélection, les individus sont sélectionnés aléatoirement en respectant les probabilités **pi** associées pour former la population de la nouvelle génération.

Cette méthode consiste à dupliquer chaque individu de la population proportionnellement à son milieu. Ainsi, les individus ayant la plus grande valeur de fitness auront plus de chance d'être choisis. Dans une population de N individus, la fonction de sélection est la suivante

$$P_s(x_i) = \frac{F(x_i)}{\sum_{j=1}^N F(x_j)} \quad (\text{II-4})$$

En utilisant cette probabilité de reproduction, on peut créer une roue de loterie biaisée. Chaque individu de la population occupe une section de la roue proportionnellement à son

adaptation et qui indique aléatoirement quel individu peut se reproduire. Cette méthode n'assure pas la sélection des meilleurs individus et peut être une cause de la convergence prématurée

b) La Sélection par tournoi : C'est la méthode la plus facile à mettre en œuvre+-. Cette technique utilise la méthode de la roulette biaisée pour sélectionner deux individus. On récupère celui dont la valeur de la fonction d'adaptation est la plus grande. Cette méthode choisit toujours une valeur de la fonction d'adaptation plus élevée par rapport à la technique de la roulette biaisée.

c) La sélection uniforme : C'est une technique très simple qui consiste à sélectionner un individu aléatoirement de la population P . La probabilité P_i pour qu'un individu soit sélectionné est définie par :

$$P_i = \frac{1}{\text{taille pop}} \quad (\text{II-5})$$

d) La sélection par le rang : Cette méthode est très semblable au tirage à la roulette, sauf que les cases de la roulette ne sont plus proportionnelles à la fitness des individus, mais à leur rang dans la population. Le meilleur individu a le rang le plus élevé, le dernier a un rang de 1.

e) La sélection stochastique : Contrairement aux méthodes déterministes, les méthodes stochastiques associent aux individus une probabilité de sélection, généralement fonction croissante de leur fonction d'adaptation.

II.5. La recombinaison génétique :

Pour créer un nouvel individu à partir des meilleures solutions précédemment sélectionnées, il est nécessaire de procéder à la combinaison des gènes des parents pris de manière aléatoire et d'après la théorie de l'évolution, pour que la génération suivante soit plus adaptée au problème et plus performante on doit combiner les meilleurs individus de la population actuelle. Une étape d'identification et de sélection de ces meilleurs individus est donc nécessaire pour que chaque individu ait une chance proportionnelle à son adaptation de devenir parent.

On distingue deux opérateurs principaux : Le croisement et La mutation qui permette d'explorer l'ensemble des solutions possibles. Ces opérations sont appliquées aléatoirement, à l'aide de deux paramètres, la probabilité de croisement et la probabilité de mutation. Ces probabilités sont des paramètres très importants, qui influent de façon considérable sur la convergence.

II.5.1. Le Croisement :

Le phénomène de croisement est une propriété naturelle de l'ADN. C'est par analogie qu'ont été conçus les opérateurs de croisement dans les (AG). Le croisement combine les gènes des deux individus parents pour donner deux nouveaux chromosomes d'individus enfants (descendants) possédant des caractéristiques issues des deux parents. La zone de croisement est généralement choisie aléatoirement dans les chromosomes. Les méthodes de croisement sont liées au codage mais leur principe est identique. Il a pour but d'enrichir la diversité de la population en manipulant la structure des chromosomes, il favorise l'exploration de l'espace de recherche et permet d'explorer l'ensemble des solutions possibles. Classiquement, les croisements sont envisagés avec deux parents et génèrent deux enfants. Dans un groupe de parents arbitrairement choisis dans la population chaque paire dans la population formée va subir le croisement avec une probabilité **Pcross**.

De nombreux types de croisement existent dans la littérature. Ils préservent plus ou moins l'identité génétique des parents et permettent un déplacement dans tout l'espace des solutions le type de croisement le plus simple est le croisement à un site.

a) Croisement à un site : Il consiste à échanger les gènes de chacun des parents de longueur l en vérifiant la probabilité P_c . Le site de croisement S doit être choisi entre 1 et $(l - 1)$. Le changement va se faire entre le site sélectionné et la position finale l des deux chaînes comme le montre la figure II-4.

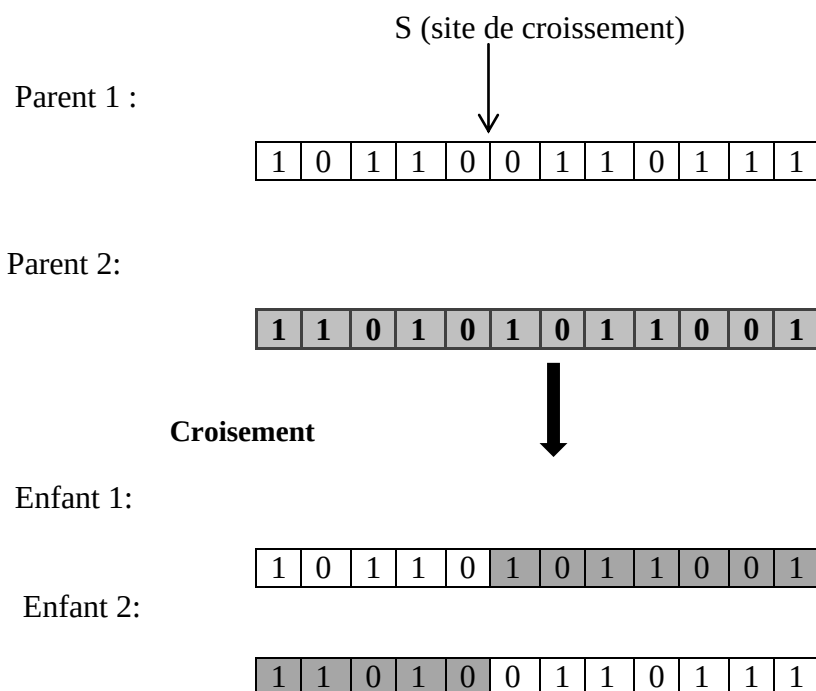


Figure II.4 : croisement à un site

b) Croisement à k sites : On choisit au hasard k points de croisements successifs. Cet opérateur généralement considéré comme plus efficace que le précédent. Le changement va se faire entre deux sites successifs des deux chaînes comme le montre la figure II.5.

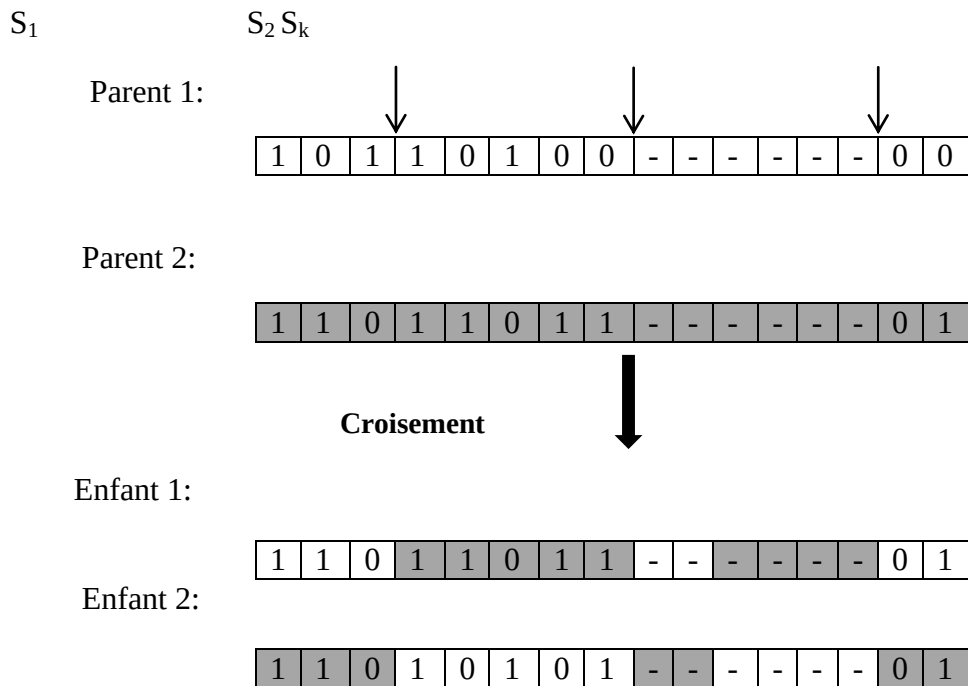


Figure II.5 : Croisement à k sites

II.5.2. La mutation :

La mutation prend une place de plus en plus importante dans les algorithmes génétiques, alors qu'il y a encore quelques années son rôle était encore considéré comme accessoire. Comme les individus les mieux adaptés sont les plus susceptibles d'être choisis lors de la sélection, la perte de certains gènes est inévitable avec le temps. La mutation est l'opérateur qui permet d'éviter la dégénérescence de la population. Cette dégénérescence peut se traduire par une convergence des individus vers un optimum local, d'où l'importance de la mutation. Ce phénomène génétique d'apparition de "mutants" est rare mais permet d'expliquer les changements dans la morphologie des espèces, toujours dans le sens d'une meilleure adaptation au milieu naturel.

Classiquement, la mutation modifie aléatoirement, un petit nombre de gènes, avec un faible taux de probabilité, ceci revient à modifier aléatoirement la valeur d'un paramètre du dispositif. Les individus de la population issus du croisement vont ensuite subir un processus de mutation avec une probabilité **P_{mut}** qui est exécuté bit à bit. Comme pour le croisement, la mutation dépend du problème posé, la principale différence se situe dans le taux de mutation qui est généralement faible et se situe entre 0.5% et 1% de la population totale. Ce taux faible

permet d'éviter une dispersion aléatoire de la population et n'entraîne que quelques modifications sur un nombre limité d'individus.

La mutation a pour rôle de maintenir une certaine diversité dans la population et protège les individus contre une perte des informations essentielle contenues dans leurs gènes. Elles permettent d'assurer une recherche aussi bien globale que locale et garantissent la convergence vers l'optimum.

Comme pour les croisements, de nombreuses méthodes de mutation ont été développées dans la littérature mais l'une des plus efficaces est celle qui consiste à muter chaque paramètre de la fonction à optimiser avec une probabilité dépendant des informations contenues dans les gènes des individus. Dans le cas du codage binaire, chaque bit est remplacé selon une probabilité **Pmut** par son inverse. C'est ce qu'illustre la figure II-6.

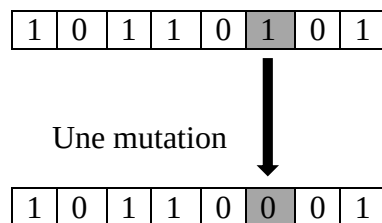


Figure II.6 : mutation dans un chromosome

II.5.3 La sélection finale :

Cette étape consiste à garder seulement les solutions les plus intéressantes, tout en maintenant une population assez grande et assez diversifiée. C'est pourquoi la taille de la population doit rester la même d'une génération à l'autre.

La sélection revient à choisir les meilleurs individus pour former la nouvelle génération, c'est à dire éliminer N individus parmi les $2N$ individus (N parents et N enfants) pour cela plusieurs méthodes sont proposées.

a) La sélection par descendance

Dans cette méthode, on garde toujours les enfants, quelque soit leur adaptation la population de la nouvelle génération est obtenue par descendance ; les enfants remplaçant automatiquement leurs parents.

L'inconvénient de cette sélection est que l'on risque de voir disparaître les caractéristiques génétiques des parents les mieux adaptés si elles n'ont pas été totalement transmises lors de la recombinaison génétique.

b) La sélection par compétition

Une compétition a lieu entre parents et enfants pour déterminer ceux qui feront partie de la génération suivante. Les enfants sont insérés dans la population si et seulement si leurs performances sont supérieures à celles de leurs parents, à rang équivalent.

c) La sélection de procréation sélective

On garde les N meilleurs individus parmi la population intermédiaire de parents et d'enfants.

II.6 Avantages et inconvénients des algorithmes génétiques**II.6.1 Avantages des AGs :**

- Les AGs opèrent au niveau du codage des paramètres sans se soucier de leur nature, donc ils s'appliquent à de nombreuses classes de problèmes, qui dépendent éventuellement de plusieurs paramètres de natures différentes (booléens, entiers, réels, fonctions...)
- Pour les mêmes raisons un AG est dans l'idéal totalement indépendant de la nature du problème et de la fonctionnelle à optimiser, car il ne se sert que des valeurs d'adaptation, qui peuvent être très différentes des valeurs de la fonction à optimiser, même si elles sont calculées à partir de cette dernière.
- Potentiellement les AGs explorent tous l'espace des points en même temps, ce qui limite les risques de tomber dans des optimums locaux.
- Les AGs ne se servent que des valeurs de la fonctionnelle pour optimiser cette dernière, il n'y a pas besoin d'effectuer de coûteux et parfois très complexes calculs.
- Les AGs présentent une grande robustesse c'est-à-dire une grande capacité à trouver les optimums globaux des problèmes d'optimisation.

II.6.2 Inconvénients des AGs

- Les AGs ne sont encore actuellement pas très efficaces en coût (ou vitesse de convergence), vis-à-vis de méthodes d'optimisation plus classiques.
- Parfois les AGs convergent très vite vers un individu particulier de la population dont la valeur d'adaptation est très élevée.
- Le respect de la contrainte de domaine par la solution codée sous forme de chaîne de bits pose parfois problème. Il faut bien choisir le codage, voir modifier les opérateurs.
- En pratique l'efficacité d'un AG dépend souvent de la nature du problème d'optimisation. Selon les cas de choix des opérateurs et des paramètres seront souvent critiques, mais aucune théorie générale ne permet de connaître avec certitude la bonne paramétrisation, il faudra faire plusieurs expériences pour s'en approcher [22].

II.5 Conclusion

Au cours de ce chapitre, nous avons décrit la nature des algorithmes évolutionnaires, précisé sur les Algorithmes génétiques AGs. Nous avons ensuite présenté le principe de fonctionnement des AGs et leurs caractéristiques principales, puis nous avons abordé les opérateurs génétiques, enfin nous avons présenté les Avantages et inconvénients des algorithmes génétiques. La résolution d'un problème d'identification des paramètres relié au modèle analytique d'un amplificateur opérationnel, à base d'un algorithme d'optimisation basé sur les principes des algorithmes génétiques sera appliquée dans notre travail.

Chapitre III : Caractérisation des transistors et optimisation de l'AOP

III.1. Introduction :

Ce chapitre est articulé autour des deux principaux axes concernés par notre conception de l'AOP. La première partie est consacrée aux caractérisations des transistors NMOS et PMOS de cet AOP, à travers l'environnement CADENCE, utilisé conjointement avec un ensemble de fichiers et programmes (le design kit) décrivent la technologie. Ce design kit est fourni par le fondeur, dans notre cas il s'agit de la société TSMC (Taiwan semi-conductor manufacturing company) dont on à utiliser la technologie 0.13 μ m. La seconde partie est consacrée à optimisation du dimensionnement des transistors par les algorithmes génétiques.

III.2. Environnement CADENCE :

Cadence est un environnement électronique de la conception automatisée (EDA) qui intègre dans un cadre simple des différentes applications et des outils (classe des propriétaires et d'autres fournisseurs), permettant à supporter toutes les étapes de conception et de vérification des circuits intégré sa travers un environnement simple. Ces outils sont complètement générales supportent différentes technologies de fabrication. Quand une technologie particulière est choisie, un ensemble de configuration et dossiers de technologie connexes sont utilisés pour adapter l'environnement cadence. Cet ensemble de dossiers est généralement référé comme kit de conception [23].

III.3. Instructions générales de CADENCE :

Le Library Manager est un navigateur à partir duquel la plupart des opérations sur les librairies, cellules et vues sont possibles.

III.3.1. Aperçu du Library Manager

Tools > Library Manager

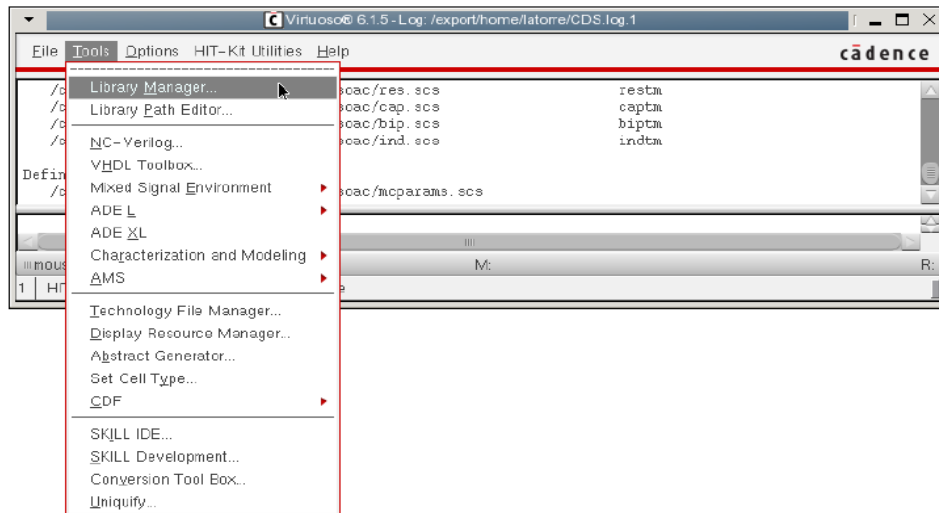


Figure III. 1 : Aperçu du Library Manager

La figure III. 2 illustre les relations hiérarchiques entre librairies, cellules et vues :

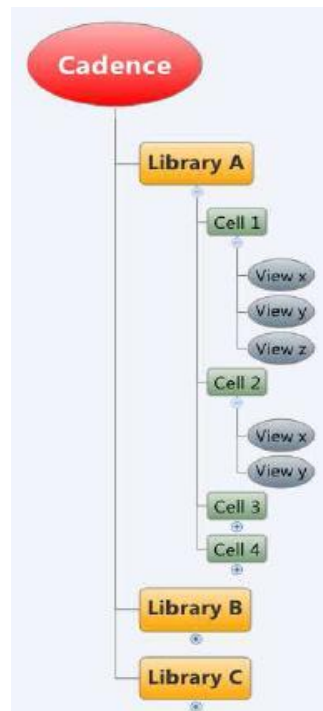


Figure III. 2 : Relations hiérarchiques

A titre d'exemple, ouvrir (en lecture seule) la vue **schematic** de la cellule **inv_core** de la librairie **GATES**. Pour cela sélectionner dans le **Library Manager** à tour de rôle la librairie, puis la cellule, puis effectuer un **clic-droit** sur la vue **schematic** et faire **Open (Read Only)**[24]:

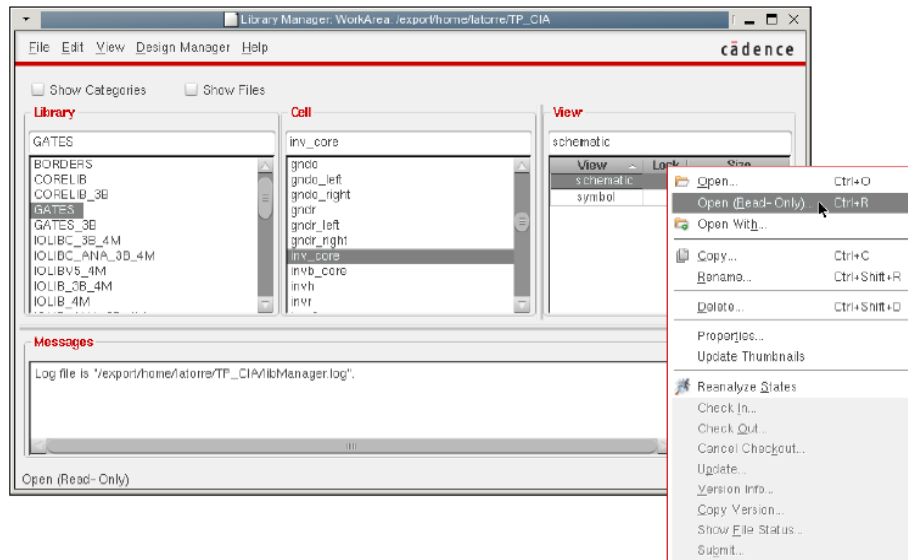


Figure III. 3 : Exemple d'ouvrir de la vue schematic de la cellule **inv_core** en lecture seule

III.3.2. Création d'une librairie de travail

Depuis le **Library Manager**, faire :

File > New > Library

Dans le champ **Name** de la fenêtre **New Library** saisir le nom de la librairie à créer (par exemple **work**), puis faire **OK**.

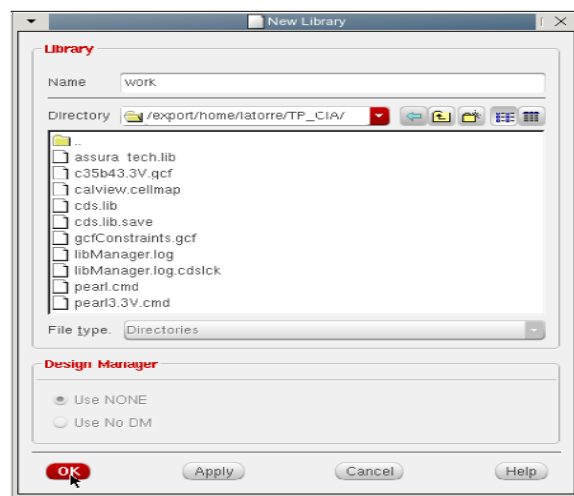


Figure III. 4 : Création d'une librairie de travail

III.3.3. Edition de schéma

Depuis le **Library Manager**, sélectionner la librairie **work**, puis faire :

File > New > CellView

Dans la fenêtre **New File**, saisir un nom pour la cellule à créer. Nous allons réaliser un schéma de simulation permettant de caractériser les transistors NMOS de la technologie TSMC. On peut ainsi nommer la cellule **tb_carac_nmos**. Vérifier que le nom de la vue

(**View**) est **schematic**, et que le type de vue (**Type**) est également schematic. L'application par défaut pour éditer une vue schématique est **Schematic L**. Faire OK

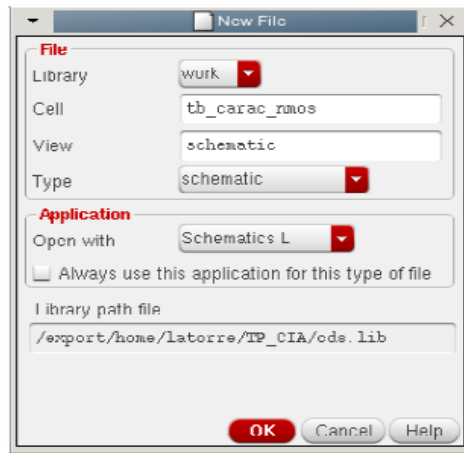


Figure III. 5 : Edition de schéma

L'éditeur de schéma (fenêtre **Schematic Editor**) s'ouvre. L'édition de schéma est un processus simple qui consiste à :

- Placer des composants sur le schéma et les paramétrer ;
- tirer des fils entre les terminaux de ces composants ;
- éventuellement placer des broches d'E/S, si le schéma représente lui-même un composant qui doit être intégré dans un autre schéma de niveau hiérarchique supérieur. Dans l'exemple qui suit, nous allons réaliser un schéma de simulation (*test bench*) sans broches d'E/S.

III.3.4. Placement des composants

Depuis la fenêtre **Schematic Editor** faire :

Create>Instance ou 

La fenêtre **Add Instance** s'ouvre. Nous allons placer un transistor NMOS. Remplir les champs :

Library : tsmc13rf

Cell : nmos1v

View : symbol

A ce stade, l'apparence de la fenêtre change et affiche les paramètres associés à la cellule en cours d'instanciation (nmos4). Il est possible ici de saisir ici les dimensions du transistor

(W, L) ainsi que des informations topologiques. Laisser les paramètres et les dimensions par défaut (L=0.13μm, W = 2μm)

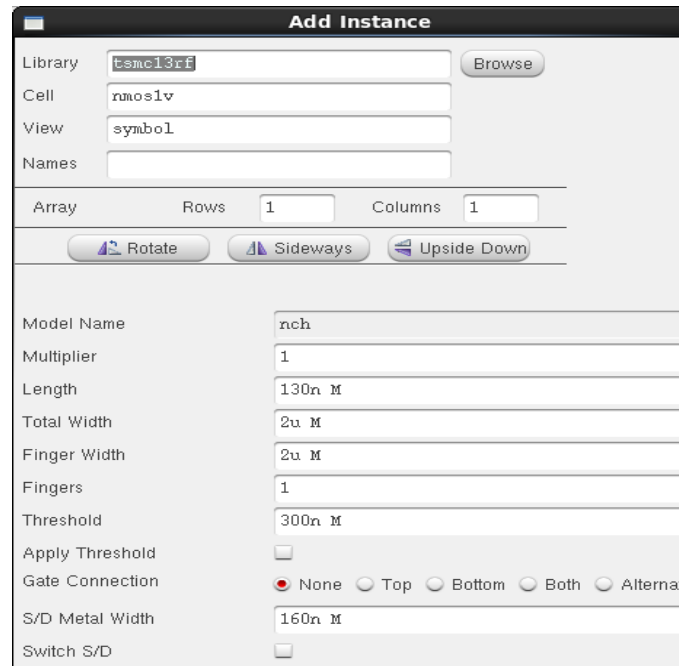


Figure III. 6 : Placement des composants

III.3.5. Méthodologie générale de paramétrage d'une simulation transitoire (Analog Design Environment XL) :

La simulation transitoire permet de simuler la réponse dans le domaine temporel d'un circuit. Pour ajouter un nouveau profil de simulation, cliquez sur **Analyses/Choose**. La fenêtre ci-dessous s'ouvre, vous permettant de configurer un nouveau profil de simulation. Dans le champ **Analysis**, sélectionnez tran, puis configurer le paramètre Stop Time à 100ns indiquant le temps de simulation max. Cochez la case **Enabled** pour rendre le nouveau profil de simulation actif. Cliquez sur OK pour valider. Le nouveau profil de simulation apparaît dans la fenêtre **Virtuoso Analog Design Environment**. En cliquant sur le profil, vous pouvez modifier les paramètres de la simulation. SPECTRE offre plusieurs types de simulation :

- Tran : transitoire
- Dc : analyse DC
- Ac : analyse AC
- Noise : analyse de bruit
- Sp : analyse N port (paramètres S)

III.3.6. Création d'un symbole

Pour créer le symbole, cliquez sur **Create/Cellview/Fromcellview ...** La fenêtre ci-dessous s'ouvre. Indiquez le nom de votre librairie, de la cellule et de la vue concernée (ampli_symbol) puis validez.



Figure III. 7 : Création d'un symbole

La fenêtre **Symbol Generation Options** s'ouvre pour ajuster la position des pins sur le symbole et modifier la forme du symbole. Cliquez sur OK, le symbole est généré automatiquement et apparaît comme une boîte rectangulaire entourée des I/O spécifiées précédemment (figure. III. 8). Les broches d'alimentation et de masse n'apparaissent pas sur le symbole, car il s'agit de symboles globaux. Si le symbole est satisfaisant, sauvez le puis fermez la fenêtre de saisie de la schématique [25].

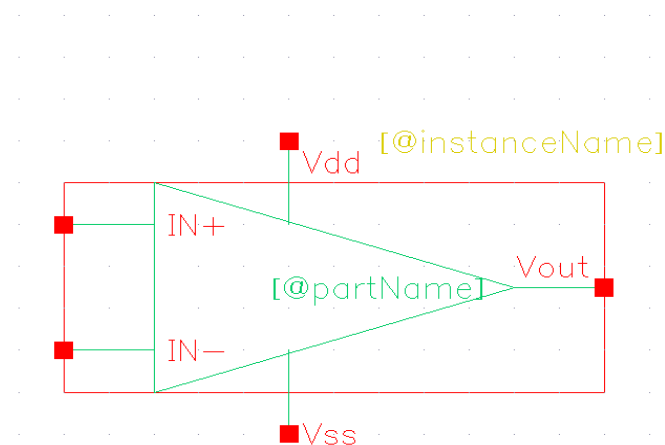


Figure III. 8 : Exemple de création d'un symbole d'un AOP

III.4. Caractéristique de transistor NMOS

La caractéristique courant-tension du transistor MOS à canal N, appelée aussi caractéristique statique est celle que l'on peut relever en courant continu ou à basse fréquence. Le flow de conception commence par trouver les principaux paramètres de la technologie utilisée, spécialement K_N , V_{TH} et λ . Habituellement, ces paramètres sont donnés par le fournisseur de technologie; Malheureusement, ce n'est pas le cas, dans la technologie que

nous seront utilisées. La simulation d'un seul transistor, nous permet de trouver ces paramètres. En balayant à la fois V_{DS} et V_{GS} et traçant les variations du courant de drain I_D , avec la manipulation des équations ci-dessous on peut obtenir les paramètres qui caractérisent cette technologie.

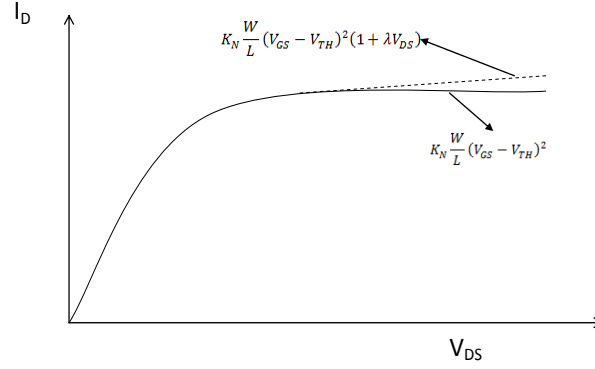


Figure III. 9 : I_D en fonction de V_{DS} d'un transistor NMOS

$$I_D = f(V_{DS}, V_{GS}) + \begin{cases} 0 & V_{DS} \leq V_{TH} \\ K_N \frac{W}{L} \left(V_{GS} - V_{TH} - \frac{V_{DS}}{2} \right) V_{DS} & V_{DS} \leq V_{GS} - V_{TH} \\ K_N \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}) & V_{DS} \geq V_{GS} - V_{TH} \end{cases} \quad (\text{III.1})$$

Où K_N est un paramètre dépendant de la technologie utilisée.

$$K = \frac{1}{2} \mu_e C_{ox} \quad (\text{III.2})$$

Avec

μ_e : mobilité de l'électron.

C_{ox} : capacité grille-substrat par unité de surface

III.4.1. Caractéristique de transfert en courant $I_D = f(V_{GS})$ à V_{DS} constante :

La figure III.10 représente le circuit de simulation de la caractéristique de transfert en courant $I_D = f(V_{GS})$ à V_{DS} constant. Le but de cette simulation est de calculer la tension de threshold V_{Th} .

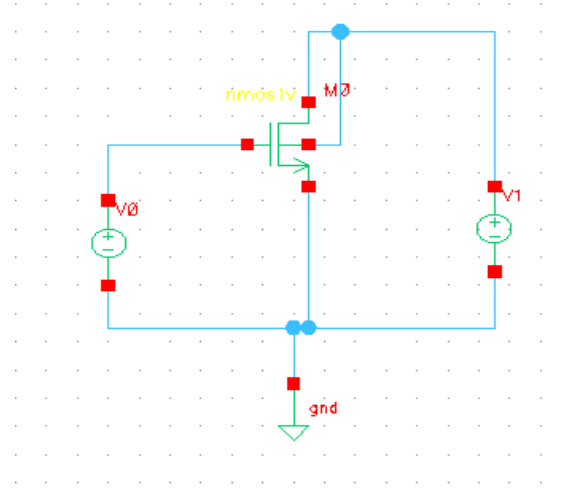


Figure III. 10 : Circuit de simulation de NMOS

Où le résultat de simulation figure III. 11 nous permis de calculé V_{Th} graphiquement (intersection de la pente avec l'axe des x).

V_{Th} peut également obtenu, en utilisant deux points de la partie de saturation de la courbe.

$$V_{Thn} = \frac{V_{GS1} - \sqrt{\frac{I_{D1}}{I_{D2}}} V_{GS2}}{1 - \sqrt{\frac{I_{D1}}{I_{D2}}}} = 0.3 \text{ v} \quad (\text{III.3})$$

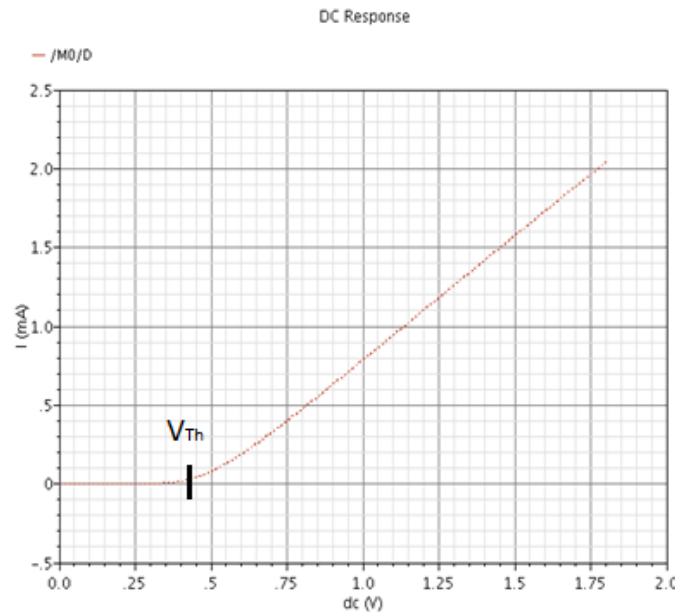


Figure III.11: $I_{ds} = f(V_{GS})$ d'un transistor NMOS

III.4.2. Caractéristique de transfert en courant $I_d = f(V_{ds})$ à V_{GS} constante :

La caractéristique de transfert en courant $I_d = f(V_{ds})$ à V_{GS} constante nous permet de calculer λ_n et K_n . la figure III.12 représente la courbe obtenue par cette simulation. Cette

courbe peut être utilisée pour calculer λ , en utilisant deux points de la partie de saturation de la courbe :

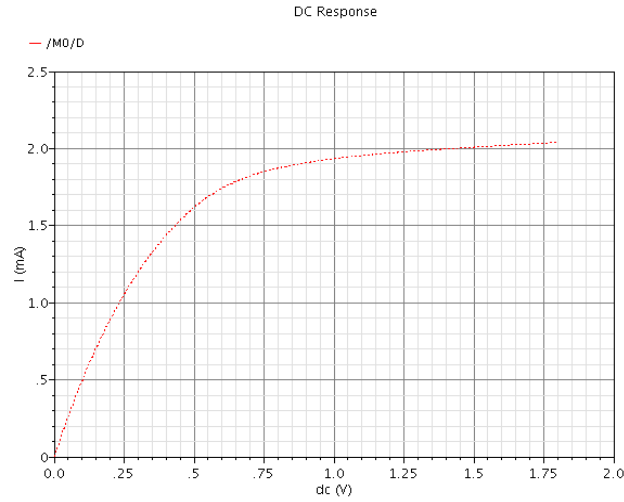


Figure III.12:Caractéristique $I_{ds}=f(V_{DS})$ avec V_{GS} constante

$$\lambda_n = \frac{I_{D2} - I_{D1}}{I_{D1} \cdot V_{DS2} - I_{D2} \cdot V_{DS1}} = 0.062 \text{ V}^{-1} \quad (\text{III.4})$$

Cette courbe peut être utilisée, aussi pour calculer K , en utilisant un seul point de la partie de saturation de la courbe :

$$K_n = \frac{2I_D}{\frac{W}{L}(V_{GS} - V_{RON})^2(1 + \lambda_n \cdot V_{DS})} = 74.710^{-5} (\mu\text{A} / \text{V}^2) \quad (\text{III.6})$$

III.5. Caractéristique de transistor PMOS :

La figure III.13 représente le circuit de simulation de la caractéristique de transfert en courant $I_D = f(V_{GS})$ à V_{DS} constante.

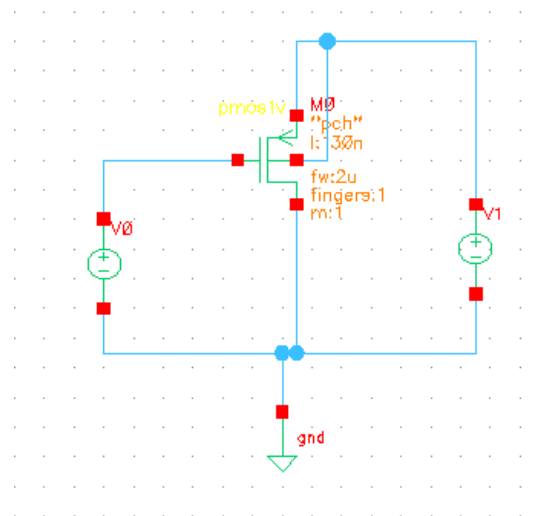


Figure III. 13 : Circuit de simulation de PMOS

Les mêmes simulations sont utilisées pour calculer V_{Thp} , λ_p et K_p . le tableau III.1 résume les paramètres de la technologie (données par le fondateur) et les résultats obtenus par les simulations.

T_{Ox_n}, T_{Ox_p}	2.81(nm)
ϵ_{ox}	$0.35 \cdot 10^{-10}$ (F/m)
μ_{on}	61.72(m)
μ_{op}	14.19 (m)
V_{Thn} model	-0.3(V)
V_{Thp} model	0.37 (V)
K_n model	$75 \cdot 10^{-5}$ ($\mu A / V^2$)
K_p model	$17.5 \cdot 10^{-6}$ ($\mu A / V^2$)
λ_n	0.12 (V^{-1})
λ_p	0.065 (V^{-1})

Table III.1 : les paramètres de la technologie 0.13 μm TSMC'S CMOS

III.6. Dimensionnement des transistors en utilisant les algorithmes génétiques :

L'extraction de paramètres par les AGs fournit des solutions optimales globales du dimensionnement des transistors de l'AOP à conçu. Actuellement, Il existe beaucoup de modèle d'AOP (OTA à un seul étage, OTA à deux étages, OTA télescopique et OTA foldedcasco de). Dans notre travail on a choisi le modèle OTA Miller (à deux étages).

L'organigramme de l'approche évolutionnaire proposé pour trouver le dimensionnement optimal, est présenté par la figure III.14. Le procédé d'optimisation arrête le calcul évolutionnaire lorsque le critère d'arrêt soit satisfait.

L'utilisation de l'environnement MATLAB, nous permettre de gérer notre processus d'optimisation par la technique AGs. Ce processus est assuré par une population de 25 individus pour chaque génération et 200 générations. Les paramètres utilisés dans cette étude sont résumés dans le tableau III.2.

Pour cette configuration, la complexité du problème est d'optimisé six paramètres de l'OTA Miller (A_v , PM, GBW, SR, P, Surface).

Dans cette expérience, nous avons utilisé le principe des algorithmes génétiques multi-objectif (MOGA) ou la fonction fitness est modifiée et donnée par:

$$f = w_1 \cdot f_1 + w_2 \cdot f_2 + w_3 \cdot f_3 + w_4 \cdot f_4 + w_5 \cdot f_5 + w_6 \cdot f_6 \quad (III.7)$$

ou: f_1, f_2, f_3, f_4, f_5 et f_6 représentent les fonction fitness des six paramètres de l'OTA Miller A_v , PM, GBW, SR, P et Surface respectivement calculées à l'aide de leurs équations, w_1, w_2, w_3, w_4, w_5 et w_6 représentent les poids ou $\sum_{i=1}^6 w_i = 1$

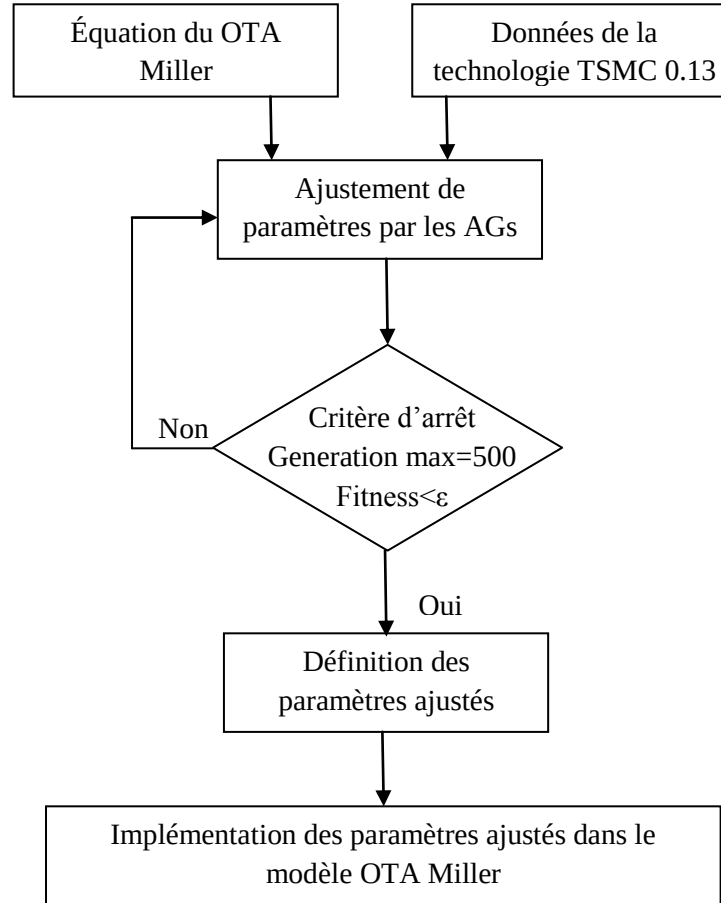
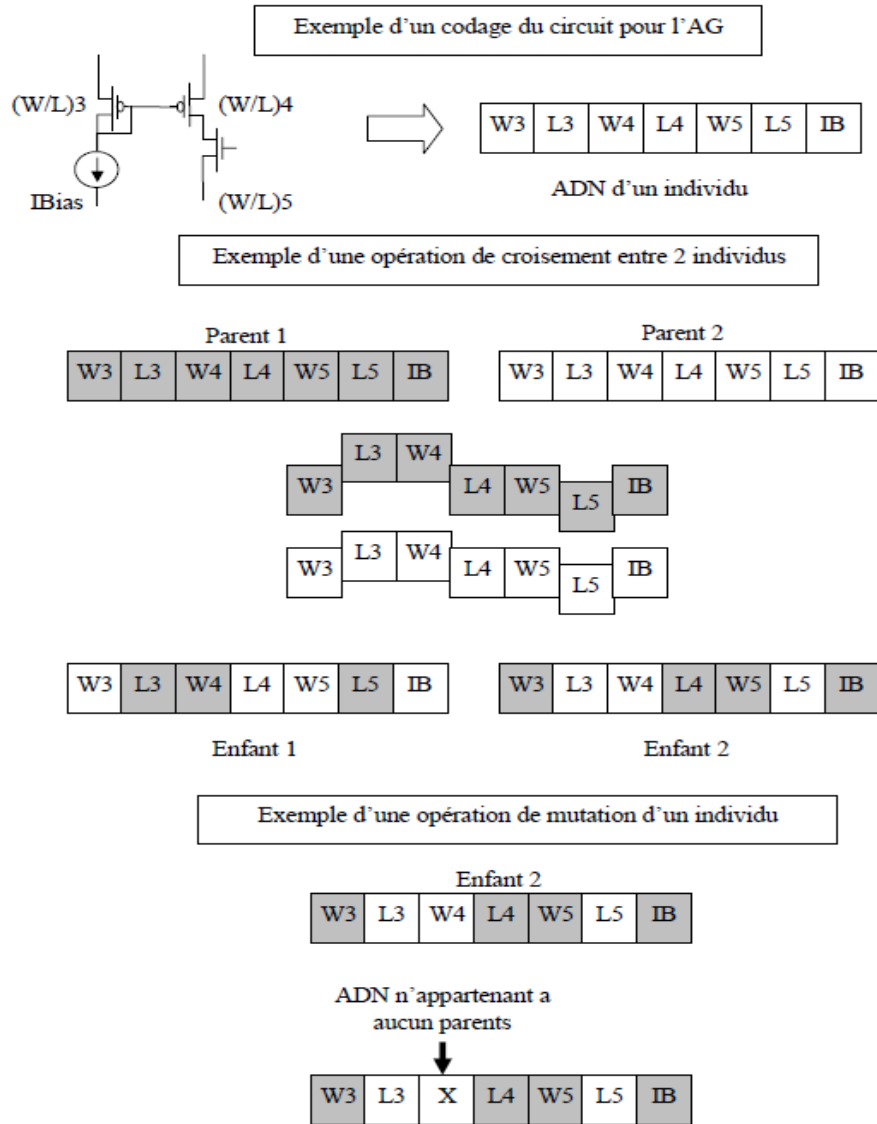


Figure III.14 : Organigramme de l'approche évolutionnaire proposée pour la détermination du dimensionnement optimal de l'OTA Miller

Les paramètres de AG	Valeurs
La taille de la population	25
Le nombre Maximum de générations	200
Type de la fonction fitness	MOGA
La sélection	Tournoi
Le croisement	Dispersé
La mutation	Uniform
Taux de mutation	0.5
Taux de reproduction	0.1

Tableau III.2: Paramètres des AGs utilisés dans cette application



Les paramètres obtenus par les AGs sont résumés dans le tableau III.3.

A_v	PM	GBW	SR	P	S
144. dB	58.8°	10 MHz	8.8 V/ μ s	0.1 m w	700 μ m ²

Tableau III.3:paramètres obtenus par les AGs

Les dimensions des transistors obtenus par les AGs sont résumées dans le tableau III.4.

	M ₁	M ₂	M ₃	M ₄	M ₅	M ₆	M ₇	M ₈
W	19.33	19.33	44.64	44.64	14.05	50.53	77.05	67.48
L	2.36	2.36	1.84	1.84	2.99	1.37	2.94	1.11

Tableau III.4:dimensions des transistors obtenus par les AGs

Le tableau III.4 démontre que notre approche MOGA est suffisante pour obtenir des dimensions optimales des transistors de notre OTA Miller.

III.7. Conclusion

Dans ce chapitre, nous avons caractérisé les transistors NMOS et PMOS puis nous avons appliqué les algorithmes génétiques pour optimiser les dimensions de ces transistors. L'implantation des résultats obtenus par les AGs sur l'environnement CADENCE, est notre défi dans le prochain chapitre étudié.

Chapitre IV : Résultats et simulations

IV.1. Introduction :

Dans le précédent chapitre, nous avons utilisé une méthode des algorithmes génétiques, cette méthode nous a permis de calculer les dimensions de chaque MOS, dans ce chapitre nous allons évoquer la simulation de l'amplificateur opérationnelle à transconductance à deux étages conçu par les dimensions optimisé auparavant.

La procédure de simulation proposée tient compte de presque les paramètres d'amplificateur opérationnel, tels que le gain en boucle ouverte, réponse en fréquence en boucle ouverte (y compris la marge de phase), le décalage la tension d'entrée (offset), le gain en mode commun, le taux de réjection d'alimentation, la plage de la tension de sortie et d'entrée en mode commun, y compris la vitesse de balayage (SR)...etc.

IV.2. Spécifications

À présent, nous allons voir comment on peut utiliser les règles présentées dans le précédent chapitre pour la conception d'un amplificateur opérationnel à deux étages OTA Miller (Fig. IV.1), ce dernier est composé d'un étage différentiel d'entrée (M1 et M2) polarisé par un miroir de courant (M3–M4). L'étage de sortie est un étage amplificateur à charge NMOS (M6 et M7) polarisé par un miroir de courant (M6–M8). La capacité C_0 permet de compenser l'OTA pour ajuster sa marge de phase.

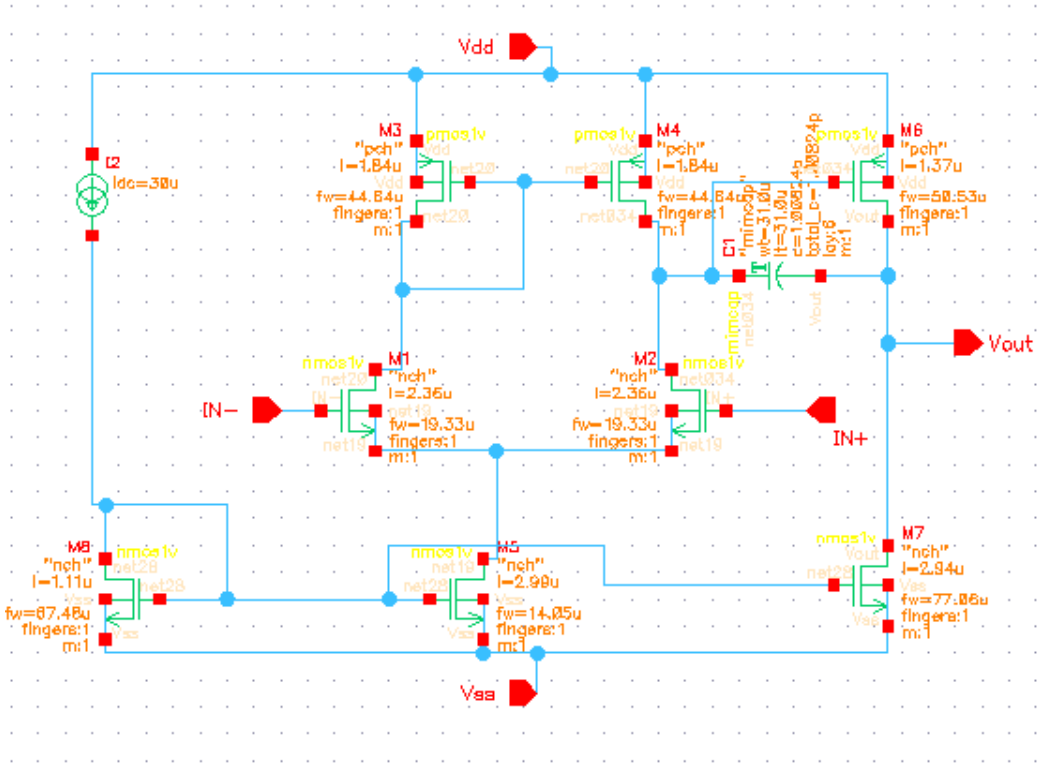


Figure IV. 1 : Vue schématique d'un OTA Miller

On désire réaliser un OTA Miller dont les caractéristiques sont :

- $SR \geq 1V/\mu s$,
- $GWB \geq 2MHz$,
- $Av > 40dB$ (V / V),
- $P_{diss} \leq 2,5$ mW.

- $A = AV_1 \cdot AV_2$

avec:

$$AV_1 = \frac{2 \cdot g_{m1}}{I_5 \cdot (\lambda_2 + \lambda_4)} \text{ et } AV_2 = \frac{g_{m6}}{I_7 \cdot (\lambda_6 + \lambda_7)}$$

$$g_{m1} = \sqrt{\frac{K_n \cdot W_1 \cdot I_5}{L_1}} \text{ et } g_{m6} = \sqrt{\frac{2K_p \cdot W_6 \cdot I_7}{L_6}}$$

$$I_5 = \frac{W_5 \cdot L_8 \cdot I_b}{L_5 \cdot W_8} \text{ et } I_7 = \frac{W_7 \cdot L_8 \cdot I_b}{L_7 \cdot W_8}$$

- $GWB = \frac{g_{m1}}{C_c}$

- $PM = (3.14 - P_{mtot}) \cdot \left(\frac{180}{3.14}\right)$

avec:

$$P_{\text{mtot}} = P_{\text{m1}} + P_{\text{m2}}$$

$$P_{\text{m1}} = \arctan\left(\frac{GWB}{P_1}\right) \text{ et } P_{\text{m2}} = \arctan\left(\frac{GWB}{P_2}\right)$$

$$P_1 = \left| \frac{g_{m1}}{A \cdot C_c} \right| \text{ et } P_2 = \left| \frac{g_{m6}}{CL_1} \right|$$

- $SR = \frac{I_5}{C_c}$
- $P_{\text{diss}} = (V_{DD} - V_{SS}) \cdot (I_5 + I_7)$
- $S = 2 \cdot (W_1 \cdot L_1) + 2 \cdot (W_3 \cdot L_3) + (W_5 \cdot L_5) + (W_6 \cdot L_6) + (W_7 \cdot L_7) + (W_8 \cdot L_8)$

On rappelle aussi qu'on a travaillé par la technologie 0.13 μm TSMC'S CMOS. La table IV. 1 présente les paramètres de cette technologie.

$T_{\text{OXn}}, T_{\text{OXp}}$	2.81(nm)
ϵ_{ox}	$0.35 \cdot 10^{-10} (\text{F/m})$
μ_{on}	61.72(m)
μ_{op}	14.19 (m)
$V_{\text{Thn model}}$	-0.3(V)
$V_{\text{Thp model}}$	0.37 (V)
$K_n \text{ model}$	$75 \cdot 10^{-5} (\mu\text{A}/\text{V}^2)$
$K_p \text{ model}$	$17.5 \cdot 10^{-6} (\mu\text{A}/\text{V}^2)$
λ_n	0.12 (V^{-1})
λ_p	0.065 (V^{-1})

Table IV. 1 : les paramètres de la technologie 0.13 μm TSMC'S CMOS

IV.3.les résultats de Simulation de l'amp- op

La méthodologie de conception proposée a été mise en œuvre (implémentée) en Cadence spectre et elle est appliquée à la synthèse d'un amplificateur opérationnel à deux étages, représenté sur la figure.(IV. 1). Les paramètres de l'amp- op sont présentés dans le tableau (IV. 1), ainsi que les spécifications amp-op présentées dans le tableau (IV .2).

Parameters	L (um)	W (um)
M1&M2	2.36 μm	19.33 μm
M3&M4	1.84 μm	44.64 μm
M5	2.99 μm	14.05 μm
M6	1.37 μm	50.53 μm
M7	2.94 μm	77.05 μm
M8	1.11 μm	67.48 μm
I_{bia}	30 μA	
C_C	1 pF	
C_L	0.35 pF	
Power dissipation	0,2 mW	

Table IV. 2 : les spécifications op-amp

Afin d'optimiser notre OTA Miller, l'architecture présentée dans le tableau précédent a été choisie par un test de plusieurs valeurs des W et L pour chaque transistor.

IV.4. Simulation du Gain et de la marge de Phase

Le gain et la phase d'un amp-op peuvent être obtenus en utilisant le circuit de la Figure (IV .2), et le résultat de la simulation est présenté dans figure (IV.3).

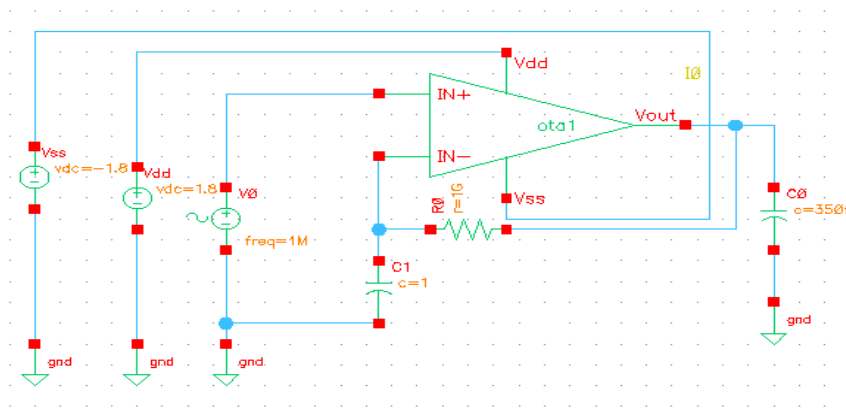


Figure IV.2 : Circuit de simulation de gain et phase d'un amp-op

Les courbes de du gain et marge de phase sont présentés dans la figure (IV. 3). Le gain $G = 85.63 \text{ dB}$ et la marge de phase $PM = 59^\circ$ ($GWB - 180^\circ$), ce qui interprété par un bon gain et une bon stabilité de l'omp op.

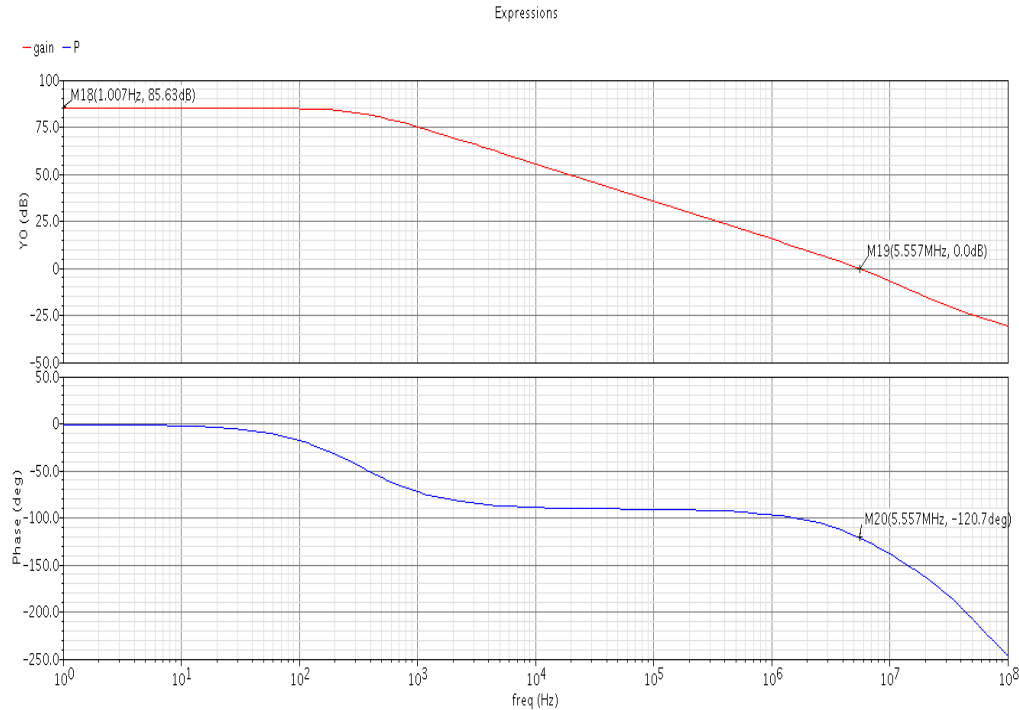


Figure IV. 3 Réponse de l'OTA en gain et phase

IV.5. Simulation du Slew Rate

La méthodologie de conception proposée est appliquée à la synthèse d'un amplificateur opérationnel à deux étages, représenté sur la figure (IV.1). Les simulations ont été réalisées dans des conditions normales (température ambiante) sur TSMC technologie 0,13 micron en utilisant le Simulator spectre.

Nous avons implémenté le circuit d'un amp- op non-inverseur à gain unitaire, illustré par la figure (IV.4) et nous avons généré le signal V pulse, en utilisant un générateur de fonction et variant l'amplitude du signal de 0V à 1,8V. Cette configuration représentée sur la Figure (IV.4) est utile dans la simulation de la vitesse de balayage (SR) et du temps d'établissement (setting time) d'un ampli-op.

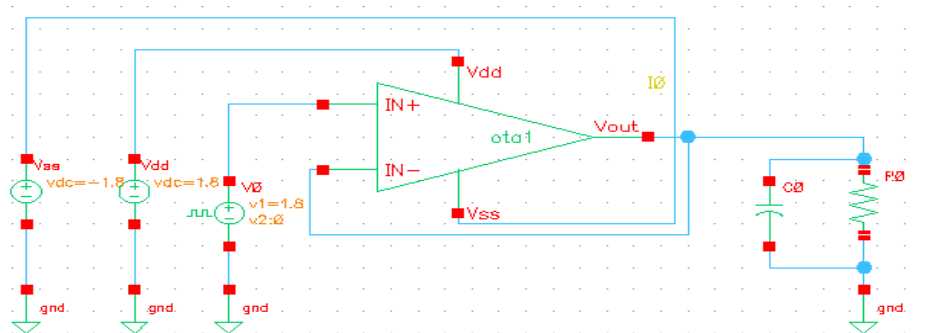


Figure. IV.4 : Circuit de Simulation du slew rate

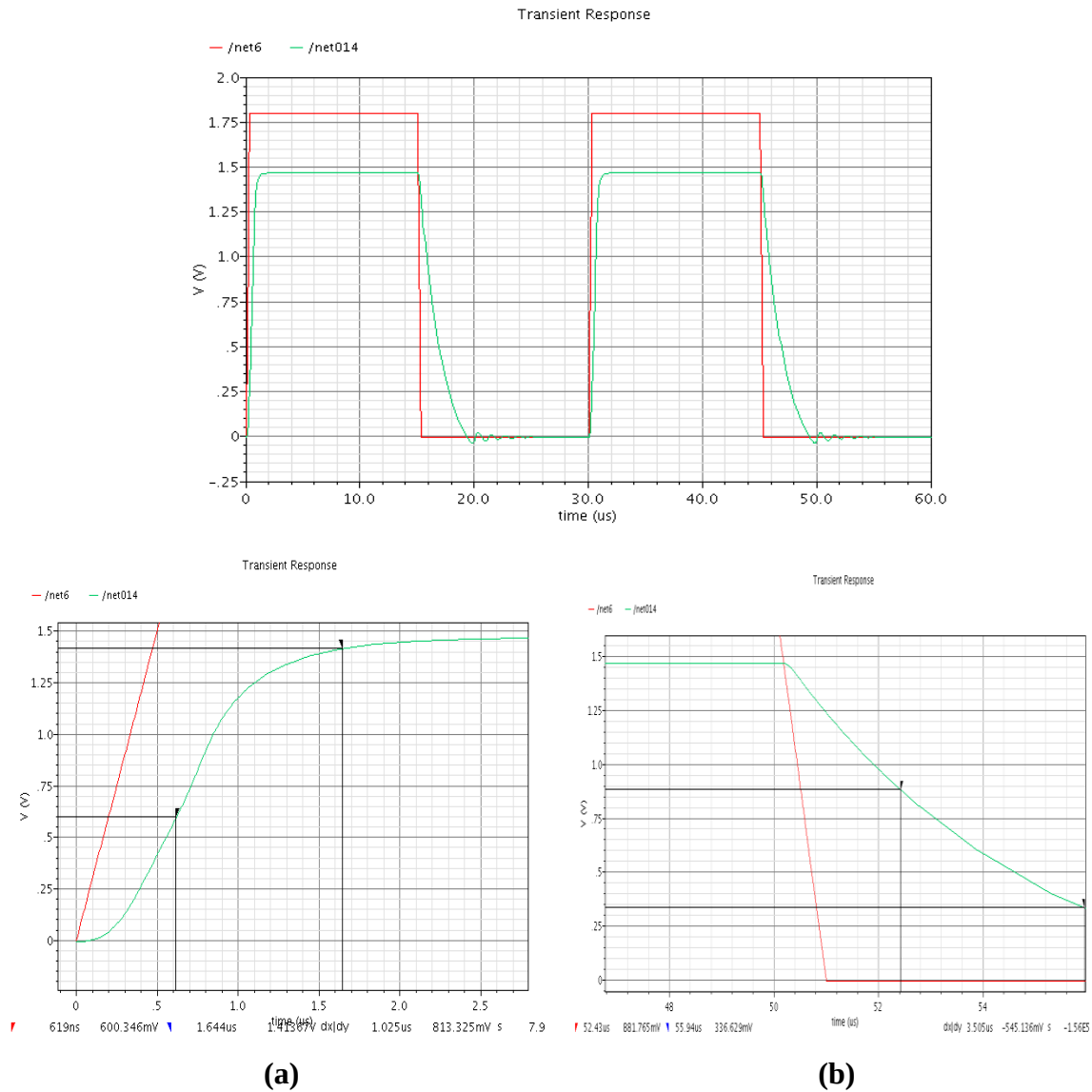


Fig. IV.5 : le taux de balayage,
 (a) Le taux de balayage Positif Simulé (b) Le taux de balayage Négatif Simulé

Le circuit de test de slew rate nous permet de simuler le taux de balayage positive et négative comme montre la figure IV.5. La valeur de taux de balayage (1.26/us) est satisfaisante aux spécifications.

Ces simulations démontrent que la conception basée sur les AGs est performante dans toutes les spécifications et les contraintes de conception, elle minimise également la superficie totale de l'AOP, comme indiquée dans la table IV.3, qui résume les résultats obtenus, chaque résultat obtenu est conforme aux spécifications du circuit. La table présente aussi une comparaison avec d'autres travaux [26, 27 et 28].

Paramètre	[26] 0.35 μ m	[27] 0.35 μ m	[28] 0.18 μ m	Ce travail 0.13 μ m
Vdd (V)	1.65	-	1.8	1.8
Vss (V)	1.65	-	-1.8	-1.8
CL (pF)	5	10	5	0.35
Gain (dB)	40	85	81	85.63
GBW (MHz)	-	15.19	810	5.55
power dissipation (μ W)	<1000	930	784.8	200
phase margin (deg)	-	60.07°	67°	59°
Slew rate + (V/us)	>10	9	6	1.26
Slew rate - (V/us)				6.41

Table IV.3: les résultats obtenus et les résultats des travaux [26-28]

La table montre la performance de notre l'amplificateur opérationnel OTA Miller conçu et optimisé, ces performances sont conformes aux spécifications désirées, donc la procédure de conception est un bon guide pour la conception d'amplificateurs opérationnels.

Par rapport aux amplificateurs opérationnels conçus dans les travaux [26, 27 et 28], notre procédure proposée, présente un OTA avec une dissipation de puissance beaucoup plus faible et une bonne stabilité (i.e. PM = 59°). De plus, le bruit d'entrée est plus faible

IV. 6. Conclusion

Ce travail présente une technique de conception, de simulation et de test d'un amplificateur opérationnel CMOS sous la plateforme de conception Cadence Virtuoso basée sur les algorithmes génétiques multi-objectifs MOGA. Pour tester et évaluer l'amplificateur opérationnel CMOS nous devons vérifier chaque spécification sur un grand nombre de paramètres pour assurer que l'amplificateur fonctionne en cas de variation du processus. Les simulations (telles que le gain, et la vitesse de balayage ...) ont également été effectuées.

Conclusion générale

La fabrication du circuit intégré est précédée d'une phase de conception durant laquelle s'élaborent les plans du circuit sur la base de ses spécifications fonctionnelles. Lors de cette conception des circuits intègres, dont, les principaux critères d'optimisation sont la surface de la puce, la rapidité de fonctionnement, la consommation et aussi le temps de conception lui-même. Une méthode, efficace de conception, doit être réalisée conformément à son "cahier des charges" pour être utilisable

Dans ce travail, on a spécifié les caractéristiques désirées de notre OTA, puis on a imposé les algorithmes génétiques pour calculer les dimensions optimales des transistors, ensuite on a fait des simulations, qui nous ont informés sur la fiabilité de notre OTA. Les résultats obtenus peuvent être considérés satisfaisants, en considérant les performances générales simulées, les valeurs principales sont en général concordantes avec les systèmes étudiés, avec des valeurs acceptables. La marge de phase obtenue permet une stabilité dans la norme, et la consommation correspond à celle définie dans le cahier des charges. Le gain et la bande passante ont des valeurs idéales.

La réalisation de ce projet, nous a permis la compréhension de la conception et l'implantation des circuits intégrer analogiques, qui viennent d'enrichir nos connaissances et nous a aussi permis de faire une connaissance de logiciel très puissant CADENCE et de se familiariser avec son software de simulation analogique.

Nous souhaitons, que nous ayons pu vous transmettre les fruits de notre travail à travers ce modeste mémoire qui nous souhaitons être, un outil d'aide aux gens intéressés par la conception des circuits intégrés et CADENCE Virtuoso.

-
- [1] A. Mihoubi, "Conception d'un convertisseur analogique numérique Sigma Delta du 1er ordre à 12 bits", Mémoire de Magister, université de Batna, 2008.
- [2] M. Loulou, S. Ait Ali, N. Masmoudi et L. Kamoun "Conception et optimisation d'un amplificateur opérationnel rail to rail CMOS faible tension faible consommation" Lebanese Science Journal, Vol. 4, No. 1, 2003
- [3] A. khelfa, A. Ali, "Un large bande amplificateur en mode courant réalisé à partir d'OTA et ces applications" mémoire d'ingéniorat, université de Biskra, 2010.
- [4] D. Modi et J. Patel, " Design and simulation of CMOSOTA with 1.0 v, 55db gain & 5pf load", International Journal of Managing Public Sector Information and Communication Technologies, Vol. 5, No. 2, 2014.
- [5] S. Hanfoug, "Conception et layout d'un échantillonneur bloqueur à technologie CMOS 0.35 μ m", Mémoire Magister, université de Batna, 2008.
- [6] F. Merad, "conception et simulation des caractéristiques électriques d'un transistor MOSFET nanométrique à conduction latéral de type Tri-Gate (FinFET)", Mémoire de Magister, Université de Aboubeker Belkaid-Telmcen, 2014.
- [7] D. Standarovski, "Contribution à la conception de circuits intégrés analogiques en technologie CMOS basse tension pour application aux instruments d'observation de la Terre", thèse Doctorat, Ecole Doctorale : Génie Électrique, Électronique et Télécommunications, 2005
- [8] H. Ragheb, "Intégration sur silicium des capteurs et des fonctions de traitement de signal généré par des rayonnements nucléaires. Application à la mesure du radon", thèse de Doctorat
- [9] K. H. Ouici, "conception et réalisation d'un amplificateur opérationnel programmable dédié à des capteurs implantables", MSA, Université de Montréal, 1997
- [10] les paires différentielles 22 :3123/02/2017
http://www.emse.fr/~dutertre/documents/3_PaireDiff_final_2015.pdf
- [11] amplificateur opérationnel 19/02/2017 Electronique.aop.free.fr.
- [12] principe de fonction d'AOP 19/02/2017 <http://www.bedwani.ch/electro/ch9/>
- [13] amplificateur opérationnel
http://ressources.univ-lemans.fr/AccesLibre/UM/Pedago/physique/02/cours_elec/aop.pdf

- [14] principe de fonctionnement amplificateur opérationnel 22 :30 02/05/2017
https://fr.wikipedia.org/wiki/Amplificateur_%C3%A9lectronique
- [15] B. Dubois, “Méthodologie de conception de magnétomètre dans une approche mécatronique”, Thèse de Doctorat, Université de Strasbourg, 2009
- [16] S.Baudot-Roux. “Algorithmes évolutionnaires, hybridation” cf. PARCFD'99, Surveys on Mathematics 2000, Eurogen 97, 98, 99.
- [17] P. Lucidarme. “Apprentissage et adaptation pour des ensembles de robots réactifs coopérants”. Proc. ICRA '02, Washington, 2002.
- [18] R. Dupas, ”Amélioration de performance des systèmes de production: apport des algorithmes évolutionnistes aux problèmes d’ordonnancement cycliques et flexibles”, Université d’Artois 2004.
- [19] A. Nabonne. “Algorithmes évolutionnaires et problèmes inverses”, chapitre 8, juin 2004.
- [20] D. Mokeddem, “Contrôle Flou des Processus Biotechnologiques à Base d’Algorithmes Génétiques”, Thèse de Doctorat, Université Ferhat Abbas de Setif, 2010.
http://www.univ-setif.dz/Tdoctorat/images/stories/pdf_theses/facultes1/TEC/These-Mokeddem-Diab.pdf
- [21]A. Terki, “Analyse des performances des algorithmes génétiques utilisant différentes Techniques d’évolution de la population”, Mémoire de Magister, Université Mentouri Constantine. <http://bu.umc.edu.dz/theses/electronique/TER4682.pdf>
- [22] T. Bendib, “Modélisation et simulation du transistor DGMOSFET en utilisant les Algorithmes Génétiques”, Mémoire de Magister, Université de Batna, 2008.
- [23] S. Barra, “Conception et layout d’une machine d’états à base de latch C2MOS à technologie CMOS 0.35µm” Mémoire de Magister, université de Batna, 2008.
- [24] cadence virtuoso.
http://www.lirmm.fr/~nouet/homepage/pdf_files/CadenceAMSPolytech.pdf15: 45
 31/01/2017
- [25] Cadence tutorial.
http://www.alexandre-boyer.fr/alex/enseignement/Guide_demarrage_Cadence_2016-17.pdf19:5101/05/2017
- [26] F. Paixão et S. bampi “Miller ota design using a design methodology based on the gm/id and early-voltage characteristics: design considerations and experimental results”

- [27] J.P. Martinez Britoet S. Bampi, “A DC offset and CMRR analysis in a CMOS 0.35 μm operational transconductance amplifier using Pelgrom’s area/accuracy tradeoff”, *Microelectron. J* (2008)
- [28] A. Boudjemaa, “conception et optimisation d’un Amplificateur opérationnel OTA Miller”, Mémoire de master, Université Mohamed Boudiaf – M’sila, 2016

Abstract

Integrated circuit design is a challenging activity, because it targets complex design specifications that are closely related to transistor sizing and device technology dependent. This work addresses the design of Miller Transconductance Operational Amplifier (OTA Miller), using a design and optimization methodology of transistor sizing based on genetic algorithms (GAs) to optimize the characteristics of OTA: for the choice of lengths (L) and Widths (W) of the transistors. This OTA Miller has been analyzed, designed and prototyped in TSMC 0.13 μ m CMOS technology and validated by the CADECE Virtuoso environment. The results of the simulations are presented and compared with other works, in order to prove the great capacity of the GAs in solving optimization problems.

Keywords: OTA Miller, Genetic algorithm GA, Transistor sizing, MOSFET, Gain bandwidth, Power dissipation.

Résumé

La conception des circuits intégrés est une activité stimulante, car elle cible des spécifications de conception complexes, qui sont étroitement liées à la taille des transistors et dépendant de la technologie du dispositif. Ce travail porte sur la conception d'un amplificateur opérationnel de Transconductance (OTA Miller), en utilisant une méthodologie de conception et d'optimisation des dimensionnements des transistors basée sur les algorithmes génétiques (AGs): pour le choix des longueurs (L) et des largeurs (W) des transistors. Afin d'optimiser les caractéristiques d'OTA. Cet OTA Miller a été analysé, conçu et prototypé dans la technologie TSMC 0.13 μ m CMOS et validé par l'environnement CADECE Virtuoso. Les résultats des simulations sont présentés et comparés avec d'autres travaux, afin de prouver la grande capacité des AGs dans la résolution des problèmes d'optimisation.

Mots clés: OTA Miller, algorithmes génétiques AGs, Dimensionnement des transistors, MOSFET, Gain de bande passante, Puissance dissipée.

الملخص

تصميم الدوائر المتكاملة هو نشاط مجهد لأنه يستهدف مواصفات التصميم المعقدة التي ترتبط ارتباطاً وثيقاً بحجم الترانزستورات و التكنولوجيا التي تعتمد عليها. يتناول هذا العمل تصميم مضخم عملي ذو موصلية OTA Miller وذلك باستخدام منهجية تصميم وتحسين أحجام الترانزستورات، تركز على الخوارزميات الجينية. وذلك من أجل اختيار طول (L) و عرض (W) كل ترانزستور. لتحسين خصائص المضخم العملي OTA. بحيث تم التحليل و النمذجة الأولية لهذا المضخم بواسطة تكنولوجيا TSMC CMOS 0.13 μ m والتحقق منه ببرنامج CADENCE Virtuoso. لإثبات قدرة الخوارزميات الجينية في حل إشكاليات التحسين و النتائج المحصلة، عرضنا نتائج المحاكاة مع مقارنتها مع أعمال أخرى.

الكلمات المفتاحية

مضخم عملي ميلر، الخوارزميات الجينية، أبعاد الترانزستورات، عرض النطاق الترددي، الطاقة المستهلكة.

Liste des figures

Figure I.1: Représentation schématique d'un transistor MOSFET	4
Figure I.2: Effet de champ dans un MOSFET	4
Figure I.3: MOSFET à canal N	5
Figure I.4: MOSFET à canal P	6
Figure I.5: MOSFET à appauvrissement de canal	6
Figure I.6: MOSFET à enrichissement de canal	7
Figure I.7 Zone de saturation	9
Figure. I.8 Modèle petit signal moyenne fréquence du transistor MOS en régime de forte inversion et en zone de saturation	12
Figure I.9 Modèle petit signal haute fréquence du transistor MOS en régime de forte inversion et en zone de saturation	13
Figure I.10 Source de courant de type NMOS	14
Figure I.11 Source de courant de type PMOS	14
Figure I.12 miroir de courant à base de NMOS	15
Figure I.13 paire différentielles	16
Figure I.14 symbole américain	17
Figure I.15 symbole européen	17
Figure I.16 brochage de l'AOP	18
Figure I.17 schéma équivalent d'un AOP réel	18
Figure I.18 Caractéristique entrée sortie d'un amplificateur opérationnel parfait	19
Figure I.19 la tension d'offset	20
Figure I.20 la vitesse de balayage	21
Figure I.21 OTA à deux étages	22
Figure II.1 Différentes classes d'algorithmes évolutionnaires	24
Figure II.2 Organigramme général d'un algorithme génétique	26
Figure II.3 exemple de codage de Gray	30

Figure II.4	croisement à un site	33
Figure II.5	Croisement à k sites	34
Figure II.6	mutation dans un chromosome	35
Figure III. 1	Aperçu du Library Manager	39
Figure III. 2	Relations hiérarchiques	39
Figure III.3	Exemple d'ouvrir de la vue schematic de la cellule inv_core en lecture seule	40
Figure III.4	Création d'une librairie de travail	40
Figure III.5	Edition de schéma	41
Figure III.6	Placement des composants	42
Figure III.7	Création d'un symbole	43
Figure III.8	Exemple de création d'un symbole d'un AOP	43
Figure III.9	I_D en fonction de V_{DS} d'un transistor NMOS	44
Figure III.10	Circuit de simulation de NMOS	45
Figure III.11	$I_{ds} = f(V_{GS})$ d'un transistor NMOS	45
Figure III.12	Caractéristique $I_{ds} = f(V_{DS})$ avec V_{GS} constante	46
Figure III.13	Circuit de simulation de PMOS	46
Figure III.14	Organigramme de l'approche évolutionnaire proposée pour la détermination du dimensionnement optimal de l'OTA Miller	48
Figure IV.1	Vue schématique d'un OTA Miller	52
Figure IV.2	Circuit de simulation de gain et phase d'un amp-op	54
Figure IV.3	Réponse de l'OTA en gain et phase	55
Figure IV.4	Circuit de Simulation du slew rate	55
FigureIV.5	le taux de balayage	56

Liste des tableaux

Tableau I.1 Résumé de quelques paramètres concernant les transistors NMOS et PMOS	11
Tableau III.1 les paramètres de la technologie 0.13 μm TSMC'S CMOS	47
Tableau III.2 Paramètres de GA utilisés dans cette application	48
Tableau III.3 paramètres obtenus par les AGs	49
Tableau III.4 dimensions des transistors obtenus par les AGs	49
Tableau IV.2 les spécifications op-amp	54
Table IV.3 les résultats obtenus avec comparaison avec travaux	57

Liste des symboles

K : Paramètre transconductance $K=\mu C_{ox}$.

K_N : Pour les transistors canal N.

K_P : Pour les transistors canal P.

μ_0 : Mobilité nominale des porteurs.

μ : Mobilité des porteurs.

n : Pente de la caractéristique ID (VGS) en régime de faible inversion.

q : Charge de l'électron.

ϕ_p : Potentiel de surface.

N_{fs} : Densité d'états de surface.

u_T : Tension thermique $u_T=kBT/q$.

W/L : Rapport de la largeur W et de la longueur L du canal du transistor MOS.

W : Largeur du canal du transistor MOS.

W_{eff} : Largeur du canal du transistor MOS tenant compte de la largeur W_{int} .

L : Longueur du canal du transistor MOS.

L_{eff} : Longueur du canal du transistor MOS tenant compte de la longueur L_D .

L_{int} : Longueur de recouvrement entre grille et îlots de diffusion.

G_m : Transconductance petit signal de la grille du transistor MOS.

V_{th} : Tension de seuil du transistor MOS.

V_{th0} : Tension de seuil du transistor MOS sans effet substrat.

V_{GS} : Tension dynamique petit signal grille-source.

V_{DS} : Tension dynamique petit signal drain-source.

V_{BS} : Tension dynamique petit signal bulk-source.

V_{DSsat} : Tension de saturation statique au-delà de laquelle le MOS est en zone saturée.

λ : Paramètre représentatif de la modulation de la longueur du canal.

V_A : Tension d'early équivalente.

I_D : Courant drain quasi-statique du transistor MOS.

i_D : Courant drain dynamique petit signal du transistor MOS.

C_{ox} : Capacité de l'oxyde de grille par unité de surface.

C_{GD} : Capacité grille-drain du transistor MOS.

C_{GS} : Capacité grille-source du transistor MOS.

C_{GB} : Capacité grille-substrat du transistor MOS.

C_{DB} : Capacité drain-substrat du transistor MOS.

C_{SB} : Capacité source-substrat du transistor MOS.

C_{DS} : Capacité drain-source du transistor MOS.