

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE
وزارة التعليم العالي والبحث العلمي
MINISTRE DE L'ENSEIGNEMENT SUPERIEUR
ET DE LA RECHERCHE SCIENTIFIQUE



جامعة محمد بوضياف - المسيلة

UNIVERSITE MOHAMED BOUDIAF - M'SILA

كلية التكنولوجيا

FACULTE DE TECHNOLOGIE

قسم الإلكترونيك

DEPARTEMENT D'ELECTRONIQUE



MEMOIRE DE MASTER

DOMAINE : SCIENCES ET TECHNOLOGIE

FILIERE : Électronique

OPTION : Instrumentation

THEME

**Conception d'un Modulateur Sigma-Delta Temps Continu
en Technologie CMOS**

Proposé et dirigé par:

Dr. KOUDA Souhil

Réalisé par

MIHOUBI Roua

ZABI Ilham

N° D'ordre : 2018/INST04/87

PROMOTION: 2018

Dédicace

Je dédie ce modeste travail :

- Aux êtres les plus chers à mon cœur, ma mère et mon père, qui m'ont beaucoup soutenu durant mon cursus d'étude et à qui je serai éternellement reconnaissant.

- A mes chères sœurs.

- A mon frère.

- A mon encadreur Monsieur : **KOUDA SOUHIL** pour son amabilité et sa disponibilité.

- A tous les enseignants qui m'ont aidé de près ou de loin à obtenir mon master en Électrotechnique.

- A tous mes amis.

- Aux deux promotions master 2 Electronique option : Instrumentation et système embarqué.

Cession 2017 et 2018.

- Enfin à tous ceux et celles qui m'ont encouragé et soutenu.

MIHOUBI ROUA

DEDICACES

Je dédié ce travail :

A mes chers parents

Mohamad, daou

A mes sœurs

Marawa, om Kaltoumi

A mes copines intimes

Houda bou chelaleg, dalal bou Aziz, marouf Siham

Tout ma famille

ZABI ILHAM

Remerciements

Avant tous, il apparait opportun de commencer ce Mémoire par des remerciements à **Allah** puis à ceux qui nous ont beaucoup appris au cours de ce travail.

Qu'il nous soit permis d'exprimer notre profonde gratitude à Monsieur **KOUDA SOUHIL**, Docteur à la Faculté de Technologie de l'Université Mohamed Boudiaf de M'sila pour avoir proposé, suivi et dirigé ce travail mais également pour sa disponibilité, et pour le respect dont nous fûmes témoins. Nous le remercions pour nous avoir fait profiter de son expérience ainsi que ses orientations constructives et ses encouragements qui nous ont été précieux, et nous ont permis de mener à bien ce travail.

J'exprime ma reconnaissance aux membres de jury pour bien vouloir accepter de présider et examiner ce travail.

Nous remercions tous les enseignants de département d'Électronique et les personnels administratifs et techniques, qui ont contribué de près ou de loin à notre formation durant ces cinq années.

Enfin Nous tenons à remercier tout particulièrement ceux qui sont très chers : nos mères et nos pères Que la paix d'Allah soit toujours avec vous.

TABLE DES MATIERES

Introduction générale.....	1
----------------------------	---

CHAPITRE I: GENERALITE SUR LES CONVERTISSEURS ANALOGIQUES NUMERIQUES

I.1.	Introduction.....	4
I.2.	Chaîne d'acquisition des données.....	4
I.2.1.	Le module d'acquisition des données.....	5
1.2.1.1	Le capteur.....	5
1.2.1.2	Le conditionneur	5
1.2.1.3	L'amplificateur	6
I.2.2.	Le module de conversion analogique numérique	6
I.2.2.1.	L'échantillonneur bloqueur	6
I.2.2.2.	Le convertisseur analogique numérique.....	7
I.3.	Principe de la conversion des données	7
I.4.	Les différents types de convertisseurs A/N	8
I.3.1.	Circuit convertisseur FLASH	9
I.3.2.	Circuit convertisseur Pipeline	10
I.3.3.	Le convertisseur à approximations successives SAR.....	12
I.3.4.	Le convertisseur analogique numérique Sigma-Delta ($\Sigma\Delta$).....	12
I.5.	Bilan des convertisseurs A/N.....	13

CHAPITRE II: CARACTERISTIQUES DES CONVERTISSEURS ANALOGIQUES NUMERIQUES

II.1.	Introduction.....	16
II.2.	Caractéristique de transfert d'un CAN	16
II.3.	Tension de référence :.....	17
II.4.	Temps de conversions :.....	17
II.5.	Erreur de convertisseur analogique- numérique	18

CHAPITRE III: BLOCS DE BASE DU CONVERTISSEUR SIGMA-DELTA

III.1.	Introduction.....	23
III.2.	Les blocs de constituant un CAN Sigma Delta.....	23
III.2.1.	Environnement CADENCE :	21

III.2.2.	Caractéristique de transistor NMOS	22
III.2.3.	Conception de l'inverseur	25
III.2.4.	Conception de porte NAND.....	27
III.2.5.	Conception de buffer :	28
III.2.6.	Conception de la Bascule	30
III.2.7.	Conception de l'amplificateur opérationnel	31
III.2.8.	Le comparateur dynamique	35
III.2.9.	Conception du convertisseur tension-courant	37

CHAPITRE IV: PRESENTATION DU CONVERTISSEUR CONÇU

IV.1.	Introduction.....	41
IV.2.	Résultats de simulation	42
IV.3.	Fonctionnement du filtre numérique	46
IV.4.	Caractéristiques du convertisseur conçu :	46
IV.5.	Conclusion :	50
	Conclusions générale	52
	Bibliographie.....	55

Liste des figures

Figure I.1 Chaîne d'acquisition des données.	4
Figure I.2 Module d'acquisition des données	5
Figure I.3 Module conversion analogique numérique	6
Figure I.4 Représentation de la fonction de transfert idéale d'un CAN et de son erreur de quantification.	7
Figure I.5 Comparaison bibliographique de différentes architectures de CAN	8
Figure I.6 Architecture d'un convertisseur FLASH 3 bits..	9
Figure I.7 Architecture du convertisseur PIPELINE.	10
Figure. I.8 Architecture d'un MDAC.	10
Figure I.9 Schéma synoptique d'un convertisseur à approximations successives.	11
Figure I.10 Architecture de CAN sigma-delta.	12
Figure II.1 La fonction de transfert idéale d'un CAN 3 bits.	16
Figure II.2 Variation de l'erreur de quantification.	17
Figure II.3 Erreur de l'offset d'un CAN.	18
Figure II.4 Erreur de gain d'un CAN.	18
Figure II.5 a) Erreur de NLD b) Erreur de NLI	19
Figure II.6 Code manquant et non monotonicité.	20
Figure III. 1 Schéma de l'inverseur.	23
Figure III. 2 Circuit de simulation de la caractéristique statique V_{out} (V_{in}) De l'inverseur.	23
Figure III. 3 La caractéristique de transfert $V_{out}(V_{in})$ de l'inverseur.	24
Figure III.4 (a) Schéma de la porte NAND. (b) circuit de test de la porte NAND	25
Figure III.5 (a) Schéma de buffer. (b) circuit de simulation du buffer.	26
Figure III.6 La caractéristique de transfert $V_{out}(V_{in})$ du buffer.	26
Figure III.7 Bascule RS à portes NAND.	27

Figure III.8	Circuit de simulation de la bascule.	27
Figure III.9	organigramme de la bascule.	28
Figure III.10	Schéma de principe de l'amplificateur opérationnel.	29
Figure III.11	Circuit de simulation de gain et de la phase de L'AOP.	31
Figure III.12	Réponse de l'OTA en gain et phase.	31
Figure III.13	Schéma électrique simplifié du comparateur dynamique.	32
Figure III.14	Circuit de simulation de comparateur.	33
Figure III.15	résultat de la simulation in-1 ; in-2 ; clk ; out-n ; out-p.	34
Figure III.16	Schéma de principe d'un convertisseur tension courant.	34
Figure III.17	Schéma global du convertisseur tension-courant.	35
Figure III.18	Circuit de simulation du convertisseur tension-courant.	, 36
Figure III.19	(a) Le courant de sortie en fonction de la tension d'entrée (b) le rapport de linéarité.	36
Figure IV.1	Modulateur sigma-delta	38
Figure IV.2	modulateur Sigma Delta en temps continu.	39
Figure IV.3	Schéma global du modulateur Sigma Delta.	40
Figure IV.4	Fenêtre de dialogue pour la configuration de la simulation.	41
Figure IV.6	Signaux Vref, Vcap, clk, Vstat_in pour Vin 100 mV.	41
Figure IV.7	Signaux Vref, Vcap, clk, Vstat_in pour Vin 500 mV.	42
Figure IV.8	Signaux Vref, Vcap, clk, Vstat_in pour Vin 900 mV.	42
Figure IV.9	Filtre a décimation.	43
Figure IV.10	Principe de fonctionnement du filtre numérique.	43
Figure IV.11	La fonction de transfert du convertisseur conçu.	45
Figure IV.12	Courbe de fonction de transfert et tendance du CNV.	45
Figure IV.13	Courbe d'erreur du convertisseur.	47

Liste des tableaux

Tableau I.1 Résumé sur les architectures de CAN	13
Tableau III.1 Performance du CAN Sigma Delta.	21
Tableau III.2 les paramètres de la technologie 0.13 μm TSMC'S CMOS.	22
Tableau III.3 Les dimensions des W et L de l'inverseur en μm .	24
Tableau III.4 Les dimensions des W et L de porte NAND en μm .	25
Tableau III.5 Les dimensions des W et L de buffer en μm .	27
Tableau III.6 Table de vérité de la bascule RS	28
Tableau III.7 Les dimensions des W et L de l'amplificateur opérationnel en μm .	30
Tableau III.8 Les dimensions des W et L de comparateur en μm .	33
Tableau III.9 Les dimensions des W et L du convertisseur tension courant en μm .	35
Tableau IV.1 Résultat de la simulation du convertisseur pour des valeurs de La tension d'entrées réparties sur la dynamique avec un pas de 50mV.	44
Tableau IV.2 La différence entre le code obtenu et la valeur calculée en utilisant la fonction de la courbe de tendance représente l'erreur de conversion.	46
Tableau Les performances du convertisseur conçu.	50

Introduction générale

Introduction générale

Les grandeurs physiques qui nous intéressent quotidiennement sont essentiellement analogiques. Pour les prélever, on se sert de capteurs dont le rôle est de traduire une grandeur physique quelconque (température, pression, débit, etc....), en un signal électrique exploitable [1,2].

Dans une chaîne de mesure par exemple, il est nécessaire d'acquérir et de numériser les stimuli électriques générés par les capteurs. Pour ce faire, divers principes de conversion analogique numérique sont envisageables, mais bien sûr chaque principe possède son lot d'avantage et d'inconvénients qui le rendent apte à telle ou telle application [3-5].

Et pour faire l'opération de passage du monde analogique au monde numérique, il nous faut un système mixte qui relie les deux mondes, c'est le convertisseur analogique numérique qui est capable de faire cette opération.

Les convertisseurs analogiques numériques (A/N) sont présents dans tous les équipements de traitement du signal (acoustique, numérisation d'image et de parole, transmission des données, instrumentation de mesure, biomédical, etc.). Ils constituent de fait les parties les plus critiques des systèmes électroniques actuels et cela persistera dans le futur parce que la numérisation des systèmes électroniques progressera encore plus. Plusieurs types de convertisseurs peuvent être utilisés selon les applications. Ils se différencient par leurs performances : précision, vitesse de traitement, consommation et prix [6,7].

Il existe de nombreux types de convertisseurs analogiques numériques et de multiples méthodes de conversion qui ont chacune des caractéristiques qui leur sont propres.

On peut définir quatre grandes familles de convertisseurs analogiques numériques, présentant chacune une philosophie de fonctionnement particulière :

- CAN Flash.
- CAN Pipeline.
- CAN à Approximation successive (SAR).
- CAN Sigma Delta.
- ...

Le travail présenté dans ce mémoire conduit à la conception et la simulation par CADENCE d'un convertisseur analogique numérique Sigma Delta. Ce convertisseur est constitué de deux blocs fondamentaux :

- Un modulateur Sigma Delta temps continu réalisé en technologie CMOS.
- Un filtre décimateur réalisé généralement en langage de description de matériel (ou HDL pour **H**ardware **D**escription **L**anguage), VHDL, Verilog, ets....

Ce mémoire est présenté sous forme d'une description détaillée de la conception réalisée.

Il est divisé en quatre chapitres :

Dans le premier chapitre, nous allons présenter dans un premier temps des généralités sur les chaînes d'acquisition des données et les différents modules constituant ces dernières (le capteur, le conditionneur et le convertisseur). Par la suite nous présentons le principe de la conversion des données, les différents types de convertisseurs, et pour chaque type, le fonctionnement, les avantages et les inconvénients sont donnés.

Le deuxième chapitre est destiné à la présentation des caractéristiques et les performances des convertisseurs analogiques numériques, ainsi que les limites fondamentales de la conversion analogique numérique, de même les erreurs liées à la conversion analogique numérique sont abordées.

Le troisième chapitre présente La conception et la simulation des différents blocs constituant le convertisseur conçu.

Dans le dernier chapitre, nous présenterons notre convertisseur conçu (simulation et caractérisation).

Enfin, le travail s'achève par une conclusion générale.

Chapitre 1 : Généralité sur les convertisseurs analogiques numériques

I.1. Introduction

Pour mesurer une grandeur physique, nous réalisons le schéma d'acquisition classique montrée sur la figure 1.1, les capteurs fournissent à l'interface un signal électrique reproduisant la grandeur à mesurer. Ce signal est dit analogique, et est le plus souvent proportionnel à la mesure.

Un étage intermédiaire entre le capteur et l'interface est souvent nécessaire pour linéariser le signal, c'est-à-dire le rendre proportionnel à la grandeur mesurée, et pour l'amplifier. Le signal analogique évolue de façon continue dans le temps.

L'interface mesure périodiquement le signal électrique analogique émanant du capteur ou de son adaptateur et le traduit en une valeur numérique (à codage binaire) exploitable par la suite par un ordinateur. Ces mesures constituent un échantillonnage du signal analogique.

L'ordinateur, correctement programmé par le logiciel approprié, traite les données numériques fournies par l'interface pour en tirer des représentations graphiques ou des tableaux. Le logiciel peut aussi calculer certaines valeurs à partir de celles qui sont recueillies par le ou les capteurs.

I.2. Chaîne d'acquisition des données :

Généralement, la chaîne permettant l'acquisition et les traitements des données est couramment appelée chaîne d'acquisition des données. Cette chaîne d'acquisition (figure 1.1) est essentiellement bâtie autour de trois modules qui sont [8]:

- Module d'acquisition des données (analogique)
- Module de conversion analogique numérique (CAN)
- Module de traitement des données et de commande : calculateur

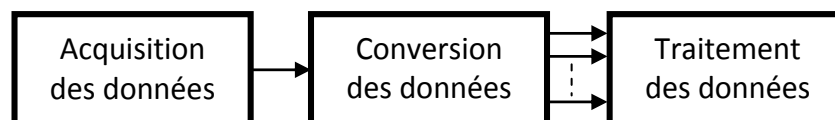


Figure 1.1 : Chaîne d'acquisition des données.

1.2.1. Le module d'acquisition des données

Ce module est essentiellement composé de trois composants qui sont : le capteur, le conditionneur et l'amplificateur (figure 1.2).

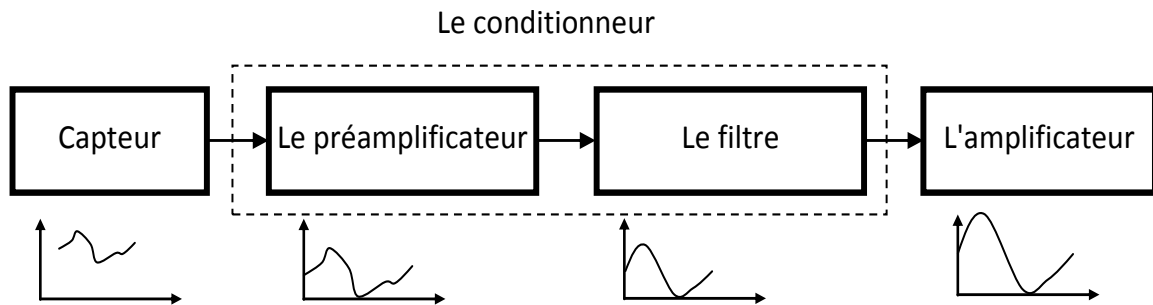


Figure 1.2 : Module d'acquisition des données.

1.2.1.1 Le capteur

Le capteur est le premier élément d'une chaîne de mesure ou chaîne d'acquisition de données. Il est l'interface entre le "monde physique" et le "monde électrique". En effet le capteur est un organe de prélèvement d'information qui élabore à partir d'une grandeur physique, une autre grandeur physique de nature différente (très souvent électrique). Cette grandeur représentative de la grandeur prélevée est utilisable à des fins de mesure ou de commande.

1.2.1.2 Le conditionneur

Le signal issu du capteur doit être conditionné avant sa conversion. En fait, le signal analogique de sortie du capteur est très rarement dans la plage de tension d'entrée du convertisseur. Il faut donc mettre en forme le signal de sortie du capteur à l'aide d'un conditionneur pour que la tension de sortie soit dans une gamme de tension compatible avec celle du convertisseur A/N standard (par exemple 0-5V).

Le conditionnement peut être simplement une amplification à l'aide d'un amplificateur opérationnel, ou plus compliqué par exemple une amplification et un décalage, un changement de signe, etc. en fonction du signal de sortie du capteur. Le conditionneur doit avoir comme qualité essentielle de dégrader le moins possible le signal d'origine tout en lui faisant subir les opérations nécessaires au conditionnement.

Les conditionneurs, amplificateurs adaptent et amplifient le signal pour l'amener dans une plage de variation de tension "confortable".

- **Le préamplificateur :** Le préamplificateur est un amplificateur qui adapte un signal avant de le transmettre à l'amplificateur principal. Il joue le rôle du premier étage d'amplification situé juste après le capteur.
- **Le filtre :** Ce filtre est communément appelé filtre anti-repliement. Son rôle est de limiter le contenu spectral du signal aux fréquences qui nous intéressent. Ainsi, il élimine les parasites. C'est un filtre passe bas que l'on caractérise par sa fréquence de coupure et son ordre.

1.2.1.3 L'amplificateur

Les amplificateurs amplifient le signal pour l'amener dans une plage de variation confortable.

1.2.2. Le module de conversion analogique numérique

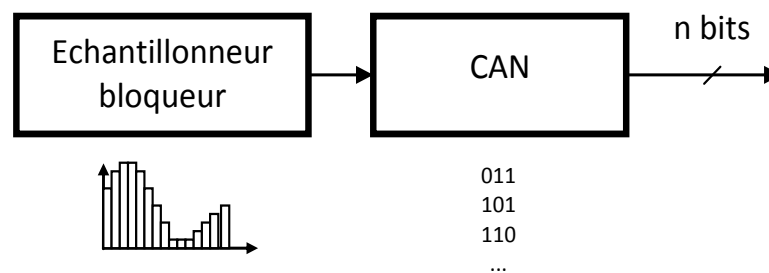


Figure 1.3 : Module conversion analogique numérique.

1.2.2.1. L'échantillonneur bloqueur

L'échantillonneur a pour rôle de "prélever" périodiquement un échantillon du signal électrique amplifié (période d'échantillonnage: T_e). L'ordre d'échantillonnage est fourni par le circuit de commande. On associe de manière quasi-systématique à l'échantillonneur un bloqueur. Ce bloqueur doit maintenir la tension échantillonnée constante durant le temps de conversion (T_{conv}).

I.2.2.2. Le convertisseur analogique numérique

Les convertisseurs A/N ou CAN (ADC en anglais, pour **A**nalog to **D**igital **C**onverter), transforment le signal analogique en un signal numérique apte à être traité par la suite par ordinateur.

I.3. Principe de la conversion des données

Pour convertir une grandeur analogique V_a en une grandeur numérique, il faut comparer cette grandeur analogique à une grandeur référence V_{ref} , valeur étalon de référence très souvent interne au convertisseur. En présence de V_a , le CAN calcule la valeur du rapport V_a/V_{ref} . Ce rapport de deux valeurs analogiques doit être exprimé en valeur numérique N et la relation $V_a/V_{ref} \Rightarrow N$ est obtenu avec un degré de résolution et de précision dépendant du convertisseur choisi [9]. On pourra écrire, en général :

$$V_a = N \cdot V_{ref} + \varepsilon_d + \varepsilon_a \quad (1.1)$$

Avec,

N : Exprimé à l'aide de n bits, donc une seule valeur parmi les 2^n combinaisons possibles.

ε_d : Terme d'erreur dû à la quantification qui est toujours présent même si les parties analogiques du convertisseur sont rigoureusement parfaites.

ε_a : Terme d'erreur introduit par la partie analogique du convertisseur.

Comme il est présenté sur la figure 1.4, l'erreur de quantification est une erreur inhérente au procédé de conversion, elle est au maximum 1 LSB, mais très souvent le système de conversion étant centré, cette erreur est de $\pm \frac{1}{2}$ LSB, Le LSB représente l'intervalle de valeur analogique comprise dans une valeur numérique (appelé aussi quantum).

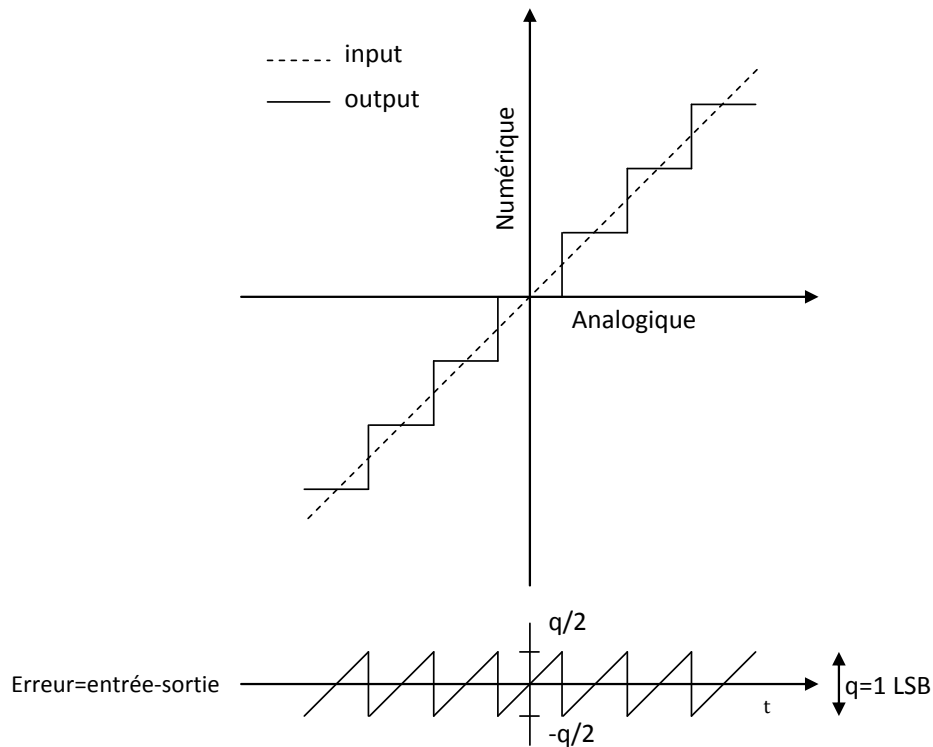
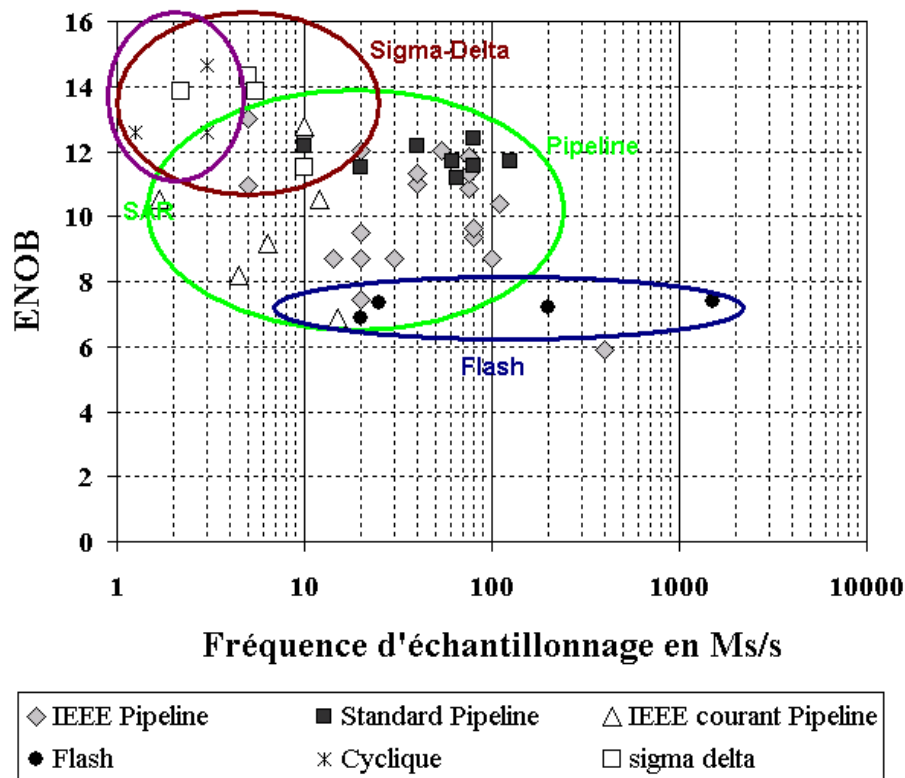


Figure 1.4 : Représentation de la fonction de transfert idéale d'un CAN et de son erreur de quantification.

Un convertisseur A/N reçoit une tension d'entrée analogique qu'il convertit après un certain temps en un code de sortie numérique correspondant à l'entrée. Différentes méthodes de conversion analogique numérique ont été mises au point et sont utilisées.

I.4. Les différents types de convertisseurs A/N

Les convertisseurs Analogique – Numérique font l'interface entre le monde naturel: signaux continus, et le monde des ordinateurs : suite de 1 et de 0. Il existe différents types de convertisseurs Analogique – Numérique (Figure 1.5) des plus rapides (avec une fréquence d'échantillonnage, F_s élevée: au-delà du GHz et une résolution faible (8 à 10 bits), au plus lents (quelques KHz pour F_s) mais précis (24 bits de résolution par exemple) [10].



ENOB nombre effective de bits

Figure 1.5 : Comparaison bibliographique de différentes architectures de CAN [11].

I.3.1. Convertisseur FLASH

Il s'agit du convertisseur le plus rapide, et également du circuit qui contient le plus grand nombre de comparateurs. Par exemple, un CAN parallèle de 8 bits exige 255 comparateurs analogiques, un CAN de 12 bits en exige 4095 comparateurs analogiques. Dans la pratique, le grand nombre de comparateurs nécessaires limite la réalisation des convertisseurs FLASH. Le principe de fonctionnement d'un tel convertisseur est le suivant : un signal d'entrée est échantillonné puis comparé à l'ensemble des tensions de seuil. Chacun des comparateurs indique ensuite si le signal d'entrée est supérieur ou inférieur à son seuil de référence. L'encodeur permet de transformer le signal, fourni par la sortie des comparateurs, en code binaire correspondant à notre donnée de sortie figure 1.6: c'est la numérisation du signal d'entrée échantillonné. La conversion est ainsi effectuée en une seule fois. L'avantage de ces convertisseurs est qu'ils peuvent atteindre une fréquence d'échantillonnage très élevée (quelques GHz). Cependant, les principaux inconvénients de cette architecture sont : la génération des tensions de seuils et les comparateurs. Les tensions de références doivent être précises au pas de quantification près. De même pour les comparateurs, ils doivent

présenter un offset inférieur au pas de quantification. Enfin, le nombre de comparateurs double pour chaque bit de résolution supplémentaire.

En général, à cause de la consommation et la taille du circuit, la résolution de ces convertisseurs se limite à 8 bits ou atteint exceptionnellement 10 bits [12] :

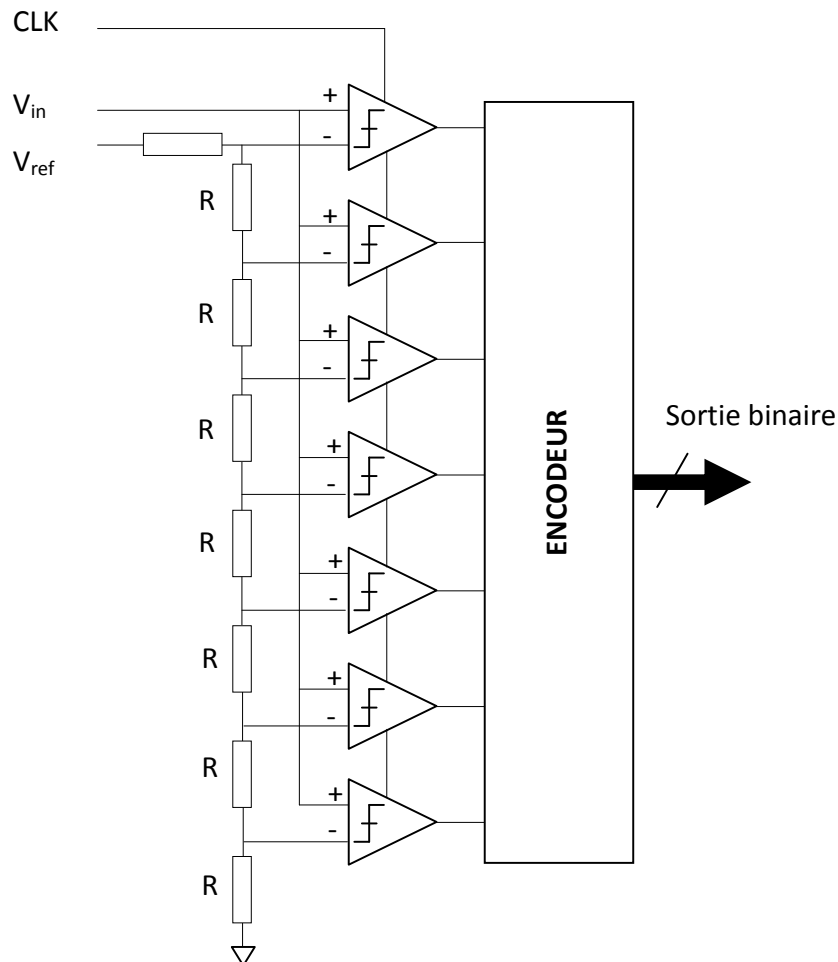


Figure 1.6 : Architecture d'un convertisseur FLASH 3 bits.

I.3.2. Convertisseur Pipeline

Le convertisseur PIPELINE est un compromis entre les convertisseurs FLASH et les convertisseurs SAR. En effet, comme nous l'avons noté précédemment, les CAN « FLASH » sont constitués de $2N-1$ comparateurs et les CAN « SAR » d'un seul comparateur. Contrairement aux architectures de convertisseurs précédents, les CAN « PIPELINE » répartissent l'opération de conversion sur M étages. L'architecture de ce convertisseur est illustrée sur la Figure 1.7.

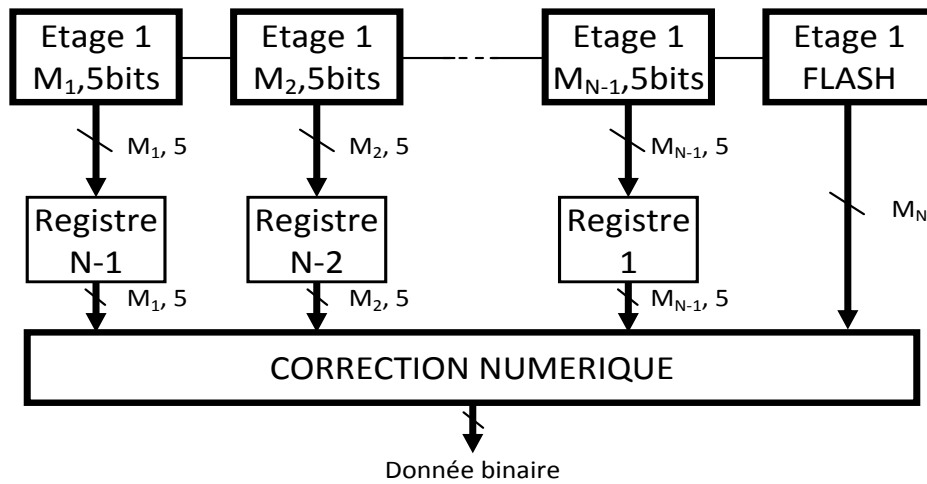


Figure 1.7 : Architecture du convertisseur PIPELINE.

Chacun des M étages est un bloc de conversion élémentaire numérisant le signal présenté à son entrée et fournissant le signal d'erreur analogique amplifié à l'étage suivant. Ce dernier est appelé le résidu. L'architecture de chaque étage est présentée sur la figure 1.8. Il est constitué d'un CAN FLASH fournissant sur un nombre de bits réduit une partie de la donnée binaire. La deuxième partie de l'étage est constituée d'un « sommateur », d'un convertisseur N/A et d'un amplificateur permettant d'amplifier le signal d'erreur dans le but d'obtenir un signal à la pleine échelle pour l'étage suivant. Cette deuxième partie est généralement appelée « MDAC » (Multiplying DAC).

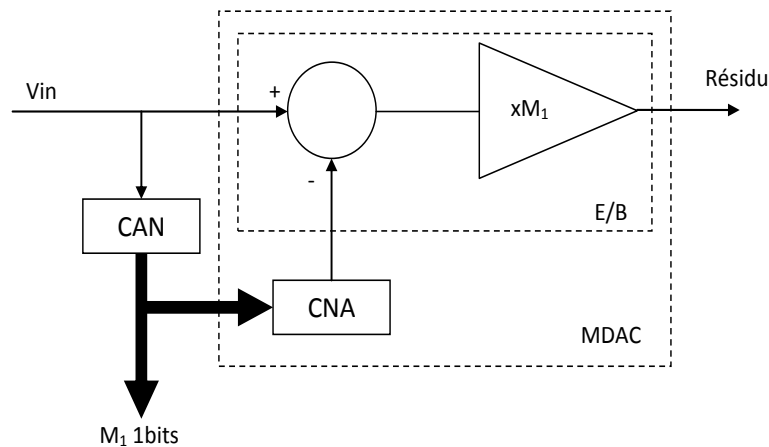


Figure 1.8 : Architecture d'un MDAC.

La présence de registres à décalage permet de rendre cohérent et de synchroniser les données binaires en sortie. Le convertisseur de type PIPELINE possède une architecture

efficace en termes de résolution et de vitesse avec une consommation assez raisonnable et une taille réduite pour le circuit [13].

I.3.3. Le convertisseur à approximations successives SAR

Le convertisseur à approximations successives est un convertisseur qui utilise un CNA pour générer un signal analogique qui approxime au mieux le signal d'entrée à numériser (Figure. 1.9). La sortie du CNA est pilotée à l'aide d'un code numérique généré par un processeur numérique (en général l'algorithme est de type dichotomique). Ce code correspond au code numérique du signal d'entrée lorsque la sortie du CNA correspond au signal d'entrée (\pm la résolution). Ce type de convertisseur utilise en général un seul comparateur, ce qui correspond à la détermination d'un bit par coup d'horloge.

Ce type d'architecture a l'avantage d'être donc très simple puisqu'il n'a besoin que d'un comparateur et d'un CNA de N bits. En général, le CNA doit être calibré pour pouvoir atteindre une très grande précision. De plus, cette architecture a le désavantage de nécessiter un grand nombre de coups d'horloge (qui dépend de la résolution souhaitée).

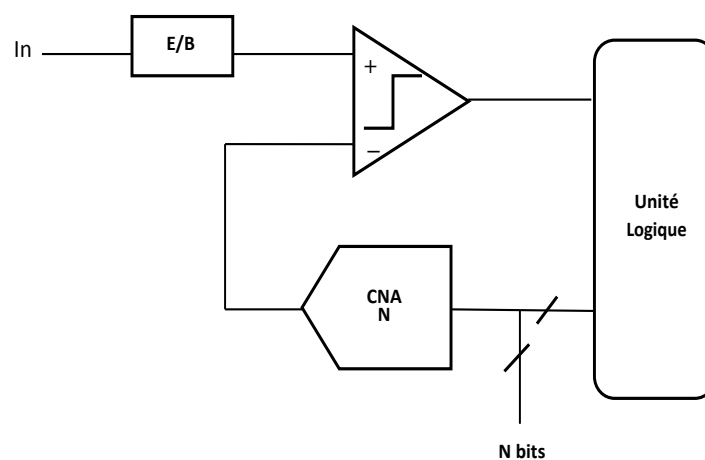


Figure 1.9: Schéma synoptique d'un convertisseur à approximations successives.

I.3.4. Le convertisseur analogique numérique Sigma-Delta ($\Sigma\Delta$)

L'architecture sigma-delta [14, 15] a une approche fondamentalement différente de celles que nous avons détaillées précédemment. Le convertisseur sigma-delta, dans sa forme la plus basique, est composé d'un intégrateur, un comparateur et un CNA à 1 bit comme le montre la Figure 1.10.

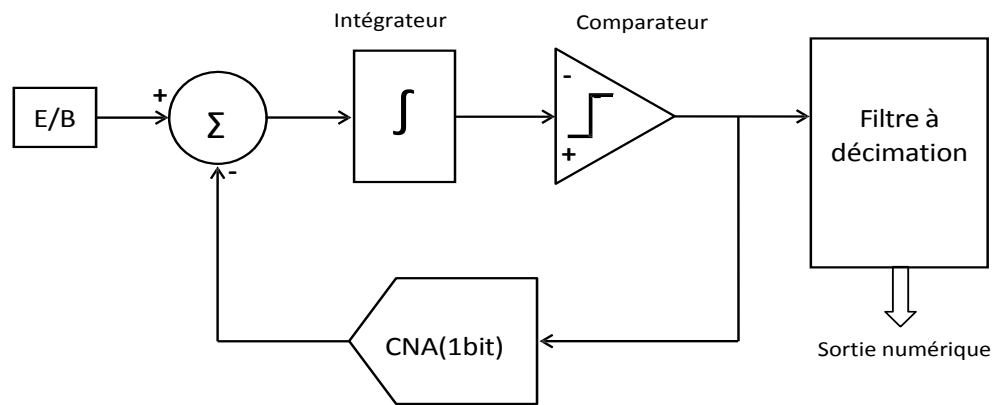


Figure 1.10 : Architecture de CAN sigma-delta.

Le fonctionnement de cette architecture repose sur le principe du sur-échantillonnage. La sortie du CNA est soustraite du signal d'entrée V_e , cette différence est intégrée par un intégrateur et convertie, ensuite, en numérique (0 ou 1) par un comparateur. Ce résultat sera reconverti en signal analogique par un CNA à 1 bit, la sortie du CNA est soustraite du signal d'entrée, et ainsi de suite. Cette boucle fermée fonctionne à une fréquence très élevée par rapport à la fréquence du signal d'entrée (principe du sur-échantillonnage). La sortie du comparateur (ou CAN à 1bit) est une suite de « zéros » et de « uns », et la valeur du signal est proportionnelle à la densité des « uns » venant du comparateur. Cette chaîne est ensuite filtrée par un filtre à décimation pour trouver la forme binaire en sortie du CAN [16].

I.5. Bilan des convertisseurs A/N

La description simplifiée des différents types de CAN existants permet d'avoir une idée de leurs propriétés intrinsèques. Ainsi, le tableau 1.1 effectue une comparaison qualitative de chacun des types de CAN [12].

Afin d'approfondir cette étude, une comparaison brute des performances des divers CAN est souhaitable. Cette comparaison doit prendre en compte l'aspect résolution et l'aspect fréquence d'échantillonnage pour permettre d'en extraire suivant l'application visée l'architecture la mieux adaptée. Le graphe de la Figure 1.5 [17] rassemble diverses architectures du commerce ou de laboratoires en fonction de la fréquence d'échantillonnage et du nombre de bits effectifs [18-19].

Tableau 1.1 : Résumé sur les architectures de CAN [20-23]			
Architecture	Résolution	Vitesse de conversions	Avantages/inconvénients
Sigma-Delta	16 à 24bits	≤5MHz	<ul style="list-style-type: none"> ➤ Résolution la plus élevée ➤ Excellente linéarité ➤ Faible consommation ➤ Excellente réjection numérique du bruit ➤ Vitesse
PIPELINE	8 à 16bits	Entre 10 à 500MHz	<ul style="list-style-type: none"> ➤ Très rapide(Pipeline) ➤ Correction numérique de serveurs ➤ Meilleur compromis vitesse/résolution ➤ Latence des données au démarrage
FLASH	6 à 10bits	Jusqu'à 20 GHz	<ul style="list-style-type: none"> ➤ Les plus rapides ➤ Résolution limitée ➤ Puce de dimension importante ➤ Consommation importante
SAR	8 à 16 bits	≤ 20 MHz	<ul style="list-style-type: none"> ➤ Résolution élevée ➤ Faible consommation ➤ Vitesse d'échantillonnage limitée ➤ CNA et comparateur : Principe difficiles

Chapitre 2 : Caractéristiques des convertisseurs analogiques numériques

II.1. Introduction

Les différents paramètres utiles définissant les performances d'un convertisseur analogique-numérique sont définis dans cette partie. Il existe dans la littérature une multitude de critères pour estimer les performances d'un convertisseur analogique-numérique. Malgré cela, seulement quelques unes sont vraiment importantes.

Nous présenterons les principaux paramètres qui caractérisent les convertisseurs analogiques numériques.

II.2. Caractéristique de transfert d'un CAN

Un convertisseur analogique numérique a pour fonction de transformer un signal continu (bien souvent une tension ou un courant), en un signal discret numérique codé sur un nombre de valeurs données. Trois critères principaux caractérisent les CANs :

- La résolution du CAN en bit qui détermine le nombre de valeurs disponibles pour coder le signal d'entrée. C'est la plus petite variation de tension qui engendre une modification du code. $\text{Résolution} = \frac{1}{2^n}$, où n représente le nombre de bits du convertisseur.
- Le nombre d'échantillons convertis par seconde qui définit la fréquence de conversion du CAN et donc son domaine d'application.
- La dynamique du signal analogique d'entrée convertible par le CAN qui détermine le pas minimum du convertisseur appelé bit de poids faible (LSB). Le LSB représente l'intervalle de valeur analogique comprise dans une valeur numérique (appelé aussi quantum).

La fonction de transfert idéale d'un CAN 3 bits est présentée sur la figure 2.1.

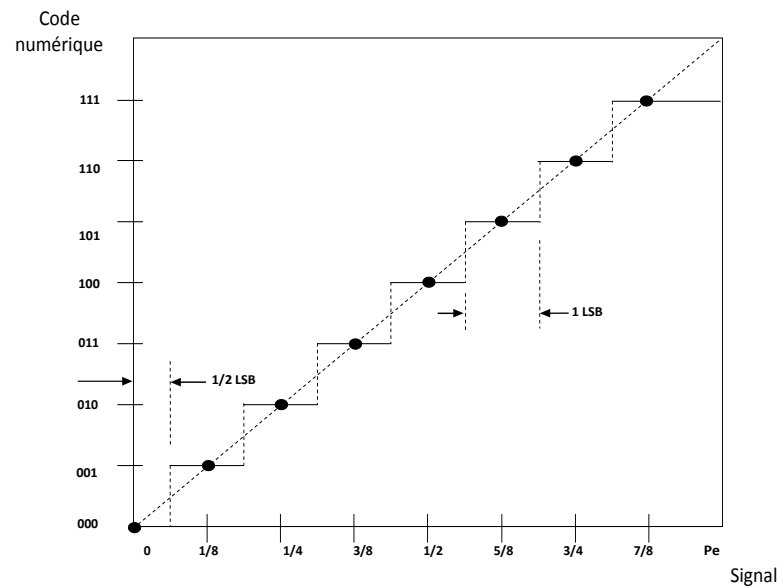


Figure 2.1 : La fonction de transfert idéale d'un CAN 3 bits [13].

En se basant sur la figure 2.1, on peut définir la fonction de transfert d'un CAN comme étant égale à :

$$N = Y + XA \quad (2.1)$$

Où N représente la valeur numérique de sortie du CAN, Y représente l'offset de la fonction de transfert du CAN et X le gain du CAN. Idéalement Y est égal à 0 et X est égal à 1. L'erreur d'offset représente donc la différence entre la valeur de Y et 0. L'erreur de gain représente la différence entre la valeur de X et 1. Ces types d'erreurs, si elles sont systématiques peuvent être corrigées par l'utilisateur. Ces deux erreurs sont détaillées ci-après.

II.3. Tension de référence :

Pour effectuer une conversion, le convertisseur analogique numérique a besoin d'une tension de référence à laquelle il compare les tensions à convertir. Cette tension est souvent intégrée directement dans le composant. On la notera **Vref**. Sa stabilité est très importante car toute fluctuation de sa valeur peut entraîner des erreurs dans les conversions.

II.4. Temps de conversions :

C'est le temps minimum nécessaire au convertisseur pour stabiliser une donnée numérique en sortie après avoir appliqué une tension analogique stable à l'entrée du CAN. Cette caractéristique fixe la fréquence maximale de travail.

II.5. Erreur de convertisseur analogique- numérique

II.5.1 Erreur de quantification :

Si on définit le pas de quantification «q» comme étant à l'intervalle de valeur de signal d'entrée qui a pour image le même code numérique de sortie, alors on peut dire que l'on connaît la valeur d'un signal numérisé avec une résolution de $\pm \frac{q}{2}$ LSB . En outre c'est l'écart entre la tension que l'on convertit (entrée du CAN) et la tension correspondant au code que l'on obtient (sortie du CAN).

C'est une caractéristique en dent de scie à une valeur moyenne nulle de manière à minimiser son influence. Elle évolue entre $\pm \frac{q}{2}$. Comme le montre la figure 2.2.

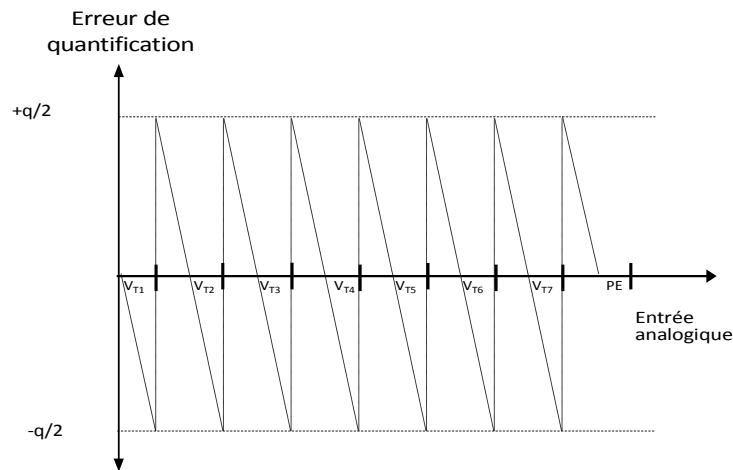


Figure 2.2 : Variation de l'erreur de quantification.

C'est une erreur qui est inhérente à toute numérisation, on ne peut pas l'éliminer.

II.5.2 Erreur d'offset :

C'est le décalage entre la courbe de transfert idéal du convertisseur et la courbe de transfert réel. Elle est due à la présence d'offset des amplificateurs opérationnels et comparateurs qui sont utilisés pour la réalisation du convertisseur (figure 2.3).

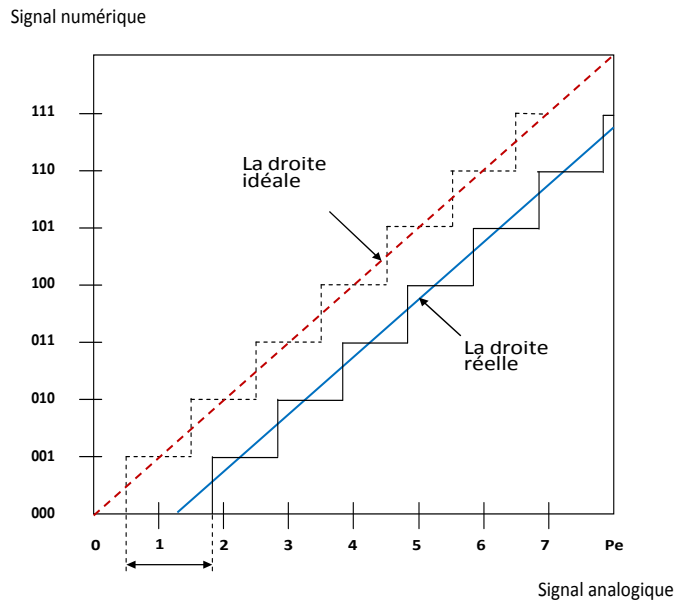


Figure 2.3 : Erreur de l'offset d'un CAN.

II.5.3 Erreur de gain :

Le gain global d'un convertisseur analogique numérique correspond à la valeur de la pente de sa fonction de transfert. Elle quantifié la déviation de cette pente vis-à-vis de la pente idéal, comme le montre la figure 2.4.

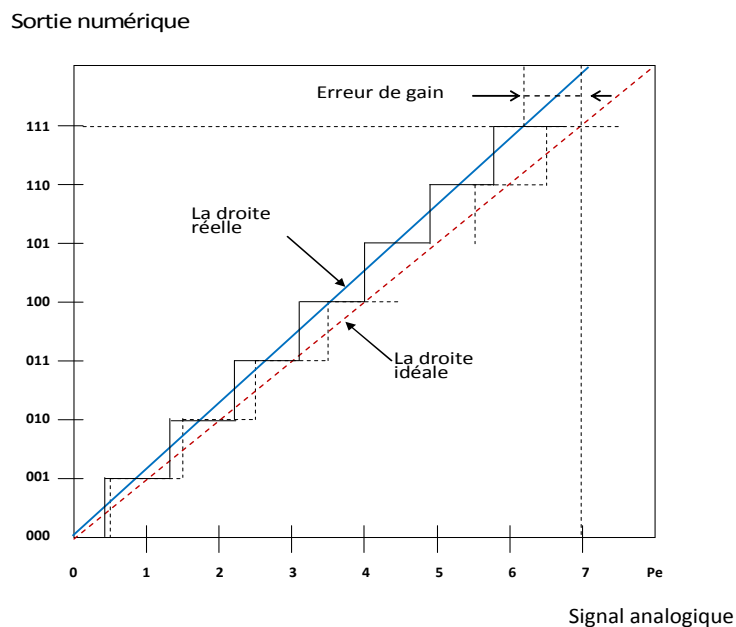


Figure 2.4 : Erreur de gain d'un CAN.

L'erreur de gain peut être due à une erreur sur la référence de tension et sur les gains des amplificateurs utilisés.

II.5.4 Erreur de non linéarité différentielle (NLD) :

L'erreur de linéarité différentielle représente l'écart relatif entre la valeur effective du pas et la valeur théorique. Elle est définie pour chaque palier du convertisseur et elle représente la différence entre la largeur du palier réelle et la largeur idéale, comme le montre la figure 2.5.

II.5.5 Erreur de non linéarité intégrale (NLI) :

Elle est définie par la position de la courbe réelle par rapport à la courbe idéale, lorsque la courbe reliant les milieux des paliers de caractéristique de transfert réelle n'est pas une droite, l'erreur de linéarité intégrale correspond à l'écart maximal entre cette courbe et la droite de caractéristique de transfert idéal.

Une erreur de ce type affecte donc la correspondance entre la valeur numérique et la valeur analogique, l'erreur de linéarité intégrale résulte de l'accumulation d'erreur de linéarité différentielle. La figure 2.5 représente les deux erreurs de linéarité différentielle et intégrale.

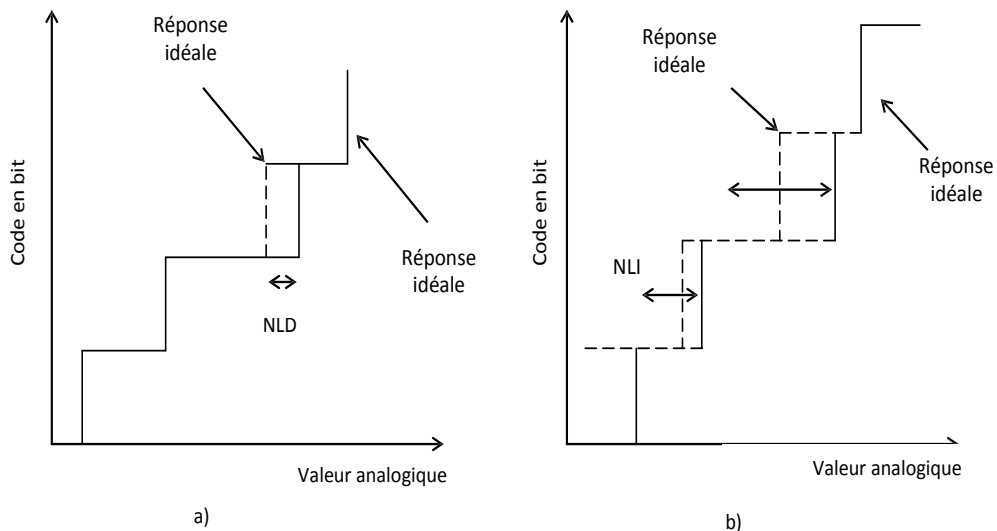


Figure 2.5 : a) Erreur de NLD b) Erreur de NLI.

II.5.6 Erreur total :

Elle est définie par la différence maximum à chaque palier entre les flancs et le milieu d'un palier idéal, en fait cela représente la valeur maximum de la différence entre le signal reconstitué à un CAN parfait et la valeur analogique d'entrée. Elle comprend les erreurs de non linéarité intégrale et différentielle, d'offset et de gain, mais aussi les erreurs de quantifications.

II.5.7 Erreur de code manquant

Une erreur de code manquant signifie qu'un code n'est jamais présent en sortie du convertisseur. Cette erreur est due à une erreur de non-linéarité trop importante. Nous pouvons remarquer qu'un convertisseur dont les non-linéarités différentielles sont comprises entre + 1 LSB et - 1 LSB ne peut pas comporter de code manquant.

II.5.8 Erreur de monotonicité :

La caractéristique de transfert d'un convertisseur doit assurer la croissance ou la décroissance de la sortie en fonction de l'entrée du code, une erreur de monotonicité arrive quand cette croissance ou décroissance n'est pas assurée. La figure 2.6 représente les deux erreurs de code manquant et monotonicité.

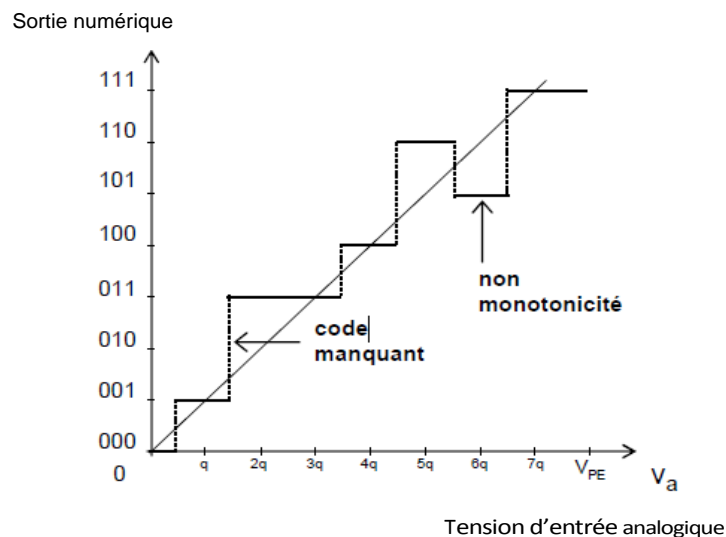


Figure 2.6 : Code manquant et non monotonicité.

Chapitre 3 : Blocs de base du convertisseur Sigma-Delta

III.1. Introduction

Nous présentons dans ce chapitre la conception des différents blocs de base du modulateur $\Sigma\Delta$: portes logiques (inverseur, porte Nand et un Buffer), l'amplificateur différentiel, un convertisseur tension-courant et un comparateur. Dans ce chapitre nous présentons la conception niveau transistor, l'optimisation et la simulation de ces blocs. La simulation permet de vérifier le bon fonctionnement de chaque bloc tout seul. Ces blocs seront ensuite assemblés pour former le modulateur.

On désire concevoir un convertisseur qui à les spécifications suivantes :

paramètre	Typ	Unit
résolution	8 bits	LSB
Fréquence d'horloge	10	Mhz
Dynamique d'entrée	1	V
Tension d'alimentation	1.8	V
Température	27	°C
Nombre de bits effectifs	7	LSB
Erreur de conversion maximale	<5	LSB

Tableau 3.1 : Performance du CAN Sigma Delta.

III.2. Les blocs de constituant un CAN Sigma Delta

Les circuits proposés ont été simulés dans l'environnement CADENCE en utilisant la technologie 130nm de TSMC (*Taiwan Semiconductor Manufacturing Company*). La tension d'alimentation utilisée en simulation est de 1.8 Volt.

III.2.1. Environnement CADENCE :

Cadence est un environnement électronique de la conception automatisée (EDA) qui intègre dans un cadre simple des différentes applications et des outils (classe des propriétaires et d'autres fournisseurs), permettant à supporter toutes les étapes de conception et de vérification des circuits intégré sa travers un environnement simple. Ces outils sont complètement générales supportent différentes technologies de fabrication. Quand une technologie particulière est choisie, un ensemble de configuration et dossiers de technologie connexes sont utilisés pour adapter l'environnement cadence. Cet ensemble de dossiers est généralement référé comme kit de conception [7].

III.2.2. Caractéristique de transistor NMOS

La caractéristique courant-tension de transistor MOS a canal N ou a canal P, appelée aussi caractéristique statique est celle que l'on peut relever en courant continu ou à basse fréquence. Le flow de conception commence par trouver les principaux paramètres de la technologie utilisée, spécialement K_N , V_{THN} et λ_N pour le MOS a canal N et K_P , V_{THP} et λ_P pour le MOS a canal P. Habituellement, ces paramètres sont donnés par le fournisseur de technologie; Malheureusement, ce n'est pas le cas, pour la technologie utilisée. La simulation d'un seul transistor a canal N ou a canal P, nous permet de trouver ces paramètres. En balayant à la fois V_{DS} et V_{GS} et traçant les variations du courant de drain I_D , avec la manipulation des équations ci-dessous on peut obtenir les paramètres qui caractérisent cette technologie.

$$I_D = f(V_{DS}, V_{GS}) + \begin{cases} 0 & V_{DS} \leq V_{TH} \\ K \frac{W}{L} \left(V_{GS} - V_{TH} - \frac{V_{DS}}{2} \right) V_{DS} & V_{DS} \leq V_{GS} - V_{TH} \\ K \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}) & V_{DS} \geq V_{GS} - V_{TH} \end{cases} \quad (3.1)$$

Où K est un paramètre dépendant de la technologie utilisée.

$$K = \frac{1}{2} \mu C_{ox} \quad (3.2)$$

Avec

μ : la mobilité.

C_{ox} : capacité grille-substrat par unité de surface

Le tableau 3.2 résume les paramètres de la technologie (données par le fondateur) et les résultats obtenus par les simulations.

T_{oxn}, T_{oxp}	2.81(nm)
ϵ_{ox}	$0.35 * 10^{-10}$ (F/m)
μ_{on}	61.72(m)
μ_{op}	14.19 (m)
V_{Thn} model	-0.3(V)
V_{Thp} model	0.37 (V)
K_n model	$75 * 10^{-5}$ ($\mu A / V^2$)
K_p model	$17.5 * 10^{-6}$ ($\mu A / V^2$)
λ_n	0.12 (V^{-1})
λ_p	0.065 (V^{-1})

Tableau 3.2 : les paramètres de la technologie 0.13 μm TSMC'S CMOS

III.2.3. Conception de l'inverseur

Un inverseur CMOS est constitué de deux transistors MOS complémentaires : Un transistor NMOS, et Un transistor PMOS (figure 3.1).

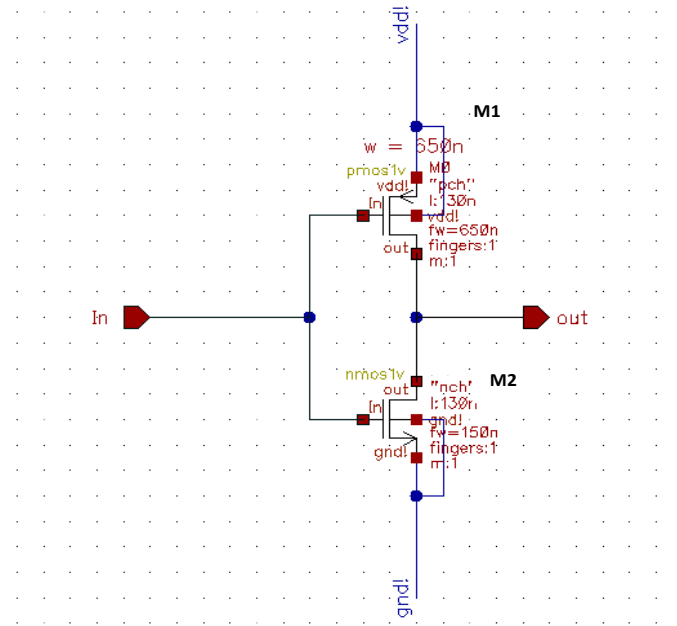


Figure 3.1 : Schéma de l'inverseur.

- Si la tension dans **In** est égale à 1 ($v_{dd}=1.8\text{ V}$), le NMOS (M2) devient conducteur et le PMOS (M1) se bloque, la sortie est alors à 0 ($gnd = 0\text{ V}$).
- Si la tension dans **In** est égale à 0 ($gnd=0\text{ V}$), (M2) se bloque et (M1) devient conducteur, et la sortie passe à 1 ($v_{dd}=1.8\text{ V}$).

Optimisation de l'inverseur

A fin de déterminer la largeur du transistor PMOS **W** pour la quelle la tension d'entrée **In** et la tension de sortie **out** soient égales à $V_{dd}/2$ (inverseur équilibré), nous avons utilisé le circuit de test (testbench) de la figure 3.2.

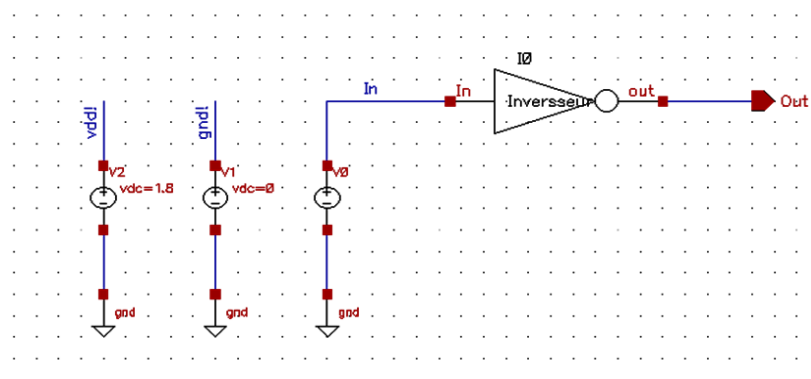


Figure 3.2 : Circuit de simulation de la caractéristique statique $V_{out}(V_{in})$ de l'inverseur.

Une simulation DC a été faite en injectant en **In** un signal variant de 0 à 1.8 V et en utilisant plusieurs valeurs de la largeur **W** du transistor PMOS [400n-700n] (figure 3.3). L'inverseur sera alimenté par une tension continue de 1.8 V.

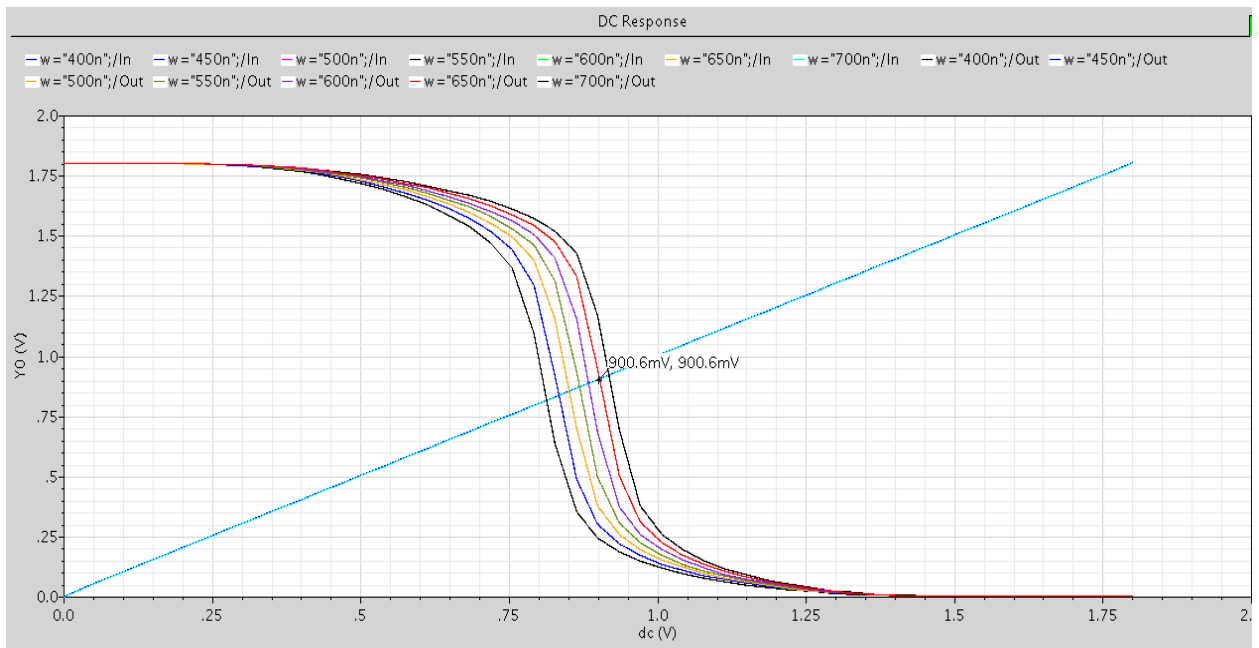


Figure 3.3 : La caractéristique de transfert $V_{out}(V_{in})$ de l'inverseur.

Les dimensions **W** et **L** des transistors obtenues pour notre inverseur sont présentés dans le tableau 3.3.

Paramètre	Type de transistor	L (μm)	W (μm)
M1	PMOS	0.13	0.65
M2	NMOS	0.13	0.15

Tableau 3.3 : Les dimensions des W et L de l'inverseur en μm .

III.2.4. Conception de porte NAND

La porte NAND est constitué de quatre transistors dont deux nMOS et deux pMOS. On associe deux P en parallèle avec deux N en série (figure 3.4 (a)).

De la même manière que l'inverseur, un circuit pour, optimiser les dimensions **W** et **L**, des transistors a été réalisé et simulé (figure 3.4 (b)).

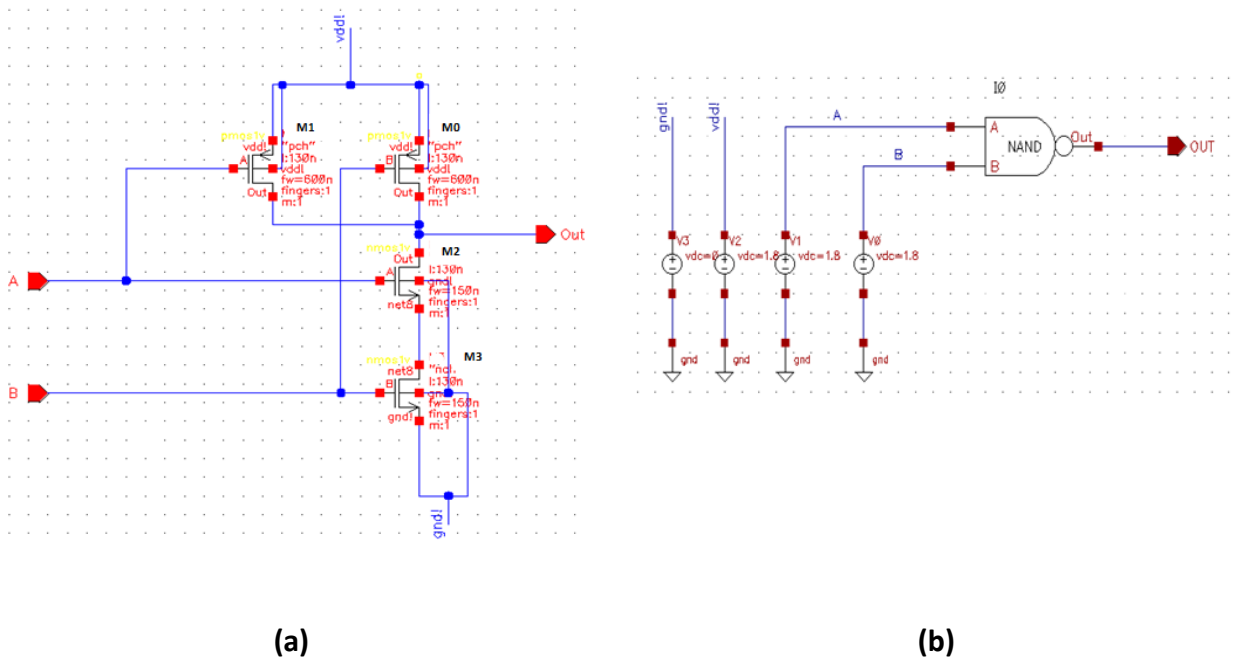


Figure 3.4 : (a) Schéma de la porte NAND. (b) circuit de test de la porte NAND.

Les dimensions obtenues pour que la porte NAND soit équilibré sont présentés dans le tableau 3.3.

Paramètre	Type de transistor	L (μm)	W (μm)
M0 et M1	PMOS	0.13 μm	0.6 μm
M2 et M3	NMOS	0.13 μm	0.15 μm

Tableau 3.4 : Les dimensions des W et L de porte NAND en μm .

III.2.5. Conception de buffer :

Un buffer est un circuit électronique destiné à isoler deux parties de circuit de telle sorte qu'une modification des caractéristiques électriques de l'une n'affecte pas l'autre, Un buffer préserve la forme du signal. Il réalise l'adaptation d'impédance entre les circuits, il est composé de deux inverseurs en série, comme le montre la figure 3.5 (a).

Le circuit de la figure 3.6 (b) est utilisé pour obtenir la caractéristique V_{out} (V_{in}) du buffer.

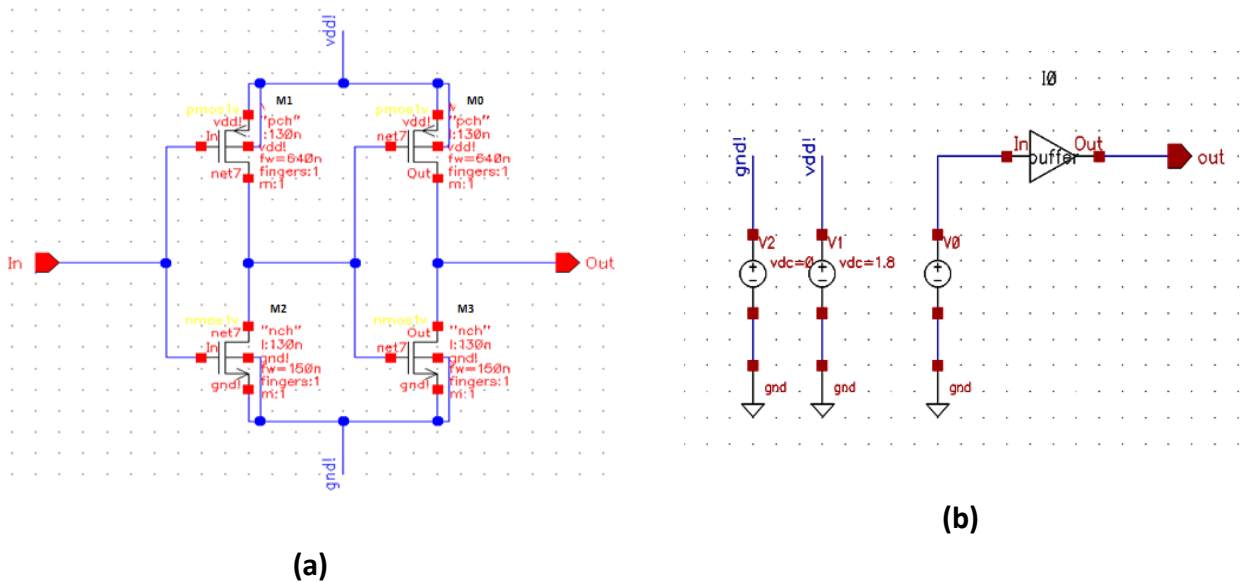


Figure 3.5 : (a) Schéma de buffer. (b) circuit de simulation du buffer.

Le résultat de la simulation sont présentés dans figure 3.6 :

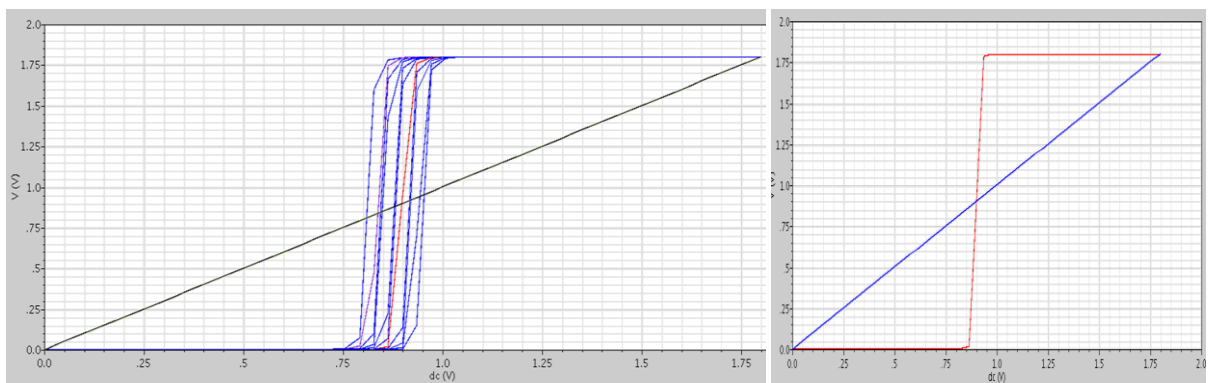


Figure 3.6 : La caractéristique de transfert $V_{out}(V_{in})$ du buffer.

Les dimensions W et L des transistors de buffer sont présentés dans le tableau 3.5 :

Paramètre	Type de transistor	L (μm)	W (μm)
M0, M1	PMOS	0.13 μm	0.64 μm
M2, M3	NMOS	0.13 μm	0.15 μm

Tableau 3.5 : Les dimensions des W et L de buffer en μm .

III.2.6. Conception de la Bascule

La bascule RS peut être réalisée avec deux portes NAND connectées comme l'indique la figure ci-dessous.

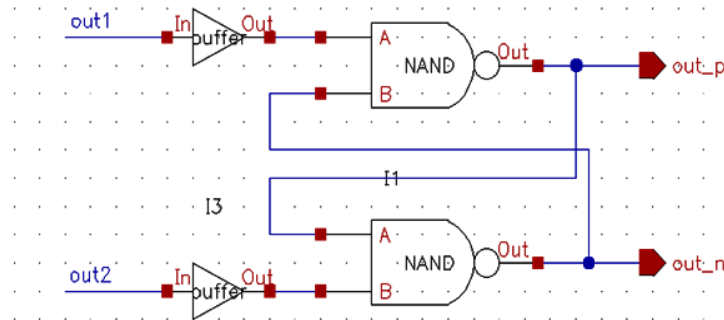


Figure 3.7: Bascule RS à portes NAND.

En utilisant le circuit de la figure 3.8 pour obtenir la table de vérité de la bascule, le résultat de la simulation sont présentés dans figure 3.9.

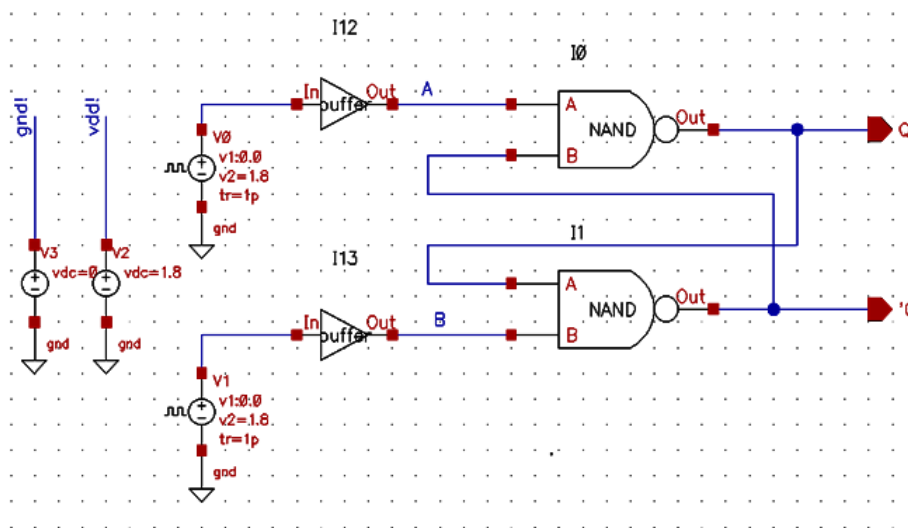


Figure 3.8 : Circuit de simulation de la bascule.

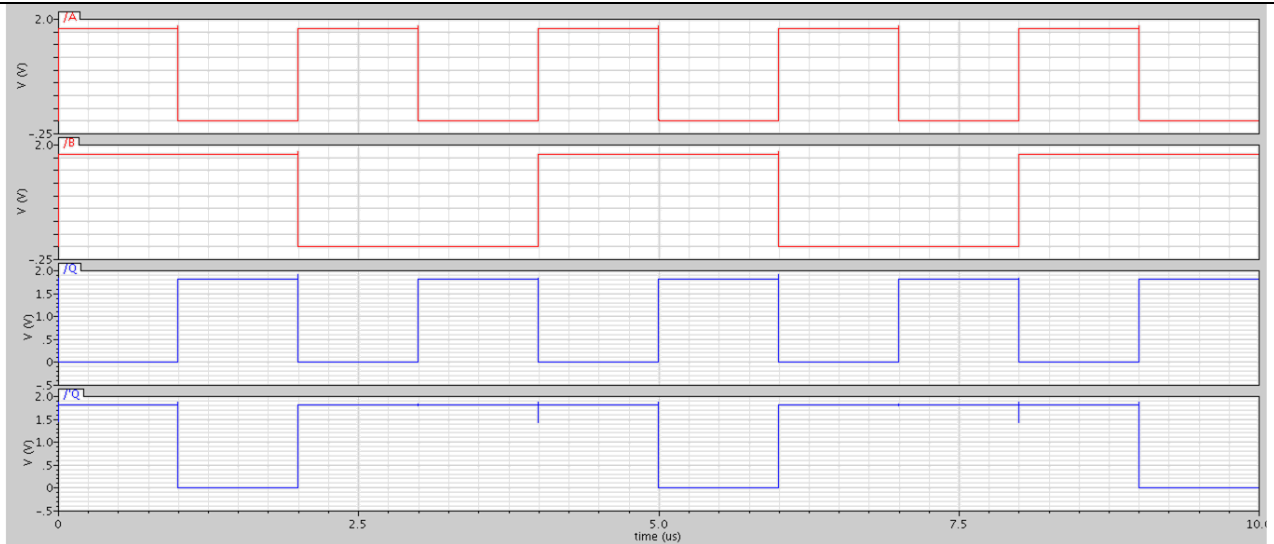


Figure 3.9: organigramme de la bascule.

A partir du résultat de simulation figure 3.9 on obtient la table de vérité suivante :

A	B	Q	'Q	Remarque
0	0	q	'q	Mémoire
0	1	0	1	mise à 0
1	0	1	0	mise à 1
1	1	0	0	état interdit

Table 3.6 : Table de vérité de la bascule RS

III.2.7. Conception de l'amplificateur opérationnel

Pour l'amplificateur opérationnel on a choisi une architecture d'un amplificateur transconductance (OTA : Opérationnel Transconductance Amplifier) simple à deux étage. Se chois est fait a cause des caractéristiques de ce dernier qui sont : Un bon gain en tension, résistance de sortie plus élevée.

Cet amplificateur est composé d'un étage différentiel d'entrée (M1 et M2) polarisé par un miroir de courant (M3–M4). L'étage de sortie est un étage amplificateur à charge NMOS (M5 et M6) polarisé par le transistor (M8). La capacité et la résistance permettent la compensation de l'amplificateur pour ajuster sa marge de phase.

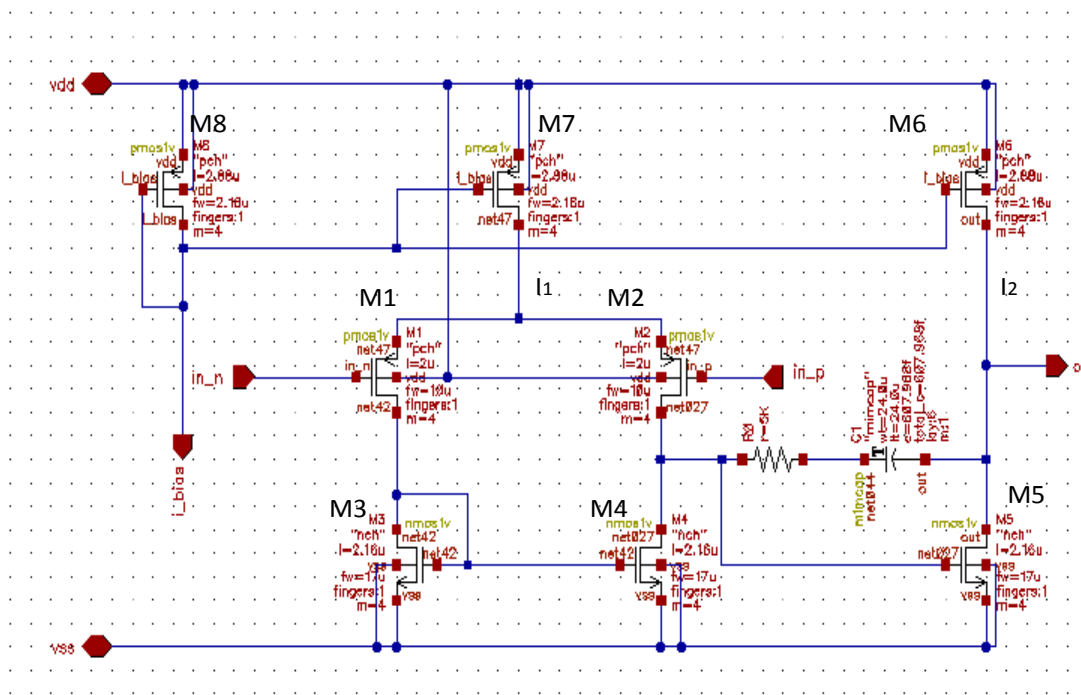


Figure 3.10 : Schéma de principe de l’amplificateur opérationnel.

On désire réaliser un OTA Miller dont les caractéristiques sont :

- **Av > 60 dB**, $20 \cdot \log(2^N - 1)$ ou **N** est la résolution de notre convertisseur (10 bits)
- **GBW ≥ 1MHz**, 1MHz la vitesse à laquelle fonctionne notre convertisseur.
- **Pm ≥ 65°**, pour avoir un amplificateur stable.

Av : le gain en boucle ouverte

GBW : la bande passante

Pm : la marge de phase

Le jeu d’équation, de notre amplificateur OTA est donné par : [24]

- **GBW**

$$GBW = \frac{g_{m1}}{2 \times \pi \times C_c} \tag{3.3}$$

Avec :

$$g_{m1} = \sqrt{K_n \cdot \frac{W_1}{L_1} I_{D1}} \tag{3.4}$$

- **Av**

$$A_{V0} = A_{V1}A_{V2} = \frac{g_{m1}}{g_{ds1}+g_{ds3}} \frac{g_{m6}}{g_{ds7}+g_{ds6}} \quad (3.5)$$

$$A_{V0} = \frac{\sqrt{KP_n \cdot \frac{W_1}{L_1} \cdot I_5}}{\frac{I_5}{2} \left(\frac{1}{V_{E_n L_1}} + \frac{1}{V_{E_p L_3}} \right)} \frac{\sqrt{2 \cdot KP_p \cdot \frac{W_p}{L_p} \cdot I_n}}{\frac{I_n}{2} \left(\frac{1}{V_{E_n L_n}} + \frac{1}{V_{E_p L_p}} \right)} \quad (3.6)$$

- **Pm**

$$PM = 180^\circ - \arctg\left(\frac{GBW}{f_1}\right) - \arctg\left(\frac{GBW}{f_2}\right) \quad (3.7)$$

Avec :

$$f_1 = \frac{gm_5}{2 \times \pi \times c_c}$$

$$f_2 = \frac{gm_5}{2 \times \pi \times c_L}$$

Donc :

$$PM = 180^\circ - \arctg\left(\frac{gm_1}{gm_5}\right) - \arctg\left(\frac{gm_1 \times c_c}{gm_5 \times c_L}\right) \quad (3.8)$$

Après la résolution du système d'équations on peut estimer les valeurs de W et L des transistors.

Les dimensions **W** et **L** des transistors de l'amplificateur sont présentés dans le tableau 3.7.

Paramètre	Composant	L (µm)	W (µm)
(M1, M2)	PMOS	2 µm	10*10 µm
(M3, M4, M5)	NMOS	2.16 µm	17*4 µm
(M6, M7, M8)	PMOS	2.16 µm	2.88*4 µm
Cc (F)	Condensateur	607.968 f	
R (Ohm)	Résistance	5 k	

Tableau 3.7 : Les dimensions des W et L de l'amplificateur opérationnel en µm.

Les diagrammes, de gain et de phase, de l'AOP peuvent être obtenus en utilisant le circuit de test de la figure 3.11.

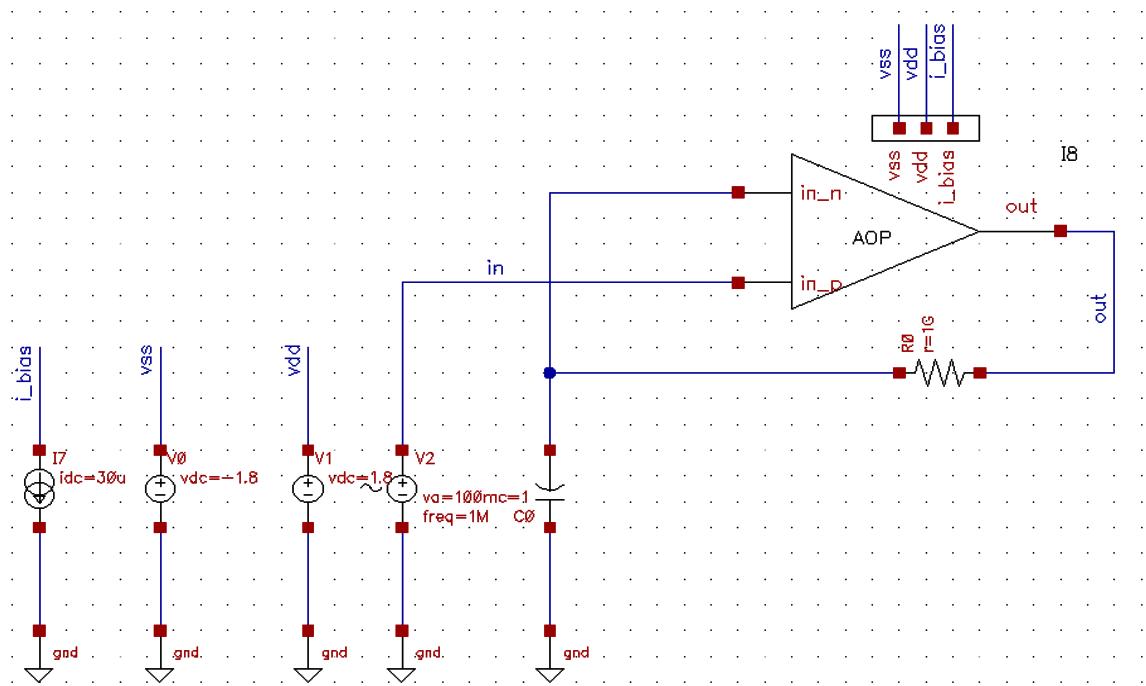


Figure 3.11 : Circuit de simulation de gain et de la phase de l'AOP.

Les courbes de gain et de phase sont présentés dans la figure 3.12 Le gain $A_v = 89.15$ dB, $PM = 68.26^\circ$, $GBW = 47.69$ M, ce qui signifie, un bon gain et une bonne stabilité de l'AOP.

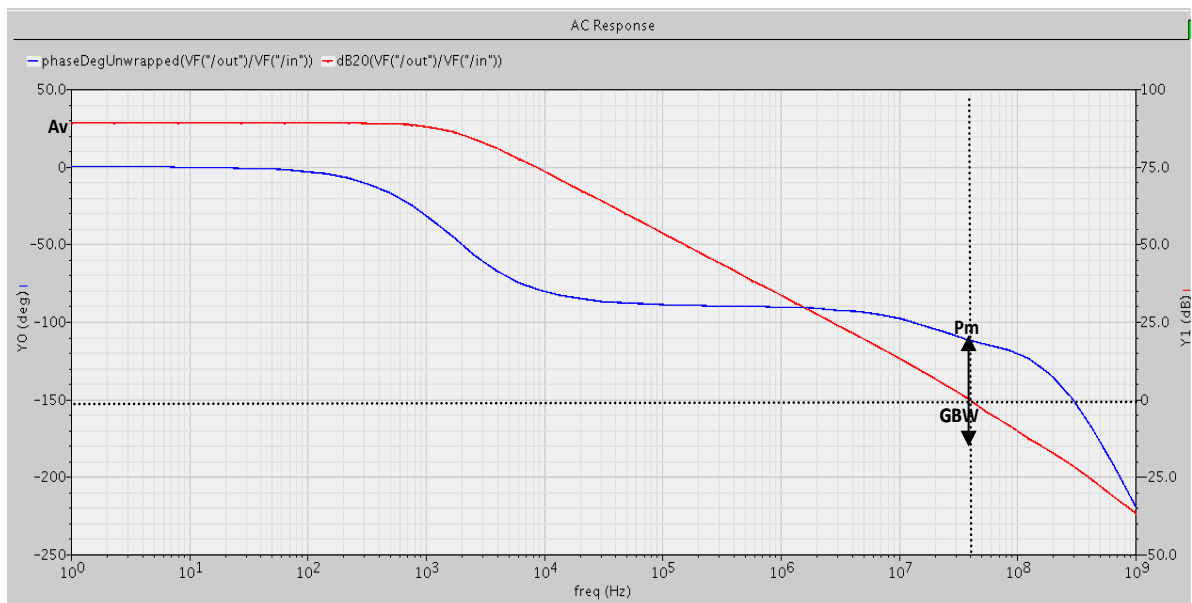


Figure 3.12 : Réponse de l'OTA en gain et phase.

III.2.8. Le comparateur dynamique

Un comparateur est un composant qui pour une différence de tension donnée entre ses deux entrées va fournir une tension logique égale à « 1 » ou « 0 ».

Le schéma électrique simplifié d'un comparateur dynamique est illustré sur la figure 3.13.

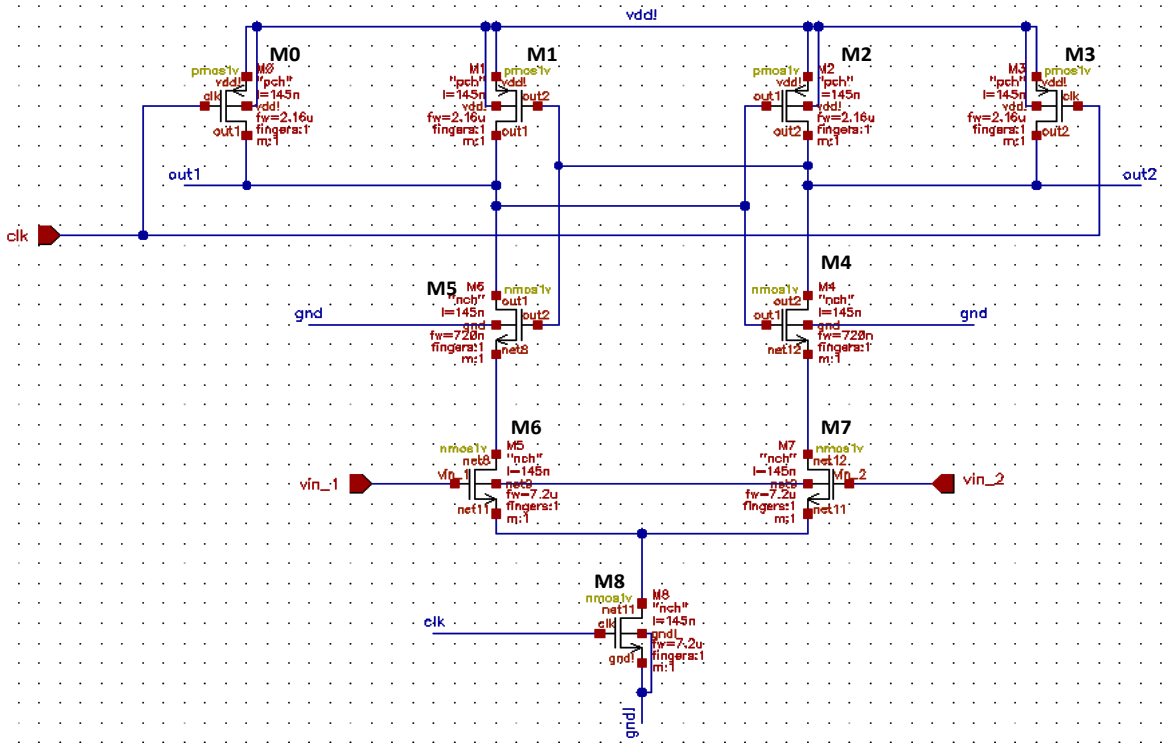


Figure 3.13 : Schéma électrique simplifié du comparateur dynamique.

Le fonctionnement du comparateur est le suivant : Lorsque le signal « clk » est à l'état bas (0 V) les transistors M6 et M9 sont actifs. Les sorties « out_1 » et « out_2 » sont à l'état haut (VDD). De plus, le transistor M3 est bloqué ; le comparateur est dans sa phase de repos. Au front montant de « clk », M3 passe dans sa zone active et les transistors M6 et M9 sont bloqués. Un déséquilibre est présent au niveau de la bascule composé par les transistors M5-M7 d'une part et M4-M8 d'autre part ceci entraîne le basculement de l'une des deux sorties en fonction de l'état du signal d'entrée (in_1) par rapport aux seuils de référence (in_2).

Pour réaliser un comparateur qui a pour rôle de comparer la tension de sortie de l'intégrateur avec une tension de référence interne, on a utilisé le schéma dans la figure 3.15. Les dimensions W et L des transistors de comparateur sont présentées dans le tableau 3.8.

Paramètre	Type de transistor	L (μm)	W (μm)
M0, M1, M2 et M3	PMOS	0.145 μm	2.16 μm
M4 et M6	NMOS	0.145 μm	0.72 μm
M5, M7 et M8	NMOS	0.145 μm	7.2 μm

Tableau 3.8 : Les dimensions des W et L de comparateur en μm .

Après réalisation du circuit de simulation de notre comparateur figure 3.14, la première opération consiste à spécifier au simulateur quel type de simulation, on a choisi un type de simulation **transitoire**, le signal de sortie out-n, out-p et le signal d'entrée Vin-1, Vin-2 dans notre cas la tension d'alimentation est de 1.8 V. Les résultats obtenus sont présentés dans figure 3.15.

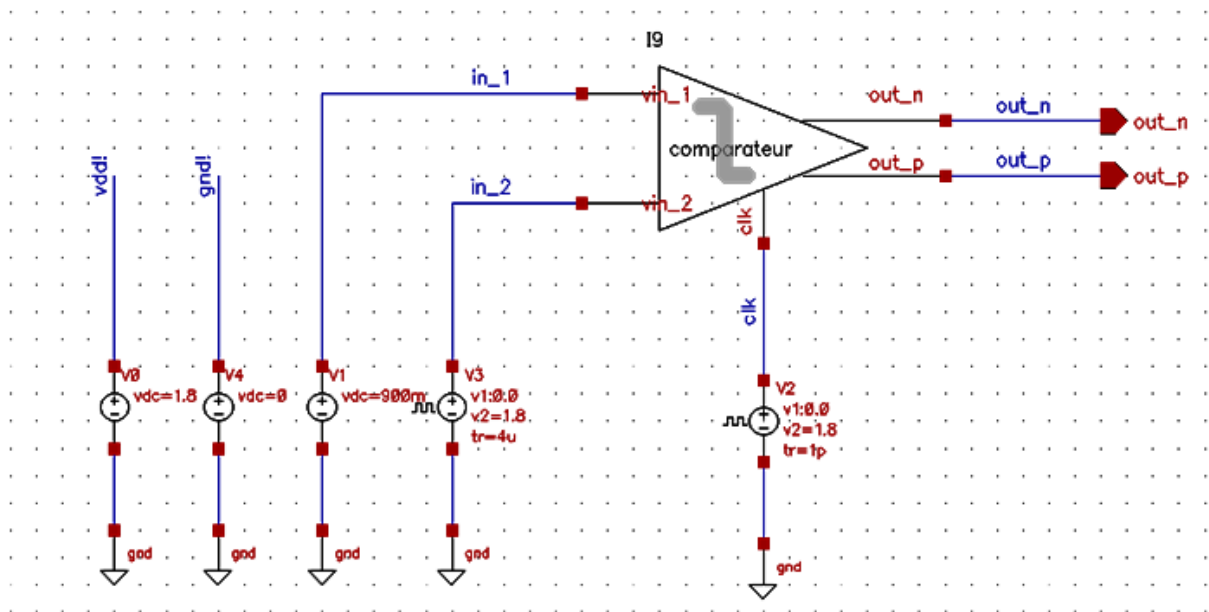


Figure 3.14 : Circuit de simulation de comparateur.

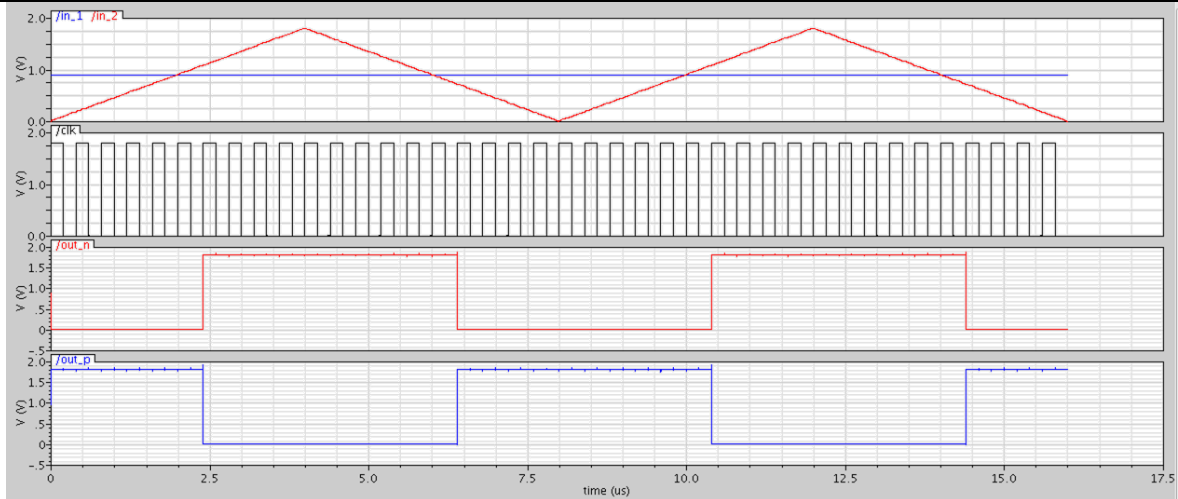


Figure 3.15 : résultat de la simulation in-1 ; in-2 ; clk ; out-n ; out-p.

La figure 3.15 montre le résultat de comparaison d'un signal d'entrée triangulaire in_2 et un signal de référence constant de 0.9 V. On constat que dans le cas ou In_2 est supérieur au signal de référence on a une valeur de 1 a la sortie du comparateur et dès que la valeur du In_2 soit inferieure a celle de la référence le basculement de la sortie du comparateur (1 vers 0) n'aura lieu qu'avec le front montant d'horloge. Dans le cas inverse (I_in soit inferieure à la tension de référence) un basculement de (0 vers 1) aura lieu avec le front d'horloge.

III.2.9. Conception du convertisseur tension-courant

Le modulateur sigma delta se compose de deux convertisseurs tension courant l'un pour la tension de d'entrée et l'autre pour la tension de référence.

Pour faire la conversion tension courant on a utilisé le montage de base de la conversion tension courant illustrer par la figure 3.16 :

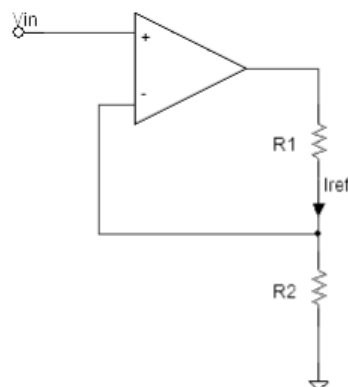


Figure 3.16 : Schéma de principe d'un convertisseur tension courant.

Dans le but de convertir une tension d'entrée à un courant de sortie proportionnel à l'entrée. Les performances du circuit convertisseur tension courant dépend souvent de l'amplificateur c'est pourquoi son architecture doit être choisie très soigneusement. Pour faire un bon convertisseur tension courant il nous faut un miroir de courant, une configuration de circuit miroir améliorée conçue pour fournir une source de courant ou un évier plus constant. Il fournit une entrée beaucoup plus précise pour le gain de courant de sortie. On place le miroir de courant avec l'amplificateur opérationnelle, la structure de notre convertisseur tension courant est représentée sur la figure 3.17 les démontions W et L des transistors sont présentés dans le tableau 3.9.

Paramètre	Type de transistor	L (μm)	W (μm)
M0	PMOS	7.2 μm	0.72 μm
M1& M2	PMOS	0.430 μm	14.4 μm
M3& M4	PMOS	2.16 μm	7.2 μm
M5	NMOS	0.575 μm	14.4 μm

Tableau 3.9 : Les dimensions des W et L du convertisseur tension courant en μm.

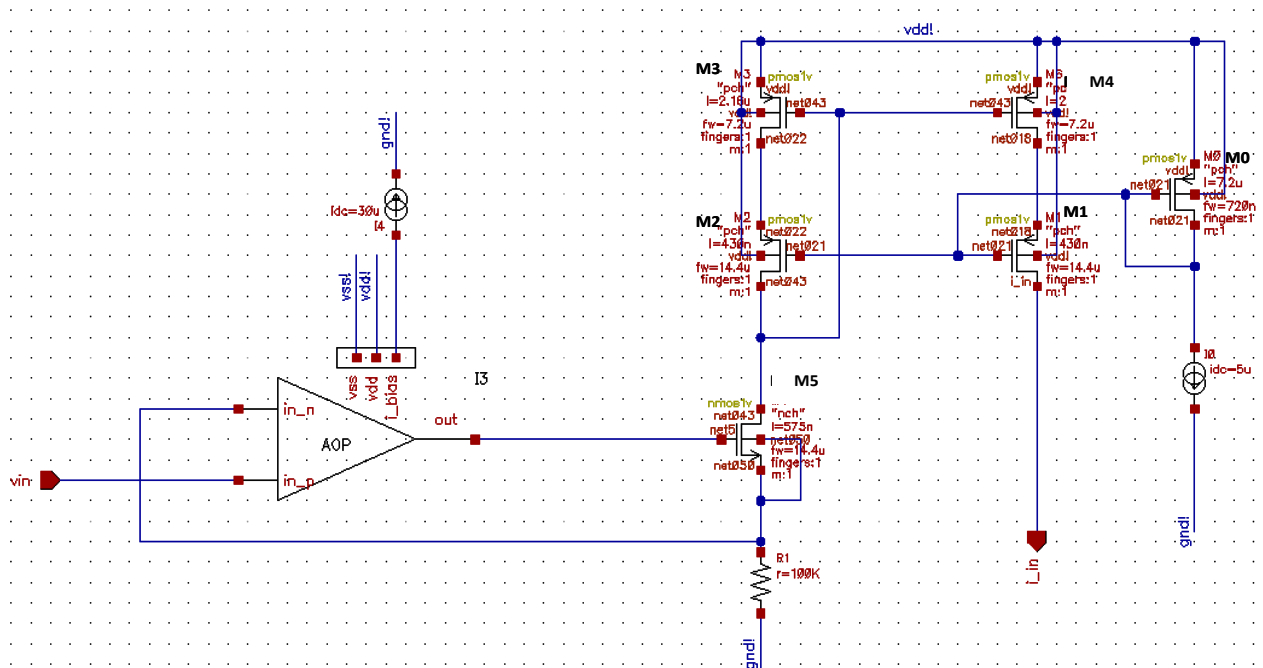


Figure 3.17 : Schéma global du convertisseur tension-courant.

On va maintenant faire une simulation pour voir le comportement du convertisseur tension courant en utilisant le circuit de la figure 3.18.

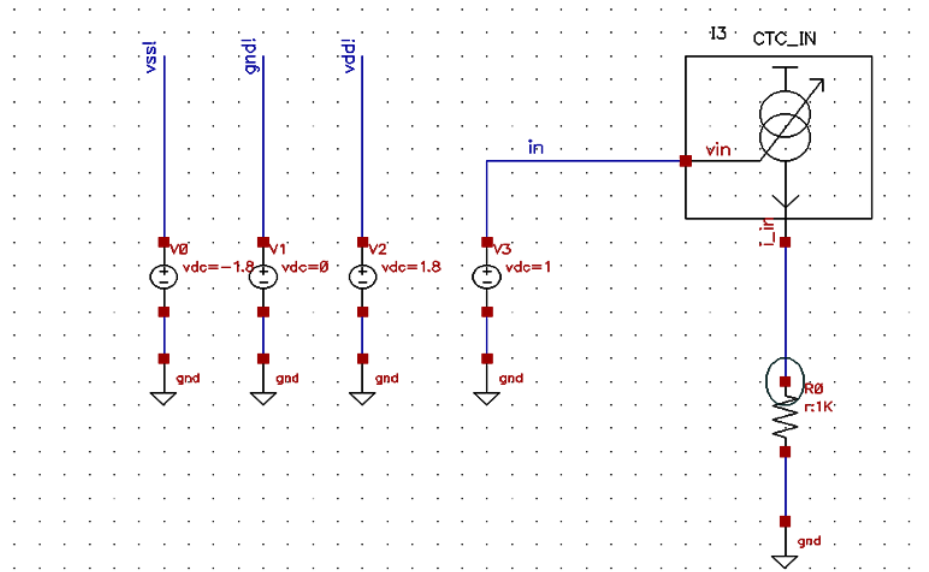
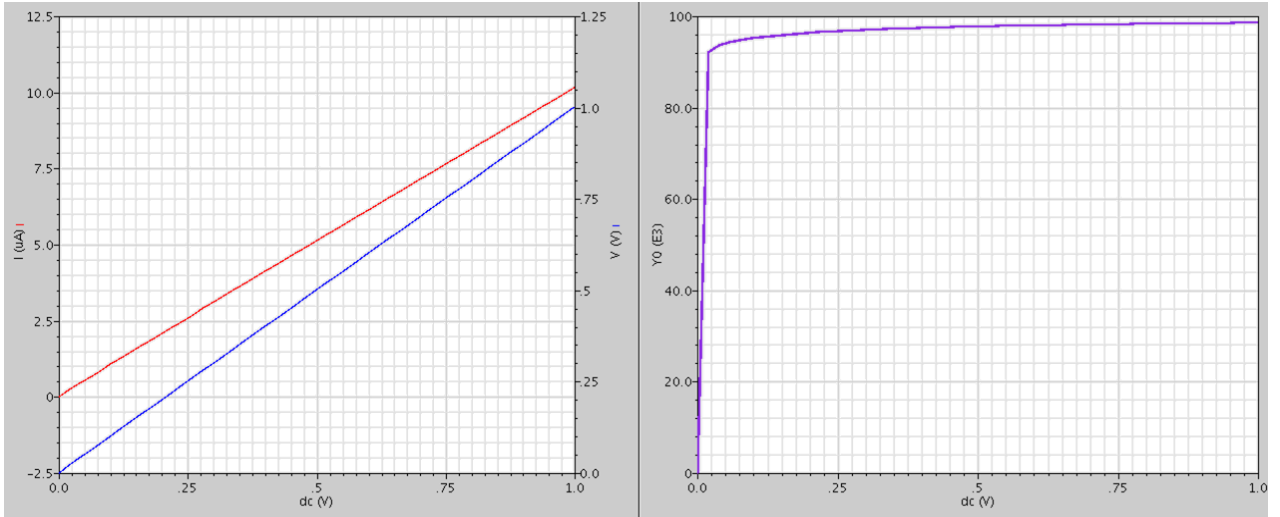


Figure 3.18 : Circuit de simulation du convertisseur tension-courant.

La simulation consiste à fixer la tension d'alimentation à 1.8 V et on va varier la tension d'entrée de 0 V à 1.8 V se qui nous donne le résultat illustré par la figure suivante.



(a)

(b)

Figure 3.19 : **(a)** Le courant de sortie en fonction de la tension d'entrée **(b)** le rapport de linéarité.

On remarque qu'il y a un rapport quasiment constant entre la tension d'entrée du convertisseur tension-courant et le courant de sortie figure 3.19.

Chapitre 4 : Présentation du convertisseur conçu

IV.1. Introduction

Le CAN $\Sigma\Delta$ est constitué d'un modulateur sigma-delta et d'un filtre à décimation.

Principe de fonctionnement du Modulateur sigma-delta :

Ce modulateur est constitué d'un intégrateur (condensateur), comparateur, deux convertisseurs de tension-courant et du commutateur analogique 'S', commandé par la sortie du comparateur déclenchée par l'horloge 'clk'.

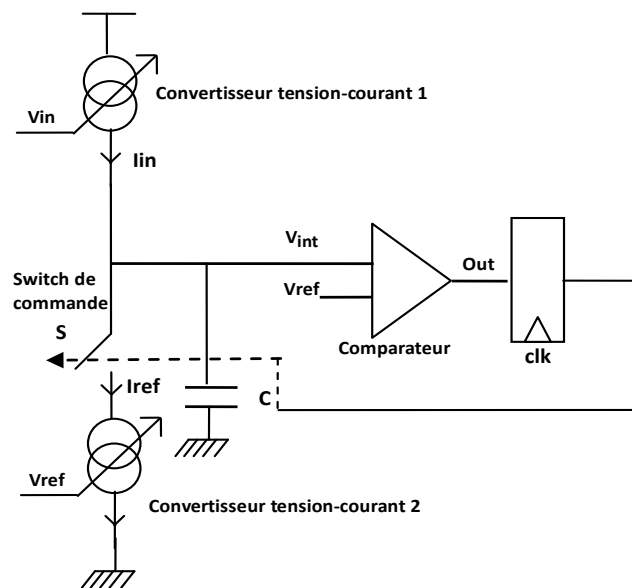


Figure 4.1: Modulateur sigma-delta

Le signal d'entrée V_{in} converti en un courant I_{in} charge le condensateur C . Si la tension aux bornes du condensateur atteint la valeur ' V_{ref} ', le condensateur est déchargé par le courant ' I_{ref} ' à travers le Switch ' S '. En effet, une forme d'onde triangulaire est générée (figure 4.2), où la différence entre les nombres de haut (1) et des bas (0) des impulsions est proportionnelle au rapport entre la tension d'entrée et la tension de référence. L'utilisation de deux convertisseurs tension-courant identiques donnent une grande précision de mise en correspondance entre les courants de charge et de décharge et d'assurer une bonne linéarité de l'ADC sur la gamme de température et de variation de la tension d'alimentation.

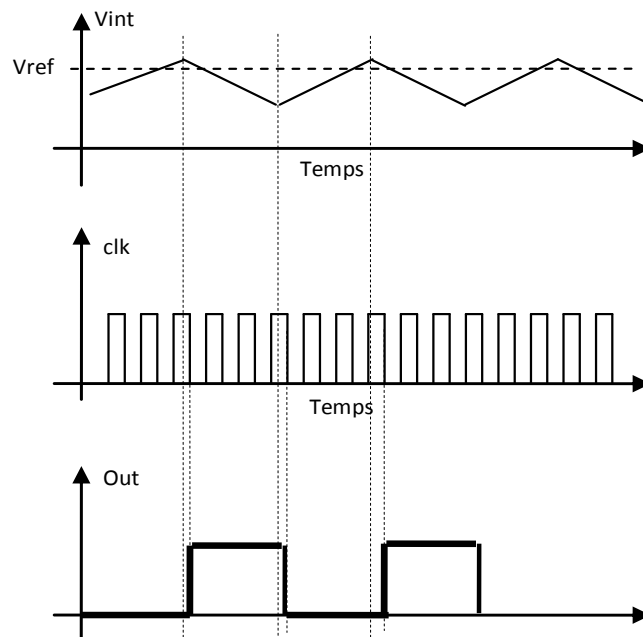


Figure 4.2 : modulateur Sigma Delta en temps continu.

IV.2. Résultats de simulation

Après avoir fait la conception des différents blocs de base (chapitre 3) en passe maintenant au circuit de notre modulateur Sigma Delta global, la figure suivante illustre le schéma global.

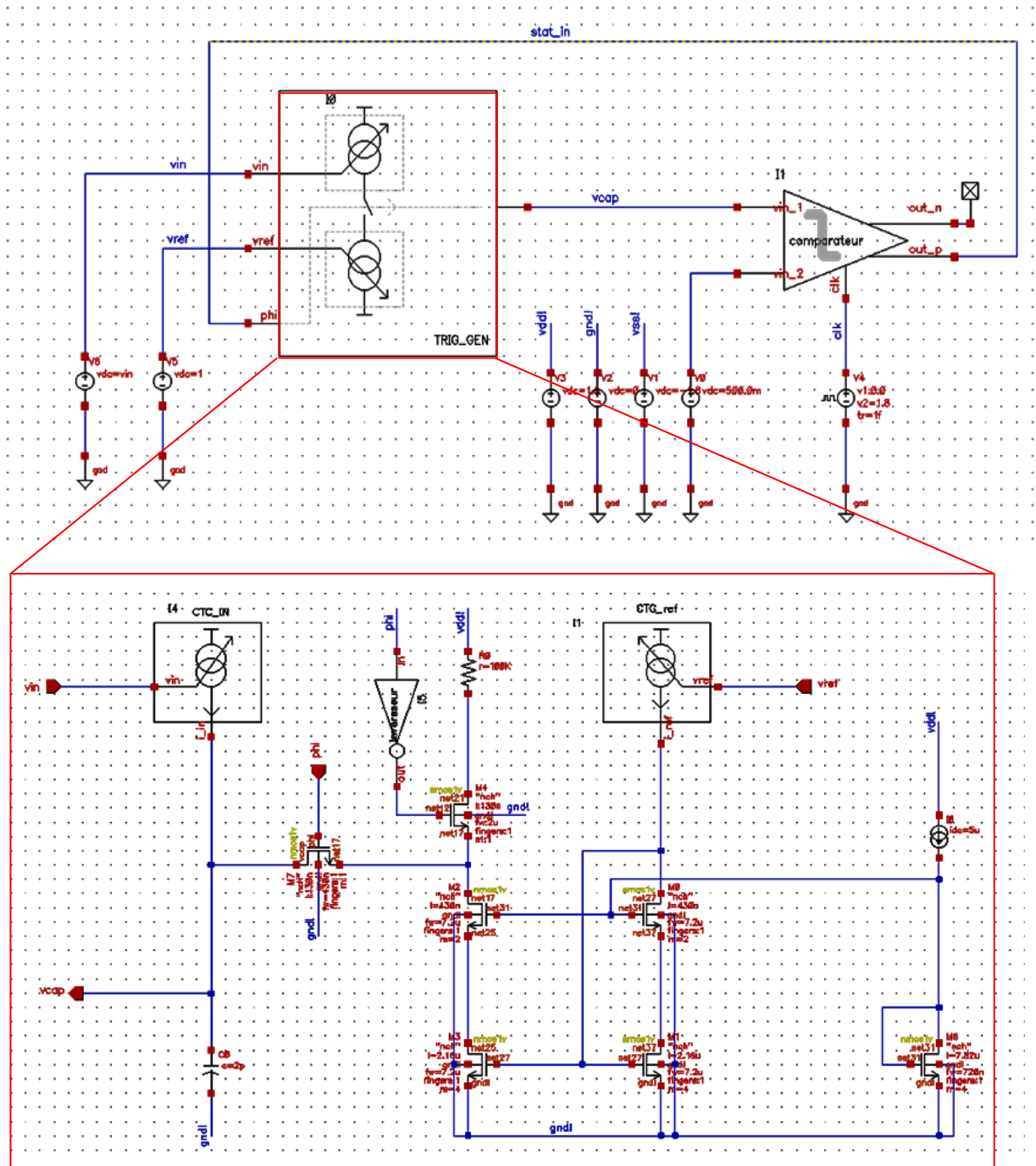


Figure 4.3 : Schéma global du modulateur Sigma Delta.

On va maintenant voir les résultats de simulation de notre circuit :

Les simulations seront faites pour une tension d'alimentation de 1.8V et différentes valeurs de la tension d'entrée **V_{in}** (100mV, 500mV, 900mV), une période d'horloge du système de 100 ns, une tension de référence **V_{ref}** de 500mV, et une simulation transitoire d'une durée de 5µs. Pour voir l'impacte du signal de entrée **V_{in}** sur le signal triangulaire aux bornes du condensateur **V_{cap}** et le signal de sortie du comparateur **V_{stat_in}** comme le montre la fenêtre de dialogue suivante :

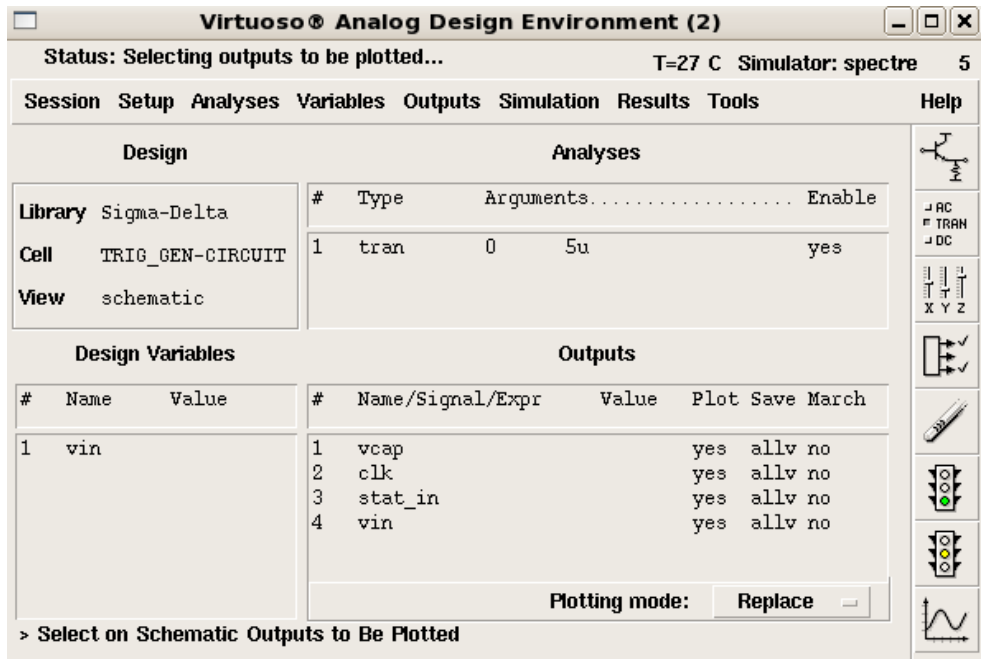


Figure 4.4 : Fenêtre de dialogue pour la configuration de la simulation.

Les résultats de la simulation sont les suivants :

- 1. pour Vin 100 mV :

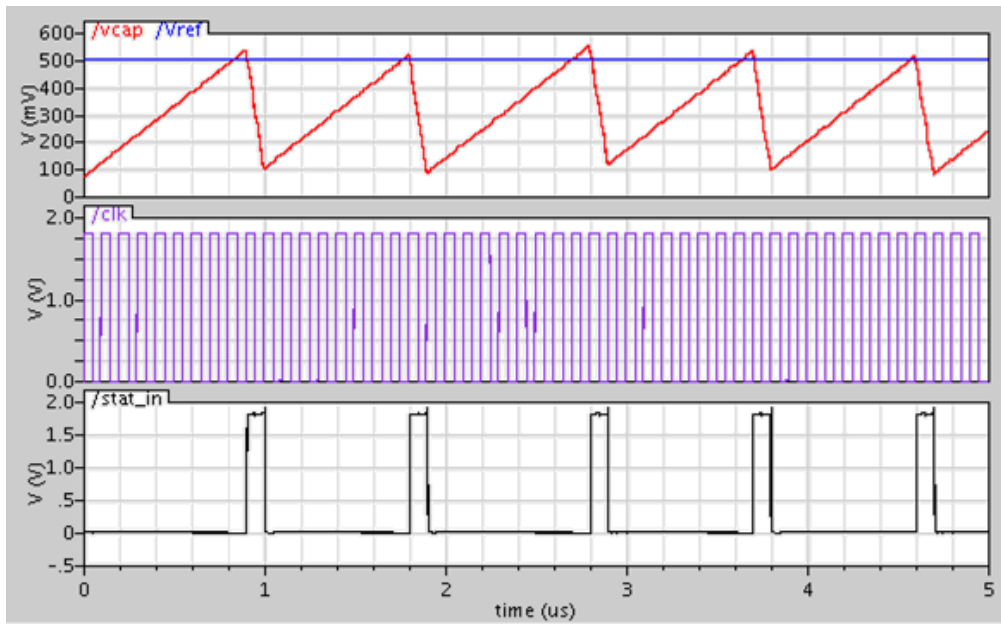


Figure 4.6 : Signaux Vref, Vcap, clk, Vstat_in pour Vin 100 mV.

- 2. pour V_{in} 500 mV :

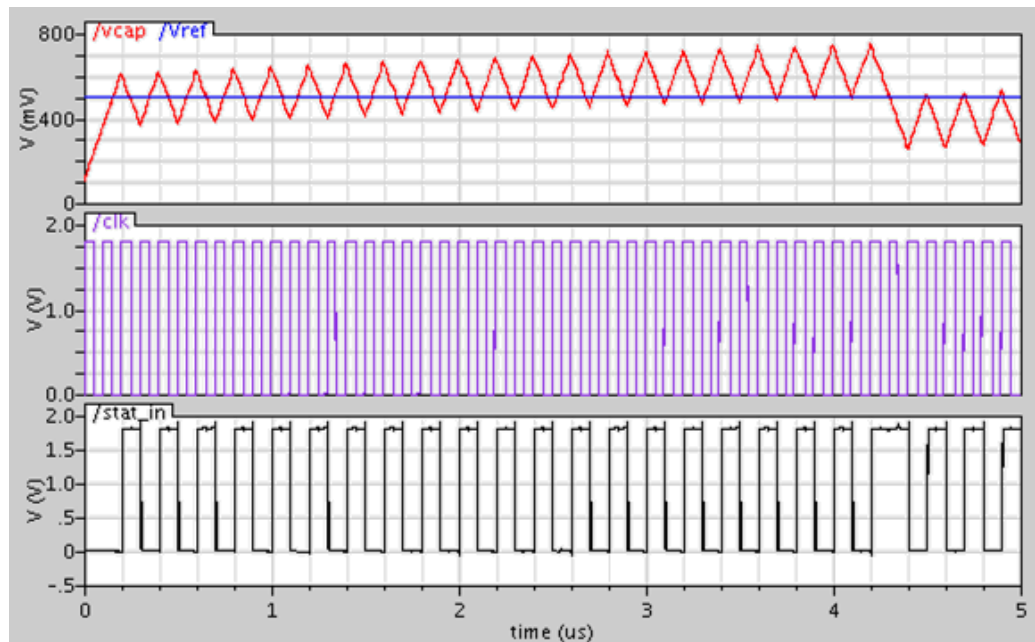


Figure 4.7 : Signaux V_{ref} , V_{cap} , clk , V_{stat_in} pour V_{in} 500 mV.

- 3. pour V_{in} 900 mV :

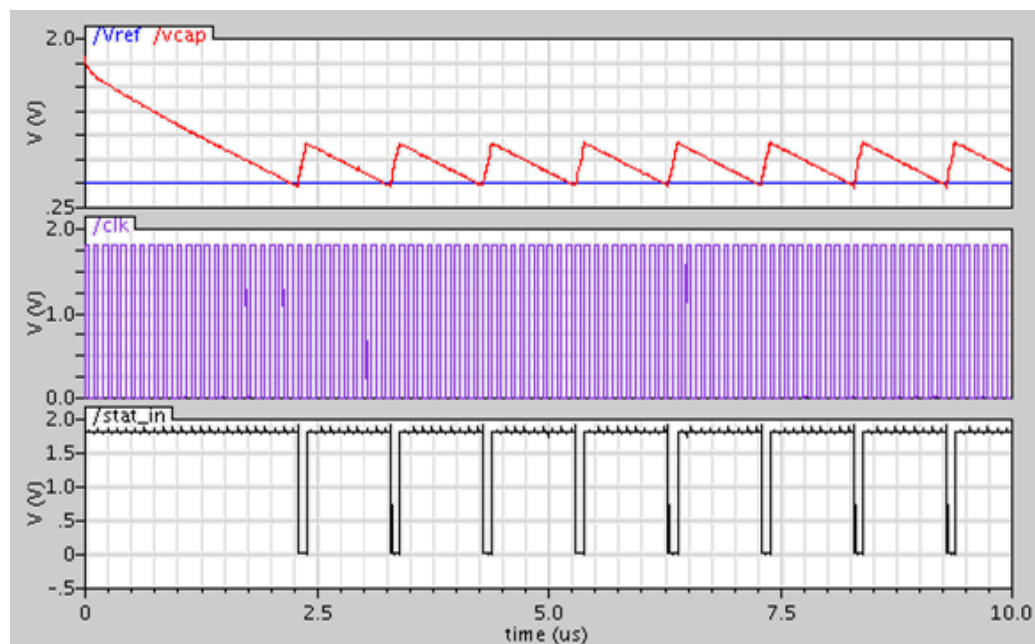


Figure 4.8 : Signaux V_{ref} , V_{cap} , clk , V_{stat_in} pour V_{in} 900 mV.

En termes simplifiés, le flux de 1-bit (bitstream) est accumulé sur (N) cycles d'horloge donne une valeur décimée qui est la valeur moyenne du flux de bits issus du modulateur comme le montre la figures 4.6, 4.7 et 4.8. Ce bitstream est filtré numériquement pour obtenir une représentation de N bits de l'entrée analogique (figure 4.10).

IV.3. Fonctionnement du filtre numérique

On associe au modulateur Sigma Delta un filtre numérique décimateur qui a pour objectif de fournir un signal numérique au format désiré et à la fréquence souhaitée. De plus il élimine le bruit hors de la bande passante du signal.

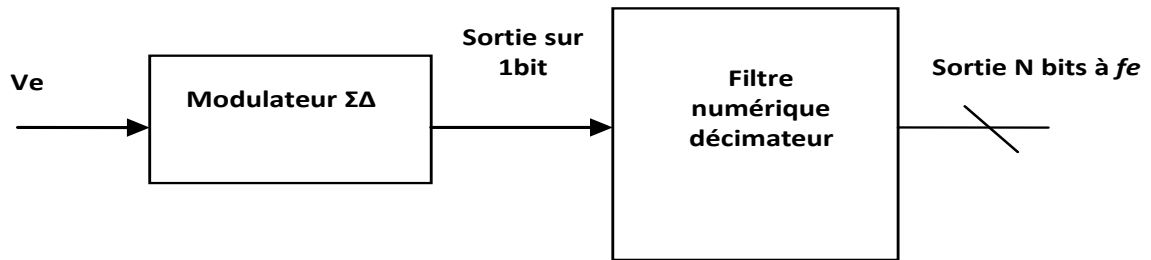


Figure 4.9 : Filtre a décimation [25].

Le filtre décimateur permet de convertir le signal (1bit) a *fin* en un signal code sur N bits a *fe* tout en éliminant le bruit hors de la bande passante du signal. Pour avoir une résolution de N bits, on réalise une décimation par $n = 2^N$, le débit de conversion et la fréquence d'échantillonnage seront divisés par n ; $fe = fin/n$. Exemple : une résolution de 3 bits.

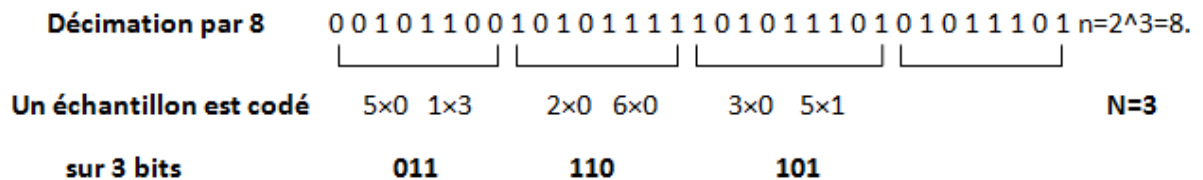


Figure 4.10 : Principe de fonctionnement du filtre numérique.

IV.4. Caractéristiques du convertisseur conçu :

Afin de tester la linéarité de notre convertisseur nous avons simulé notre circuit pour des valeurs du signal d'entrée *Vin* réparties sur une dynamique d'entrée de **1 V** (chaque 50 mV). Pour une durée de simulation de $(2^N \cdot 100ns)$, ou $N = 8$, la résolution de notre convertisseur.

A partir des résultats de simulation nous avons dressé le tableau suivant :

Vin (mV)	N en décimale	N en binaire
0,05	15	00001111
0.1	28	00011100
0.15	40	00101000
0.2	54	00110110
0.25	66	01000010
0.3	79	01001111
0.35	92	01011100
0.4	105	01101001
0.45	117	01110101
0.5	130	10000010
0.55	143	10001111
0.6	155	10011011
0.65	168	10101000
0.7	181	10110101
0.75	194	11000010
0.8	206	11001110
0.85	219	11011011
0.9	232	11101000
0.95	244	11110100

Tableau 4.1 : Résultat de la simulation du convertisseur pour des valeurs de la tension d'entrées réparties sur la dynamique avec un pas de 50mV.

La courbe suivante représente la fonction de transfert du convertisseur :

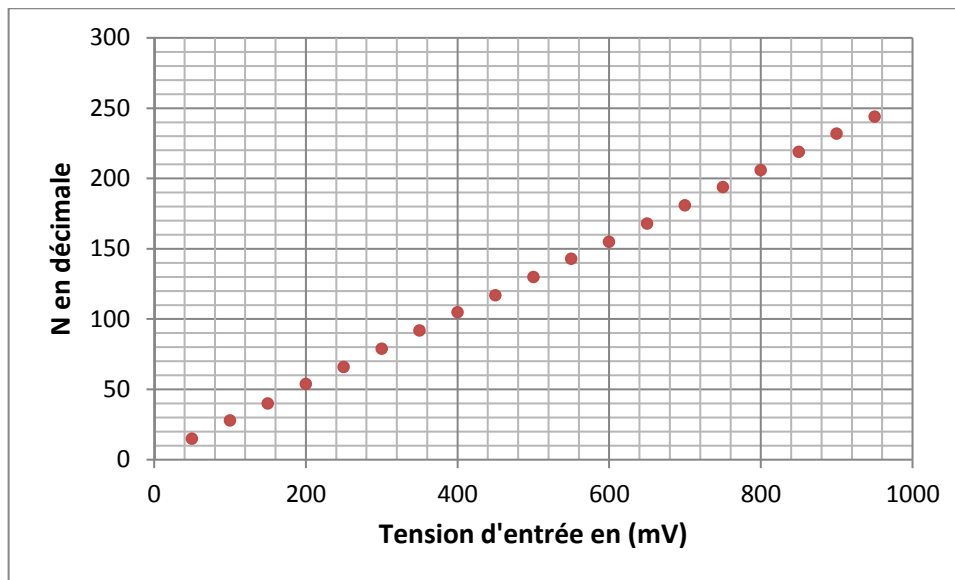


Figure 4.11 : La fonction de transfert du convertisseur conçu.

Détermination de la fonction de transfert idéale (courbe de tendance)

A l'aide d'une interpolation de la fonction de transfert on arrive à déterminer la courbe de tendance dont la fonction est montrée sur la figure 4.11 ($y = 0.2547x + 2.5263$). En utilisant cette dernière on calcul la valeur du convertisseur, pour chaque tension d'entrée, dans le cas idéal. Courbe d'interpolation « Tendance »

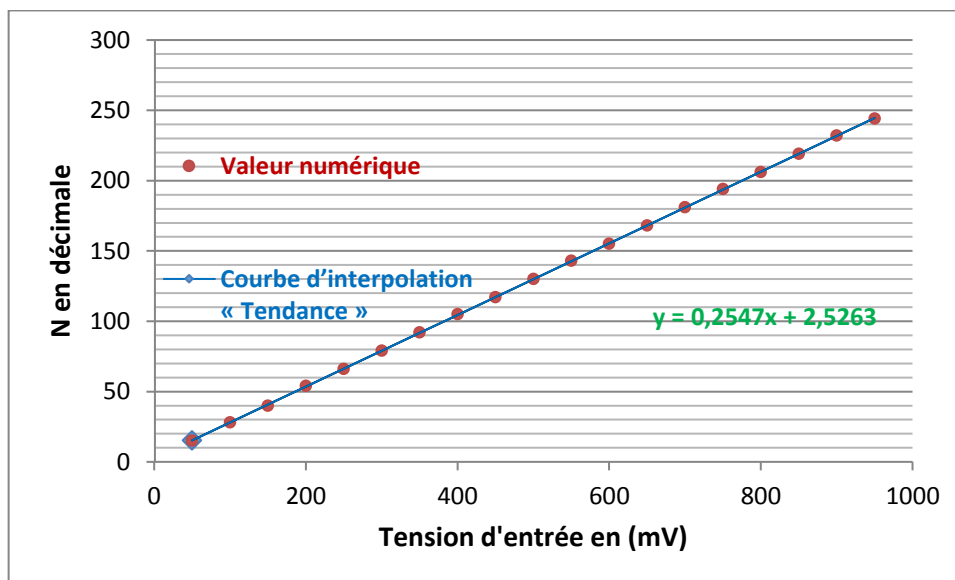


Figure 4.12 : Courbe de fonction de transfert et tendance du CNV.

Vin (V)	Sortie du CNV N en décimal	Tendance	Erreur du convertisseur
50	15	15,2633	-0,2633
100	28	28,0003	-0,0003
150	40	40,7373	-0,7373
200	54	53,4743	0,5257
250	66	66,2113	-0,2113
300	79	78,9483	0,0517
350	92	91,6853	0,3147
400	105	104,4223	0,5777
450	117	117,1593	-0,1593
500	130	129,8963	0,1037
550	143	142,6333	0,3667
600	155	155,3703	-0,3703
650	168	168,1073	-0,1073
700	181	180,8443	0,1557
750	194	193,5813	0,4187
800	206	206,3183	-0,3183
850	219	219,0553	-0,0553
900	232	231,7923	0,2077
950	244	244,5293	-0,5293

Tableau 4.2 : La différence entre le code obtenu et la valeur calculée en utilisant la fonction de la courbe de tendance représente l'erreur de conversion (figure 4.12).

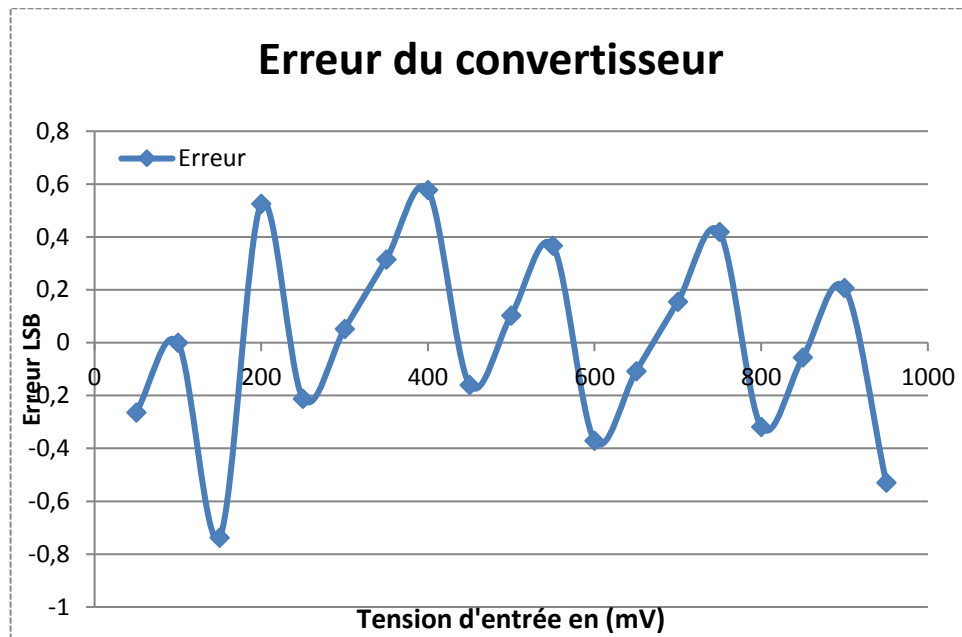


Figure 4.13 : Courbe d'erreur du convertisseur.

ENOB nombre effective de bits

Le convertisseur conçu est de résolution du 8 bits et avec une erreur maximale de 0.74 LSB (tableau 4.2) ce qui peut être représenté avec un seul bit, donc le nombre effective de bits

ENOB :

- $ENOB = 8 - 1 = 7$ bits.

Quantum q et fréquence de conversion

- $q = \frac{1}{(2^N - 1)} = 0,003921$ V.

Une fréquence de conversion de :

- $f_{conv} = \frac{1}{(2^{résolution} - 1) \times (période d'horloge)} = \frac{1}{255 \times 100ns} = 39215.61$ Hz = 39.21 kHz.

IV.5. Conclusion :

Dans ce chapitre nous avons présenté un modulateur sigma delta temps continu en utilisant la technologie 0.13um de TSMC. Des simulations du modulateur sur toute la dynamique de fonctionnement ont été faites. Ces résultats de simulation ont été utilisés pour la caractérisation de notre modulateur.

Conclusion générale

Conclusions :

L'objectif de ce travail était l'étude et la conception de convertisseurs analogique – numérique basé sur une architecture à modulateur Sigma delta. Ce convertisseur assure un fonctionnement à faible puissance et de bonne précision de conversion (résolution de 8 bits).

Les composants du système sont étudiés et conçus à savoir :

- Une variété de cellules standards (inverseur, une porte nand, un buffer et une bascule RS.
- Un amplificateur opérationnel qui est l'un des composants clés avec un gain en boucle ouverte de 89 dB et une bande passante de gain de 49 MHz, contribue au bon fonctionnement de l'intégrateur circuit. Ceci est également utilisé comme un circuit de sommation qui contribue à fournir l'entrée de retour différentielle à l'intégrateur.
- Deux convertisseurs tension courant afin de délivrer des courants constants qui correspondent à la tension d'entrée et la tension de référence respectivement.
- Un comparateur à grande vitesse, on a utilisé un comparateur de type dynamique qui compare le signal d'entrée avec un signal de référence et donne le résultat correspondant au convertisseur tension.

Après une analyse complète, le modulateur a été simulé pour la vérification de fonctionnalité. Le modulateur sigma delta a été conçu et simulé sur l'environnement CADENCE en utilisant la technologie 130nm de TSMC (***Taiwan Semiconductor Manufacturing Company***). Le tableau ci-dessous résume les performances réalisées par le convertisseur conçu.

Paramètre	Valeur	Unité
Tension plein échelle	1	V
Tension d'alimentation	1.8	V
Température	27	°C
Fréquence d'horloge	10	MHz
Fréquence de conversion	39.2	KHz
Résolution	8	bits
Nombre effectif de bits	7	LSB
erreur	<1	LSB

Tableau : Les performances du convertisseur conçu.

Comme perspectives pour ce travail, il est envisageable de :

- Introduire de nouvelles architectures d'amplificateur opérationnel afin d'améliorer les performances du modulateur.
- Entamer le flot de conception digital du décimateur.
- Procéder à la simulation du modulateur dans les corners.
- Le dessin des masques et les simulations poste-layout.

Bibliographie

Bibliographie

- [1] Georges Asch et Bernard Poussery, "LES CAPTEURS EN INSTRUMENTATION INDUSTRIELLE, "8^e édition, DUNOD, Paris, 2017
- [2] Najafi Aghdam, "Nouvelles techniques d'appariement dynamique dans un CNA multibit pour les convertisseurs sigma-delta, "Université Paris Sud, Paris 2008.
- [3] Georges Asch et Al, "Acquisition de données du capteur à l'ordinateur, "3^e édition, Dunod, Paris, 2011.
- [4] RAMON PALLAÁ S-ARENY et JOHN G. WEBSTER, "SENSORS AND SIGNAL CONDITIONING, "2nd edition, WILEY, USA, 2001.
- [5] S. Hanfoug, "Conception et layout d'un échantillonneur bloqueur à technologie CMOS 0.35 μ m", Thèse Magister, université de Batna, 2008.
- [6] D.Standarovski, "Contribution à la conception de circuits intégrés analogiques en technologie CMOS basse tension pour application aux instruments d'observation de la Terre", thèse Doctorat, Ecole Doctorale : Génie Électrique, Électronique et Télécommunications, 2005
- [7] S. Barra, "Conception d'une Machine d'états", Thèse Magister, université de Batna, 2008.
- [8] F. MALOBERTI. (2007). Data Converters.
- [9] C. Taillefer, "Analog-to-Digital Conversion via Time-Mode Signal Processing," Doctorat, Department of Electrical and Computer Engineering, McGill University, Montréal, 2007.
- [10] F.-E. RARBI, "Conception d'un convertisseur analogique numérique pipeline de grande dynamique et de faible consommation pour le codage des signaux de détecteurs à forte granularité," Thèse, laboratoire de Physique Subatomique et de cosmologie (IN2P3 – LPSC), UNIVERSITE DE GRENOBLE, 2010.
- [11] Bin Le, Thomas W. Rondeau, Jeffrey H. Reed, and Charles W. Bostian. Analog-to-digital converter. IEEE Signal Processing Magazine, 2005.
- [12] O. BERNAL, "Conception de Convertisseurs Analogique Numérique en technologie CMOS basse tension pour chaînes Vidéo CCD Spatiales," Doctorat, Laboratoire d'Électronique de l'E.N.S.E.E.I.H.T., l'Institut National Polytechnique de Toulouse, 2006.

- [13] A. Dendouga, "Contribution à la Modélisation et à la Conception d'un Convertisseur Analogique Numérique Sigma Delta," Thèse, Département d'Electronique, Université de Batna, Algérie, 2013.
- [14] M. Dessouky and A. Kaiser, "Very low-voltage digital-audio $\Sigma\Delta$ modulator with 88-dB dynamic range using local switch bootstrapping," *Solid-State Circuits, IEEE Journal of*, vol. 36, pp. 349-355, 2001.
- [15] S. Paton, A. Di Giandomenico, L. Hernandez, A. Wiesbauer, T. Potscher, and M. Clara, "A 70-mW 300-MHz CMOS continuous-time $\Sigma\Delta$ ADC with 15-MHz bandwidth and 11 bits of resolution," *Solid-State Circuits, IEEE Journal of*, vol. 39, pp. 1056-1063, 2004.
- [16] M. DAHOUMANE, "Conception, Réalisation et Caractérisation de l'Électronique Intégrée de Lecture et de Codage des Signaux des Détecteurs de Particules Chargées à Pixels Actifs en Technologie CMOS," Doctorat, École Doctorale de Physique et Chimie Physique, Université de Strasbourg, Strasbourg, 2009.
- [17] Y. Layouni, "Méthodologie d'aide à la conception de structures intégrées mixtes : application à une interface capteur paramétrable à base de convertisseur Sigma Delta," Doctorat, Laboratoire de recherche INL, L'institut national des sciences appliquées de Lyon, 2008.
- [18] H. Bilhan and M. W. Gosney, "A 13 bit 20 Ms/s current mode pipelined analog to digital converter, 1999.
- [19] P. Yong-In, S. Karthikeyan, K. Wern Ming, J. Zhongnong, and T. Tiak-Chean, "A 16-bit, 5MHz multi-bit sigma-delta ADC using adaptively randomized DWA," in *Custom Integrated Circuits Conference, 2003. Proceedings of the IEEE 2003*, 2003, pp. 115-118.
- [20] N.PILLET " Conception et intégration de convertisseurs Analogique/Numérique, compacts, à bas bruit, adaptés aux capteurs CMOS destinés à la détection de particules chargées " Thèse, École Doctorale de Physique et Chimie Physique, Université de Strasbourg, Strasbourg,2010.
- [21] C. Taillefer, "Analog-to-Digital Conversion via Time-Mode Signal Processing," PhD Thesis, Department of Electrical and Computer Engineering, McGill University, Montréal, Canada,2002.
- [22] B. Baker. (2004). what does the ADC SNR mean.

- [23] Y. Layouni, "Méthodologie d'aide à la conception de structures intégrées mixtes: application à une interface capteur paramétrable à base de convertisseur Sigma Delta," Thèse Doctorat, L'institut national des sciences appliquées de Lyon, France, 2008.
- [24] A. MIHOUBI "Conception d'un convertisseur analogique numérique Sigma Delta du 1^{er} ordre à 12 bits"mémoire, département d'électronique, Université de Batna Algérie, 2013.

Abstract

Integrated circuit design is a challenging activity, because it targets complex design specifications that are closely related to transistor sizing and device technology dependent. This work addresses the design of an Analog to Digital converter "based on Sigma-Delta modulator architecture" we characterized this converter, in such a way that it ensures a low power operation and good conversion accuracy (8-bit resolution). We studied and designed; a variety of standard cells, two current-voltage converters and a high-speed comparator, to emphasis our Sigma-Delta modulator. After a full analysis, our modulator was simulated, on the CADENCE environment using TSMC 130nm technology, for the fonctional verification. However, the simulation results of the modulator show for a clock frequency of 10 MHz the conversion frequency is 39.2 kHz with an error less than 1 LSB, thus an effective number of bits equal to 7 LSB.

Keywords: Analog to Digital Converter, Sigma Delta Modulator, Transistor Sizing, MOSFET, CADENCE.

Résumé

La conception des circuits intégrés est une activité stimulante, car elle cible des spécifications de conception complexes qui sont étroitement liées à la taille des transistors et dépendant de la technologie du dispositif. Ce travail porte sur la conception d'un convertisseur analogique-numérique « basé sur une architecture à modulateur Sigma-Delta » nous avons caractérisé ce convertisseur, de telle manière, qu'il assure un fonctionnement à faible puissance et de bonne précision de conversion (résolution de 8 bits). Nous avons étudié et conçu ; une variété de cellules standards, deux convertisseurs tension courant et un comparateur à grande vitesse, afin de la mise en points de notre modulateur Sigma-Delta. Après une analyse complète, notre modulateur a été simulé, sur l'environnement CADENCE en utilisant la technologie 130nm de TSMC, pour la vérification de fonctionnalité. Cependant, les résultats de simulation du modulateur montrent que pour une fréquence d'horloge de 10 MHz la fréquence de conversion est 39.2 kHz avec une erreur inférieure à 1 LSB donc un nombre effectif de bit égal à 7 LSB.

Mots clés: Convertisseur Analogique – Numérique, Modulateur Sigma Delta, Dimensionnement des transistors, MOSFET, CADENCE.