

République Algérienne Démocratique et Populaire Ministère de L'Enseignement
Supérieur et de la Recherche Scientifique



UNIVERSITE MOHAMED BOUDIAF-M'SILA FACULTE DE TECHNOLOGIE
DEPARTEMENT DE L'ELECTRONIQUE

MEMOIRE DE MASTER

DOMAINE : sciences et technologies

FILIERE : Electronique.

OPTION : Instrumentation

Thème :

**Étude par simulation d'un amplificateur d'instrumentation :
application à un conditionneur passif**

Présenté par :

Madjdoub Mohammed
Bouchareb Mourad

Encadré par :

Mr. Saada khelkhal

Soutenu devant le jury composé de :

Dr.FARIDA KBAILI

Université de M'SILA

présiden

Dr.CHABANE RAYENE

Université de M'SILA

Rapporteur

Année univesitaire: 2018/2019

بِسْمِ اللَّهِ الرَّحْمَنِ الرَّحِيمِ

Abstract

The operational amplifier (op-amp) is a fundamental building block in analogue Integrated circuit design. Two stage op-amp is one of the most commonly used op-amp architectures. In this project a CMOS two stage operational amplifier is presented whose input depends on bias current which is 30uA and designed with 1 um technology using p-mos and n-mos transistors. The op amp has a loop gain of 61.58 dB, gain band width product of 1.17 MHz, phase marginal of 56 degree, CMRR of 84.68dB, PSRR of 164.93 dB.

PSRR and CMRR are most important characteristics that we care to ameliorate in this project

The designed two stage op-amp is used to build a CMOS instrumentation amplifier (IA) that operates on low supply voltage and requires less chip area

It is very crucial block of large number of applications since it can amplify small signals also. Its large gain can amplify smallest possible signals that may lie in between millivolts to volts. The objective of this project is to use IA with thermistor application in order to check its performance.

The project is made up of hand calculations for width to length ratios and simulation has been carried out in LTspice tools.

Key words: CMOS, Gain, CMRR, PSRR, Gain band width product, Phase marginal.

Dédicace



'est grâce à Allah seul que j'ai pu achever ce travail.

Je le dédie à :

*Ma très chère **mère**, qui a toujours été
présente pour moi, dans les moments les
plus difficiles et qui sans cesse veille sur moi avec
ses prières, pour ses grands*

sacrifices et tout

l'amour qu'elle me

porte.

Que dieu me le garde.

Toute la famille : MIRA et MADJDOUB.

Tous mes amis(es) et collègues...

*Mon binôme **MOURAD BOUCHAREB**
et toute sa famille.*

Tous mes enseignants

*Tout la promotion d'électronique 2019 plus particulièrement la
promotion*

« Instrumentation » chaque un par son nom

**MOHAMMED
MADJDOUB**

Dédicace



C'est grâce à Allah seul que j'ai pu achever ce travail.

Je dédie ce modeste travail :

A ma mère.

A mon père.

A mes frères.

A tout la famille.

A tous mes amis.

A tous les enseignants au département d'Electronique.

A tous les amis d'études surtout ceux d'électronique promotion.

2019

**MOURAD
BOUHAREB**

Remerciement

Je remercie en premier lieu mon Dieu de nous donner la santé et la patience pour avoir terminé ce travail.

Ainsi je tiens également à exprimer mes vifs remerciements à notre encadreur Ms. Saada Fayçal khelkhal pour avoir d'abord proposé ce thème. Pour suivi continuel tout long de la réalisation de ce mémoire et qui n'a pas cessée de me donner ses conseils et remarques.

Je remercie également tous les membres du jury d'avoir accepté d'examiner ce travail.

Ainsi que tous mes enseignants du Département d'électronique.

Je veux également remercier ma famille pour leur soutien moral particulièrement mes parents pour leur soutien inconditionnel tout au long de mes longues années d'études.

Je tiens également à remercier tous mes collègues de l'étude et particulièrement ma sœur Samira et mon amis Nacer pour leur soutien moral moi terminer ce travail.

Enfin j'adresse mes plus sincères remerciement à tous mes proches et amis qui m'ont toujours soutenue et encouragé au cours de la réalisation de ce mémoire

Table des matières

Introduction Générale.....	1
<u>Chapitre 1 : caractéristiques électriques du transistor MOS</u>	
I.1. Introduction	3
I.2.Présentation du transistor Mos.....	3
I.2.1. Structure et fonctionnement du transistor NMO.....	4
I.2.2. Diagramme de bandes de la structure MOS.....	5
I.3.Régimes de fonctionnement	8
I.3.1.Le régime statique.....	8
I.3.1.1.Régime de faible inversion.....	8
I.3.1.2.Régime de forte inversion	9
a) Zone de Conduction (ou Ohmique).....	9
b) Zone de Saturation (ou Source de Courant)	9
I.3.2. Le régime dynamique	10
I.3.2.1 Modèle petit signal en zone de conduction.....	11
I.3.2.2.Modèle petit signal en zone de saturation	11
a) Modèle petit signal moyenne fréquence.....	11
b) Modèle petit signal haute fréquence.....	14
I.4.Transconductance et conductance de sortie.....	15
I.5. Le Bruit dans les transistors MOS.....	18
I.5.1. Bruit thermique.....	18
I.5.2 .Bruit en 1/f.....	18
I.5.3 Bruit de grenaille.....	19
I.5.4 Fluctuations du nombre de porteurs de charge.....	19
I.6. La technologie CMOS	20
I.7. Conclusion.....	21

Chapitre 2 : Amplificateurs opérationnels en technologie CMOS

II.1.Introduction.....	22
II.2.Architecture d'un amplificateur opérationnel.....	22
II.3.étage d'alimentation- les miroirs de courant.....	23
II.3.1.Le miroir de courant simple.....	23
II.3.2.Le miroir de courant Wilson.....	25
II.3.2.1Principe.....	25
II.3.2.2.Miroir de courant Wilson amélioré.....	25
II.3.3.Les miroirs de courant cascode.....	26
II.3.3.1.Cascode simple.....	26
II.3.3.2.miroirs de courant cascode à large excursion.....	27
II.3.3.3.Le miroir de courant cascode amélioré à grande excursion.....	28
II.4.La paire différentielle.....	29
II.4.1.La paire différentielle simple.....	29
II.4.1.1.La transconductance en DC.....	32
II.4.1.2.La transconductance en AC.....	32
II.4.2.La paire différentielle cascode.....	34
II.5.Etage de gain.....	35
II.5.1.Etage de gain simple.....	35
II.5.2. Etage de gain de circuit cascode.....	37
II.6.Les Amplificateurs opérationnels CMOS.....	38
II.6.1.Amplificateur CMOS à deux étages simples.....	38
II.6.2Amplificateur à Deux étages dont un cascode.....	39
II.6.3.Amplificateur operational Rail to Rail.....	40
II.7.Conclusion.....	40

Chapitre3:Simulation d'un amplificateur d'instrumentation à trois

AOP

III.1.Introduction.....	42
III.2.Présentation de l'amplificateur d'instrumentation.....	42
III.3.Conception d'un amplificateur opérationnel CMOS à deux étages.....	43
III.3.1.Schéma électrique.....	43
III.3.2.Spécifications désirées.....	44
III.3.3.Procédure de la conception.....	44
III.4.Résultats de la simulation.....	47
III.4.1.Résultats de l'étude statique de l'AOP.....	47
III.4.2.Analyse temporelle.....	47
III.4.3 .CMRR et PSRR (cas two ended).....	48
III.4.4. Le Slew rate.....	50
III.4.5.La réponse en fréquence (étude AC).....	50
1. Sans compensation.....	50
2. compensation avec la technique de Miller.....	51
III.4.6.Représentation spectrale.....	52
III.4.7.La tension d'offset.....	53
III.4.8 .Courbe de puissance.....	54
III.4.9. Courbe du bruit.....	55
III.4.10.Influence de la température.....	55
III.5.Simulation de l'amplificateur d'instrumentation.....	56
III.5.1.Etude temporelle.....	56
III.5.2.Etude AC.....	57
III.6.mesure sur une thermistance.....	58
III.7.Conclusion.....	60

List des abréviations

1. . **AOP** - amplificateur opérationnel.
2. . **CMOS** - Complementary métal oxide semi-conducteur.
3. . **DB** - Decibel
4. . **G** - Grille.
5. . **D** - Drain.
6. . **S** - Source.
7. . **K'** - parameter de transconductance
(process transconductance parameter).
8. . **W** - Largeur de transistor (Transistor width).
9. . **L** - Longueur transistor (length).
10. . **Cox** - Capacité d'oxide de grille.
11. . **U** - Mobilité d'électrons.
12. . **Cmrr** - Common mode rejection ratio
(le taux de rejection de mode commun).
13. . **GBW** - Produit Gain Bande Passante (Gain band-width).
14. . **PM** -la marge de phase (Phase marginal).
15. . **Av** - DC gain.
16. . **CI** - capacité de charge (Load capacitor).
17. . **PSRR** - Taux de réjection du bruit d'alimentation
(power supply rejection ratio).
18. . **IA** - amplificateur d'instrumentation.
19. . **Cc** - capacité de compensation.

Liste des symboles

1. V_{in} –tension d'entrée
2. V_{out} –tension de sortie
3. M -le nom du transistor
4. I –le courant statique
5. V_{min} –la tension minimal
6. P_{diss} –la puissance dissipée
7. A_v –le gain
8. V_{th} –la tension de seuil
9. λ_n - coefficient de modification de largeur du transistor de canal n
10. λ_p - coefficient de modification de largeur du transistor de canal n
11. E_g -énergie de gap
12. E_c -énergie de la bande de conduction
13. E_i -énergie de la bande interdite

Liste des tableaux et des figures

Liste des figures :

Figure (I.1): Premier transistor MOSFET réalisé en 1959.....	5
Figure (I.2) : Représentation schématique d'un transistor MOS.....	6
Figure (I.3) : Diagramme schématique des bandes d'énergie d'une structure MOS pour un Semi-conducteur de type P, pour différents modes de fonctionnement.....	8
Figure (I.4) : Représentation schématique des différents régimes de fonctionnement d'un NMOSFET et schéma de bandes d'énergie de la jonction source/substrat/drain.....	11
Figure (I.5) : Modèle petit signal moyenne fréquence du transistor MOS en régime de forte inversion et en Zone de saturation.....	13
Figure (I.6): Modèle petit signal haute fréquence du transistor MOS en régime de forte inversion et en zone de Saturation.....	15
Figure (I.7) : Gain en tension intrinsèque quasi statique av_0 du transistor MOS source commune en fonction du courant drain ID	17
Figure (I.8) schéma d'intégration de la structure CMOS.....	20
Figure II.1 : Architecture d'un amplificateur opérationnel	21
Figure II.2.: Miroir de courant simple	22
Figure II.3.: Schéma petit signal du miroir de courant simple.....	23
Figure II.4: Miroir de courant Wilson.....	24
Figure II.5: Miroir de courant Wilson amélioré.....	25
Figure II.6: Miroir de courant cascode simple.....	26
Figure II.7: Schéma de principe du miroir de courant Cascode à large excursion.....	27
Figure II.8: Miroir de courant cascode à large excursion 1.....	27
Figure II.9: Miroir de courant cascode à large excursion 2.....	27

Figure II.10: Miroir de courant cascode amélioré à Large excursion et à courant injecté.....	28
Figure II.11: Cellule différentielle à base du CMOS.....	29
Figure II.12: Le courant drain de sortie de la paire de sources couplées en fonction de la Tension d'entrée ΔV	30
Figure II.13: La différence entre les courants de sortie de la paire de sources couplées en Fonction de la variation de la tension d'entrée	31
Figure II.14: Le modèle petit signal équivalent d'une cellule différentielle simple.....	32
Figure II.15 : amplificateur diff cascode et son demi circuit.....	33
Figure II.16 : Etage de gain simple CMOS.....	34
Figure II.17 : Etage de gain cascode CMOS.....	36
Figure II.18 : Amplificateur à deux étages.....	37
Figure II.19 : Exemples d'amplificateurs opérationnels à deux étages dont l'un cascode	38
Figure II.20. Etage différentiel de type-N. et de type P.....	39
Figure II.21. Etage d'entrée complémentaire simple N-P.	40
Figure III.1 : amplificateur d'instrumentation	41
Figure III .2 : schéma électrique de l'amplificateur CMOS à deux étages par LTSPICE.....	42
Figure III. 3 : caractéristiques statique de l'amplificateur.....	46
Figure III. 4 : Schéma de l'analyse temporelle de l'AOP.....	47
Figure III.5 : tension de sortie V_{out1}	48
Figure III.6 : tension de sortie V_{out2}	48
Figure III.7 : tension De différence $V_{out2} - V_{out1}$ en sortie.....	48
Figure III.8 : Fonction échelon à l'entrée.....	49
Figure III.9:La réponse en sortie.....	49

Figure III.10 : La réponse en fréquence : courbe de gain et courbe de phase.....	50
Figure III.11 : La réponse en fréquence avec compensation de Miller.....	51
Figure III.12 : FFT V_{in} et V_{out}	51
Figure III.13 : Tension de sortie avec un offset de -1V.....	52
Figure III.14: Tension de sortie avec un offset de 17Uv.....	53
Figure III.15 : Tension de sortie avec un offset de 17uV.....	53
Figure III.16 : Courbe du bruit en sortie.....	54
Figure III.17: Influence de la température sur la tension de sortie.....	54
Figure III.18 : L'amplificateur IA à trois AOP simulé par LTSPICE.....	55
Figure III.19: courbe de l'étude temporelle de l'IA.....	56
Figure III.20 : La réponse fréquentielle de l'IA.....	57
Figure III.21: Schéma complet de la mesure de température.....	58
Figure III.22 : courbe de la tension d'entrée diff en fonction de la température	58
Figure III.23 : courbe de la tension de sortie d'IA en fonction de la température	59

Liste des tableaux :

Tableau : Les spécifications de l'amplificateur désiré	43
--	----

Introduction générale

Le développement de la microélectronique depuis ces 30 dernières années est véritablement spectaculaire. Ce succès résulte en grande partie d'un savoir faire et d'une maîtrise technologique de plus en plus poussée de l'élément fondamental de la microélectronique : le silicium. Le transistor MOS est à la fois le principal acteur et le vecteur de cette évolution technologique. Il est à la base de la conception des circuits intégrés à très large et ultra large échelle (VLSI et ULSI), et a mené la technologie CMOS au rang incontesté de technologie dominante de l'industrie du semi-conducteur. Au fil des années, la complexité des circuits intégrés a augmenté de façon continue, principalement grâce aux performances accrues des nouvelles générations de transistors.

En 1973, G. MOORE, l'un des cofondateurs d'Intel avait observé que le nombre de transistors intégrés sur une même puce doublait tous les 18 mois. Cette observation l'avait alors conduit à prédire que le nombre de transistors intégrés sur une même puce continuerait à doubler tous les 18 mois, jusqu'à ce que les limites physiques soient atteintes. La véracité de sa prédiction durant ces 30 dernières années a été telle que l'on s'y réfère maintenant en tant que "Loi de Moore". [1]

Durant ces dernières années, beaucoup d'efforts ont été consacrés à la réduction de la tension d'alimentation et à la réduction de la consommation des systèmes CMOS mixtes analogiques/numériques. Cela est dû principalement à la croissance de l'utilisation des systèmes portables alimentés par des batteries, mais provient aussi de la réduction de la taille des circuits intégrés. Les conséquences de ces réductions sont différentes selon la nature des circuits. Les circuits intégrés analogiques à basse tension d'alimentation et à faible consommation avec de bonnes fonctionnalités sont très difficiles à réaliser. Par exemple, la dynamique de sortie d'un amplificateur opérationnel diminue substantiellement en réduisant la tension d'alimentation [2]. Par ailleurs, les circuits intégrés analogiques ne peuvent pas être conçus en utilisant des tailles minimales des transistors, pour des raisons de gain de l'amplificateur, offset, bruit, etc. La surface de la partie analogique ne peut donc pas être réduite radicalement avec la minimisation des tailles des fonctions à réaliser.

Bien que plusieurs parties analogiques puissent être remplacées par des parties numériques, la nécessité des circuits analogiques reste assez importante. Le monde réel étant analogique, il y aura en effet toujours besoin de convertisseurs pour convertir les données numériques des dispositifs électroniques en signal analogique (ex: signal audio) perceptible par l'homme. D'autre part, les circuits intégrés analogiques peuvent réaliser des fonctions à haute fréquence

(Radio Fréquence) contrairement aux circuits numériques. Les senseurs, les transmetteurs, les Récepteurs sont ainsi souvent des composants analogiques.

Le but de notre travail consiste en l'étude et la conception d'un amplificateur opérationnel CMOS à deux étages, dans un but d'une utilisation du modèle dans la simulation d'une mesure de température par un amplificateur d'instrumentation à trois aop. Dans ce contexte, ce mémoire est subdivisé en trois chapitres :

Le chapitre 1, présentera une description exhaustive des caractéristiques du transistor MOS pour des applications analogiques. Devant le nombre impressionnant des travaux traitant du comportement du transistor MOS ou de sa modélisation, il nous a paru utile, Au delà des aspects physiques, de développer ici une synthèse simple et complète sur ce sujet destinée aux concepteurs de circuits analogiques. En premier lieu, nous rappellerons les bases physiques qui régissent le fonctionnement du transistor idéal. Nous aborderons alors le calcul du courant dans les différents régimes de fonctionnement. Les caractéristiques petit signal seront ensuite détaillées et analysées en termes de performances au sein des circuits. Nous poursuivrons par une étude du bruit dans le transistor.

Dans le chapitre 2, nous décrirons quelques cellules analogiques primordiales dans la réalisation de l'électronique pour notre amplificateur d'instrumentation. L'utilisation de technologie CMOS basse-tension nécessitera d'étudier des circuits de polarisation tels que les miroirs de courant.

Dans Le chapitre 3 nous utiliserons l'ensemble des cellules analogiques étudiées précédemment pour concevoir notre amplificateur opérationnel à deux étages en technologie CMOS, ce dernier sera utilisé par la suite dans une application de mesure de température par un amplificateur d'instrumentation IA.

Nous terminerons notre mémoire par une conclusion générale.



CHAPITRE 1 :

**Caractéristiques électriques du
transistor MOS**

I.1.- Introduction [3]

La technologie MOS connaît son succès en raison de la haute densité d'intégration à laquelle elle permet d'accéder à un coût relativement réduit. Les motivations de la course à l'intégration ont été, sans aucun doute, liées à la nécessité d'intégrer de gros circuits logiques ou des mémoires à haute densité. Encore aujourd'hui, ces domaines sont les moteurs des développements technologiques les plus pointus. Néanmoins, depuis quelques années, on observe sur la scène internationale un intérêt croissant pour l'intégration de circuits analogiques en technologie CMOS. Malheureusement, si les outils mis à disposition des concepteurs de circuits logiques ont permis de suivre cette évolution rapide de la technologie, les outils de simulation de l'"analogicien" sont restés largement en retrait. Des recherches importantes ont été menées pour essayer de comprendre les phénomènes qui régissent le fonctionnement du transistor MOS. Les bases théoriques essentielles sont maintenant bien connues [4], [5] mais la réduction des géométries a fait apparaître des phénomènes nouveaux très difficiles à analyser et modéliser. Dans ce chapitre nous nous intéressons au comportement du transistor MOS dans ses différents régimes de fonctionnement.

I.2. Présentation du transistor MOS

Le transistor MOS à effet de champ ou transistor MOSFET dans la conception théorique est énoncé pour la première fois en 1925 par J.E Lilienfeld [6] [7]. Ce n'est qu'en 1947 avec les travaux de J. Bardeen, W. Brattain et W. Schockly que le premier transistor bipolaire à base de germanium fut alors fabriqué. Cependant, la difficulté d'obtenir des oxydes de germanium stables (qui reste encore aujourd'hui un problème majeur pour le développement des composants à base des matériaux à forte mobilité), nécessaires au bon fonctionnement des transistors MOSFET. Alors le développement des composants à base de silicium [8].

En 1960 Kahng et Attala présentèrent le premier transistor MOS sur Silicium en utilisant une grille isolée dont le diélectrique de grille était en oxyde de silicium SiO_2 . Le silicium fut un choix très judicieux. Car son oxyde est non seulement un très bon isolant électrique mais il s'est aussi révélé parfaitement adapté pour former des couches dites de passivation protégeant les circuits, accroissant remarquablement leur fiabilité. Ce transistor est plus simple et moins cher que leurs concurrents bipolaires, mais intrinsèquement moins performants à génération technologique équivalente, ont connu leur essor dans les années 70-80 grâce à la technologie (Complementary Métal Oxide Semi-conducteur) CMOS basée sur l'utilisation de deux types de transistors complémentaires (n MOSFET et p MOSFET) inventée en 1968 qui

consomme très peu d'énergie [9]. Le transistor MOSFET est utilisé dans de multiples applications. Il est utilisé comme amplificateur dans certaines applications analogiques.

Il est aussi utilisé comme bit pour stocker et lire l'information sous forme de zéros et uns. Son utilisation est plus importante dans les applications numériques.



Figure (I.1): Premier transistor MOSFET réalisé par M. Atalla, D. Kahng en 1959[10].

I.2.1. Structure et fonctionnement du transistor NMOS

La structure de base d'un transistor MOS à canal n est constituée d'un substrat de silicium de type P (impuretés acceptrices), de résistivité élevée dans lequel ont été réalisées, par diffusion ou implantation ionique, deux zones, appelées drain et source de profondeur X_j , fortement dopées et de type opposé à celui du substrat. Une capacité MOS de longueur L_g est réalisée sur le substrat entre la source et le drain où l'électrode de commande constitue la grille du transistor. La région entre les deux jonctions de source et drain est appelée la région du canal, elle est définie par sa longueur L et sa largeur W . Le transistor comprend donc quatre contacts : le drain, la grille, la source et le substrat. La structure basique d'un transistor nMOS est présentée à la [figure \(I.2\)](#).

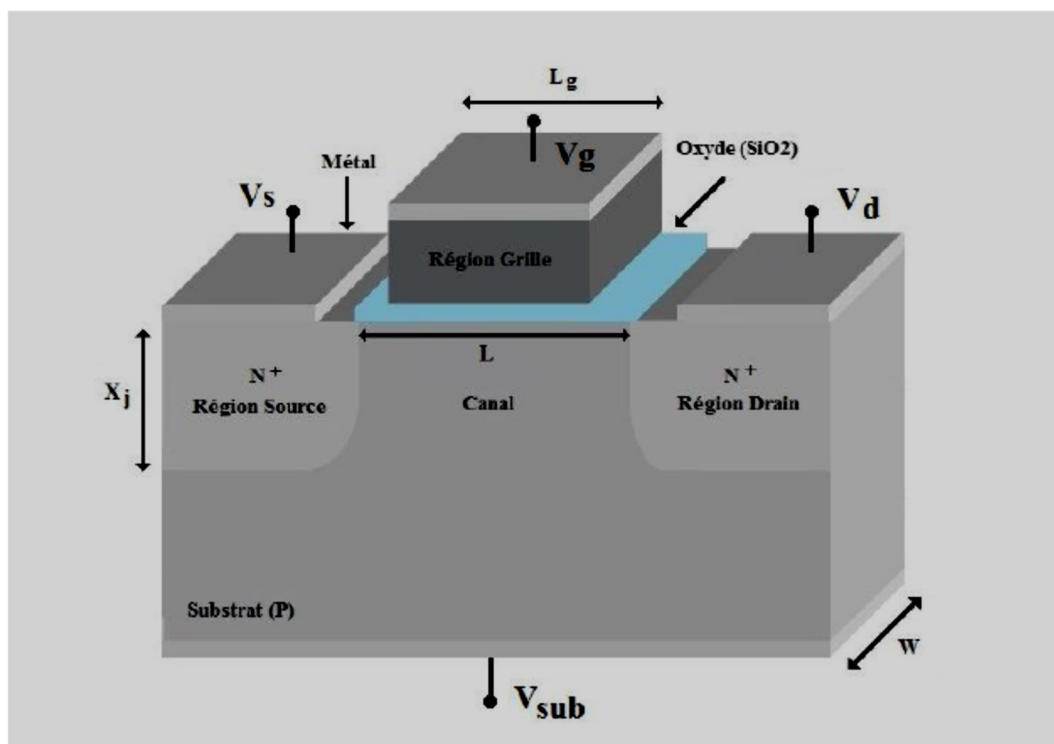


Figure (I.2) : Représentation schématique d'un transistor MOS [11]

La zone active du transistor MOS est la région semi-conductrice (substrat) située entre la source et le drain près de l'interface oxyde-semi-conducteur. Donc l'application d'une tension suffisante entre la grille et le substrat V_{gs} génère un champ électrique, un canal de conduction est créé à l'interface oxyde-semi-conducteur. Cela permet la circulation des porteurs minoritaires dans le canal entre la source et le drain.

I.2.2. Diagramme de bandes de la structure MOS

Les propriétés électroniques d'un semi-conducteur étant contrôlées par la position du niveau de Fermi dans le gap, nous allons donc nous intéresser à la structure de bandes du MOS. La plus simple des structures MOS est la capacité MOS qui consiste en un empilement métal-oxyde-semi-conducteur. E_c et E_v représentent respectivement les niveaux d'énergie de la bande de conduction et de la bande de valence. E_i représente le niveau de Fermi intrinsèque. Le niveau de Fermi du métal est E_{Fm} .

Supposons tout d'abord que la source et le drain soient à la masse ($V_{db}=V_{sb}=0\text{ V}$). Nous rappelons le principe des différents modes de fonctionnement du transistor MOS sur la [figure\(I.3\)](#) [12].

Lorsqu'une tension V_{gs} est appliquée, la structure de bande, près de l'interface Semi-conducteur-Oxyde est modifiée. Trois situations peuvent être considérées (dans la région du canal) : accumulation, déplétion et inversion. Pour une tension de grille négative, les porteurs majoritaires (trous) sont attirés à l'interface du semi-conducteur et une très fine couche de charges positives (la couche d'accumulation) est alors formée ([figure \(I.3.a\)](#)). Avec l'augmentation de la tension de grille V_{gs} , la courbure des bandes devient plus faible, jusqu'à une certaine valeur où il n'y a plus de courbure des bandes. Cette valeur particulière de tension de grille est appelée la tension des bandes plates V_{FB} (flat-band potential).

Au-delà de ce point, la courbure de bandes est opposée à celle en accumulation, une charge négative est en train de se former. En fait, la charge positive de la grille repousse les trous de la surface du semi-conducteur et fait apparaître une charge négative (due aux ions accepteurs immobiles), appelée charge de déplétion ([figure \(I.3.b\)](#)). Quand la tension de la grille augmente encore plus, la courbure des bandes vers le bas devient plus prononcée ([figure \(I.3.c\)](#)). Dans cette situation, la surface du semi-conducteur se comporte comme un matériau de type N, d'où le nom de région d'inversion. On parle d'inversion forte lorsque la concentration des porteurs minoritaires en surface devient supérieure à la concentration des majoritaires dans le volume.

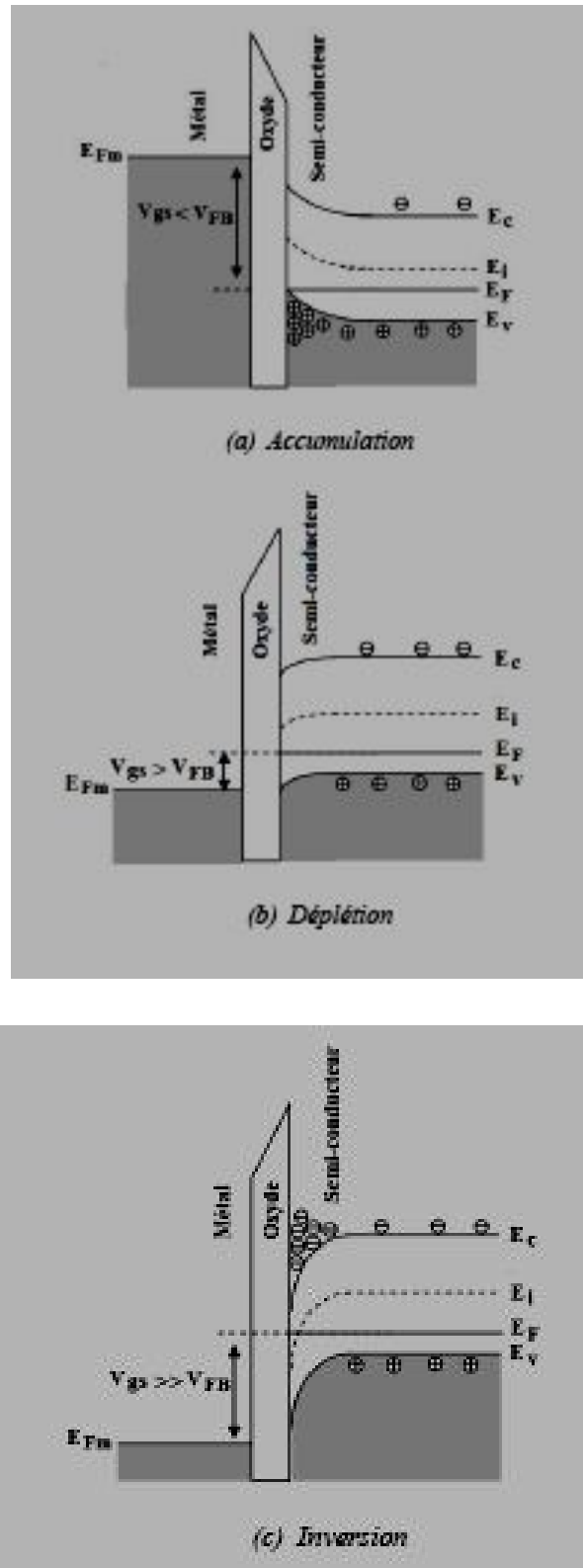


Figure (I.3) : Diagramme schématique des bandes d'énergie d'une structure MOS pour un Semi-conducteur de type P, pour différents modes de fonctionnement : accumulation, déplétion et inversion. [12]

I.3. Régimes de fonctionnement [13]

I.3.1. Le régime statique

Le régime statique du transistor MOS permet de définir son mode d'opération (point de fonctionnement) ainsi que son équation d'état qui donne l'intensité du courant drain I_D en fonction des paramètres géométriques (W , L) et des tensions appliquées à ses bornes (V_{GS} , V_{DS} , V_{BS}). Nous définissons ainsi deux types de **régime de fonctionnement** en fonction de la tension grille-source V_{GS} appliquée aux bornes du transistor :

- Le régime de *faible inversion* : dès lors que la tension grille-source V_{GS} est inférieure ou voisine à la tension de seuil V_{th} du transistor : $V_{GS} < V_{th}$.
- Le régime de *forte inversion* : dès lors que la tension grille-source V_{GS} est supérieure à la tension de seuil V_{th} du transistor : $V_{GS} > V_{th}$.

Pour chaque régime de fonctionnement (faible inversion ou forte inversion), nous définissons deux types de **zone de fonctionnement** en fonction de la tension drain-source V_{DS} appliquée aux bornes du transistor :

- La zone de *conduction* ou zone *ohmique* : dès lors que la tension drain-source V_{DS} est inférieure à la tension de saturation du canal avec $V_{DSsat} = V_{GS} - V_{th}$.
- La zone de *saturation* ou zone « *source de courant* » : dès lors que la tension drain source V_{DS} est supérieure à la tension de saturation du canal V_{DSsat} .

III.3.1.1. Régime de faible inversion

L'expression du courant drain I_D en régime de faible inversion en zone de saturation est donnée par l'expression [13] :

$$I_D = I_{D0} \left(\frac{W}{L} \right) \exp \left(\frac{V_{GS}}{n \cdot uT} \right) \quad (1)$$

Où

$n = 1 + (qN_{fs}/C_{ox}) + (CB/C_{ox})$ représente la pente de la courbe $I_D(V_{GS})$ en régime de faible inversion (avec C_{ox} , la capacité surfacique d'oxyde de grille ; N_{fs} , la densité d'états de surface ; q , la charge de l'électron ; et $CB = \partial Q_B / \partial V_{BS}$) et uT représente la tension thermodynamique.

III.3.1.2. Régime de forte inversion

a) Zone de Conduction (ou Ohmique)

L'expression du courant drain I_D en régime de forte inversion en zone de conduction est donnée par :

$$I_D = K \frac{W_{\text{eff}}}{L_{\text{eff}}} \left(V_{GS} - V_{ds} - \frac{V_{DS}}{2} \right) V_{DS} \quad (1.1)$$

- $K = \mu_0 C_{ox}$; (avec μ_0 , la mobilité nominale des porteurs)
- $W_{\text{eff}} = W - 2W_{\text{int}}$ représente la largeur de grille effective (avec W_{int} largeur de recouvrement entre grille et îlots de diffusion)
- $L_{\text{eff}} = L - 2L_{\text{int}}$ représente la longueur de grille effective (avec L_{int} longueur de recouvrement entre grille et îlots de diffusion).

b) Zone de Saturation (ou Source de Courant)

L'expression du courant drain I_D en régime de forte inversion en zone de saturation est donnée par :

$$I_D = \frac{K W_{\text{eff}}}{2 L_{\text{eff}}} (V_{GS} - V_{ds})^2 (1 + \lambda V_{DS}) \quad (1.2)$$

λ est un paramètre représentatif de la modulation de la longueur du canal.

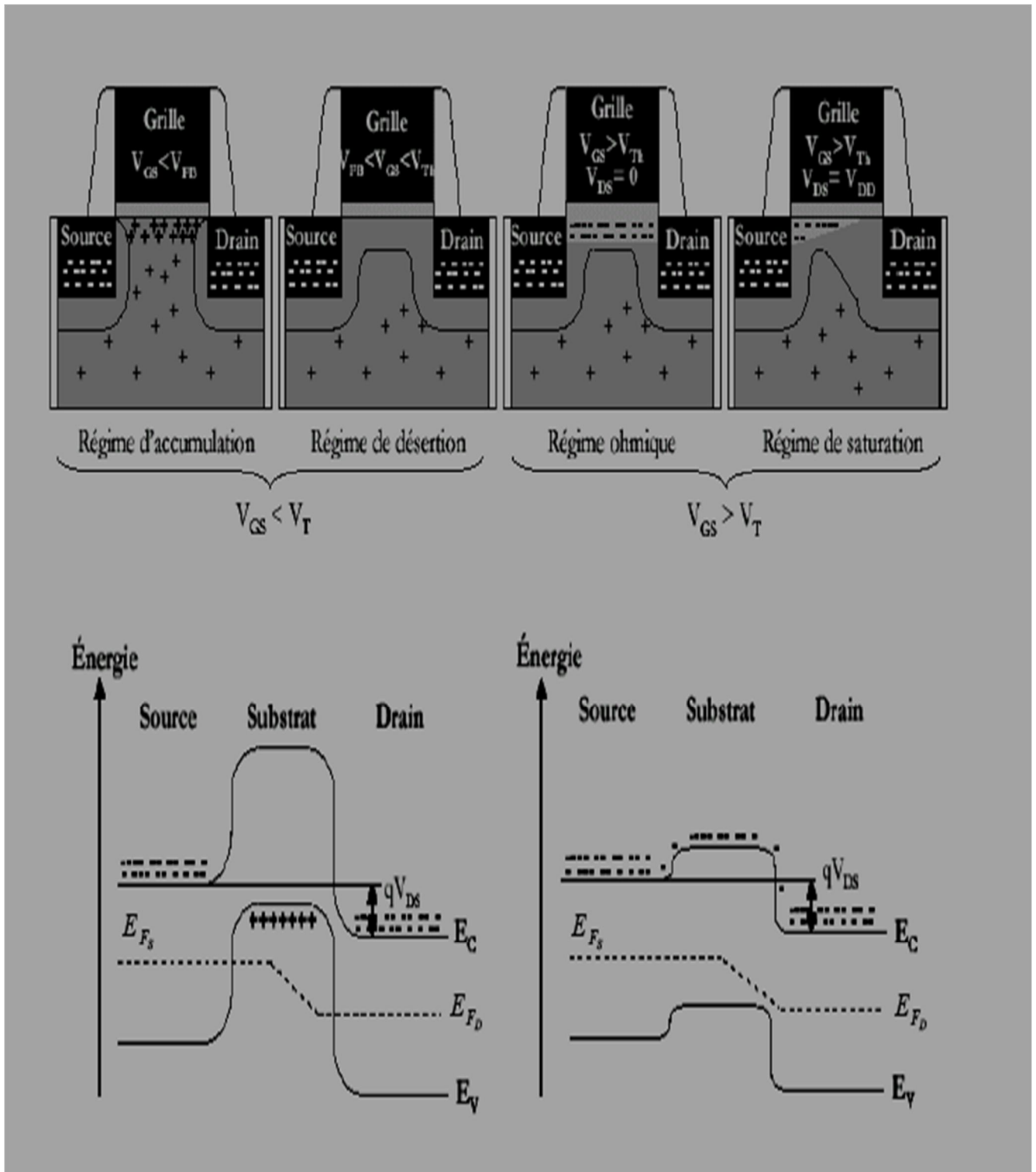


Figure (I.4) : Représentation schématique des différents régimes de fonctionnement d'un NMOSFET et schéma de bandes d'énergie de la jonction source/substrat/drain [14]

I.3.2. Le régime dynamique

Par la suite, nous ne modéliserons le transistor MOS qu'en régime de forte inversion, en zone de conduction et en zone de saturation.

I.3.2.1 Modèle petit signal en zone de conduction

Le transistor MOS en régime de forte inversion et en zone de conduction peut être modélisé par une simple conductance g_{DS} entre drain et source, raison pour laquelle on nomme parfois cette zone « zone linéaire ». En utilisant l'équation (1-3) donnant le courant drain ID en zone de conduction, nous pouvons exprimer la conductance équivalente du transistor dans ce mode de fonctionnement :

$$g_{DS} = \frac{1}{r_{DS}} - \frac{dID}{dV_{DS}} = K \frac{W_{eff}}{L_{eff}} (V_{GS} - V_{th} - V_{DS}) \quad (1-3)$$

Pour des tensions drain-source $V_{DS} \ll (V_{GS} - V_{th}) = V_{DSsat}$, l'expression précédente se simplifie :

$$g_{DS} = \frac{1}{r_{DS}} - K \frac{W_{eff}}{L_{eff}} (V_{GS} - V_{th}) \quad (1-4)$$

I.3.2.2. Modèle petit signal en zone de saturation

En régime de forte inversion et en zone de saturation, le transistor MOS peut être modélisé en fonction de la gamme de fréquences dans laquelle il est utilisé. Nous distinguerons pour cette raison deux gammes de fréquences : les « moyennes » fréquences et les hautes fréquences. Dans le domaine des moyennes fréquences, nous négligerons les capacités parasites du transistor MOS et les résistances d'accès série.

a) Modèle petit signal moyenne fréquence

Le modèle petit signal dans la gamme des moyennes fréquences est représenté par la figure(I.5). Ce modèle est simplement composé de deux sources de courants liées proportionnellement aux transconductances de grille g_m et de substrat g_{mb} , et d'une conductance g_{DS} entre les îlots de source et de drain.

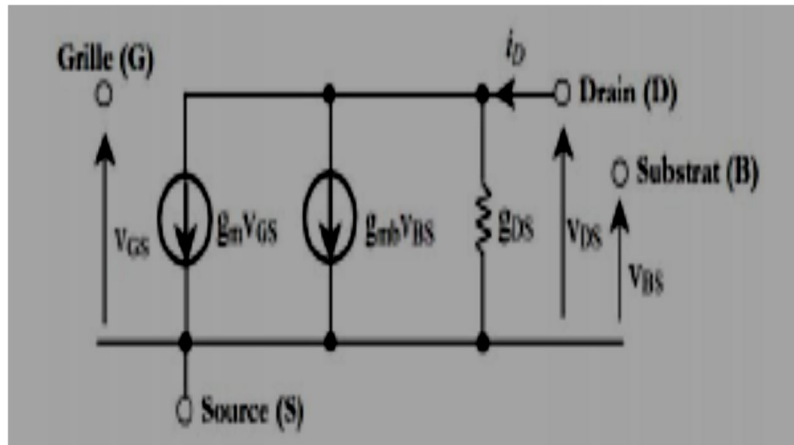


Figure (I.5) Modèle petit signal moyenne fréquence du transistor MOS en régime de forte inversion et en Zone de saturation [15]

L'expression du courant drain petit signal I_D est donnée par:

$$I_D = \frac{\delta I_D}{\delta V_{GS}} \bigg|_{V_{DS} > V_{GS} = cte} V_{GS} + \frac{\delta I_D}{\delta V_{DS}} \bigg|_{V_{DS} > V_{BS} = cte} V_{DS} + \frac{\delta I_D}{\delta V_{BS}} \bigg|_{V_{GS} > V_{DS} = cte} V_{BS} \quad (1-5)$$

Encore:

$$I_D = g_m V_{GS} + g_{DS} V_{DS} + g_{mb} V_{BS} \quad (1-6)$$

$$g_m = K \frac{W_{eff}}{L_{eff}} (V_{GS} - V_{th}) = \sqrt{2k \frac{W_{eff}}{L_{eff}}} I_D \quad (1-7)$$

$$g_{DS} = \lambda I_D = \frac{I_D}{V_A} \quad (1-8)$$

où VA représente la tension d'Early équivalente.

La comparaison des relations (1-4) et (1-7) montre que pour la même tension ($V_{GS}-V_{th}$), la transconductance g_m en zone de saturation correspond à la conductance $g_{DS}=1/r_{ON}$ en zone de conduction au voisinage de l'origine de la caractéristique $ID(V_{DS})$ à $V_{GS}=cte$.

La transconductance de substrat est exprimée en prenant en compte la modulation de la tension de seuil V_{th} par la variation de la tension V_{BS} [15]:

$$g_{mb} = \left. \frac{\delta I_D}{\delta V_{BS}} \right|_{V_{GS} > V_{DS} = cte} = g_m \left. \frac{\delta V_{th}}{\delta V_{BS}} \right|_{V_{GS} > V_{DS} = cte} \quad (1-9)$$

En prenant pour expression de la tension de seuil V_{th} :

$$V_{th} = V_{FB} + \phi_P + K_1 \sqrt{\phi_P - V_{BS}} - K_2 (\phi_P - V_{BS}) \quad (1-10)$$

- a. V_{FB} : représente la tension de bande plate « flat-band ».
- b. ϕ_P : est le potentiel de surface.
- c. K_1 et k_2 sont respectivement, les 1^{er} et 2^{ème} paramètre du dopage npn-uniforme.

Nous pouvons alors réécrire l'équation (2.7) sous la forme simplifiée :

$$g_{mb} = g_{ms} \left. \frac{\delta V_{th}}{\delta V_{BS}} \right|_{V_{GS} > V_{DS} = cte} = g_m \left[\frac{K_1}{2\sqrt{\phi_P - V_{BS}}} - K_2 \right] = \eta g_m \quad (2)$$

b) Modèle petit signal haute fréquence

Dans la gamme des hautes fréquences, il est nécessaire de prendre en compte les capacités parasites du transistor. Le modèle petit signal en régime de forte inversion est représenté par la figure(I.6).

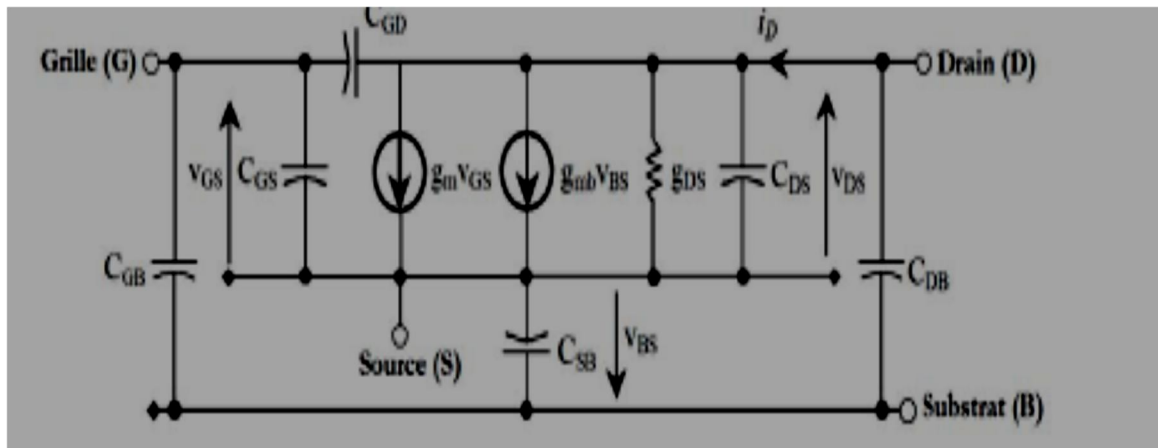


Figure (I.6): Modèle petit signal haute fréquence du transistor MOS en régime de forte inversion et en zone de Saturation [15]

Nous pouvons distinguer, les capacités inter-électrodes C_{GD} , C_{GS} , C_{DS} et les capacités liées au substrat C_{GB} , C_{DB} et C_{SB} .

Capacités inter-électrodes : elles dépendent au 1er ordre de la capacité d'oxyde de grille par unité de surface C_{ox} , de la longueur effective du canal sous la grille L_{eff} , et de la longueur latérale des îlots de diffusion source et drain sous la grille L_{int} . Dans la zone de conduction,

$$C_{GS} = C_{GD} = \frac{C_{ox} L_{eff} W_{eff}}{2} + C_{ox} L_{int} W_{eff} = \frac{C_{canal}}{2} + C_{OV} \tag{2-1}$$

Dans la zone de saturation,

$$C_{GD} = C_{GS} L_{int} W_{eff} = C_{OV} \tag{2-2}$$

$$C_{GS} = \frac{2}{3} C_{ox} L_{eff} W_{eff} + C_{ox} L_{int} W_{eff} = \frac{2}{3} C_{canal} + C_{OV} \tag{2-3}$$

Capacités liées au substrat : au 1er ordre, les capacités C_{DB} et C_{SB} sont exprimées à partir de l'épaisseur de la zone de charge d'espace d'une jonction pn et de la surface latérale [16]:

$$C_{DB} = C_{LD} W_{\text{eff}} \frac{1}{\left(1 - \left[\frac{V_{BD}}{\Phi_P}\right]\right)^{MJ}} + C_{\text{lat}} 2(L_D + W_{\text{eff}}) \frac{1}{\left(1 - \left[\frac{V_{BD}}{\Phi_P}\right]\right)^{MJSW}} \quad (2-4)$$

$$C_{SB} = C_{LS} W_{\text{eff}} \frac{1}{\left(1 - \left[\frac{V_{BS}}{\Phi_P}\right]\right)^{MJ}} + C_{\text{lat}} 2(L_S + W_{\text{eff}}) \frac{1}{\left(1 - \left[\frac{V_{BS}}{\Phi_P}\right]\right)^{MJSW}} \quad (2-5)$$

où L_S et L_D représente respectivement les longueurs de diffusion des flots drain et source ; MJ et MJSW, respectivement les coefficients de gradient surfacique et latérale ; C_{aire} et C_{lat} , respectivement les capacités surfaciques et latérales. La capacité C_{GB} est indépendante des conditions de polarisation :

$$C_{GB} = C_{GB} L_{\text{eff}}$$

I.4. Transconductance et conductance de sortie

En régime de faible inversion et en zone de saturation, la transconductance est proportionnelle au courant I_D . Le gain en tension intrinsèque d'une source commune avec charge active est alors quasi-indépendant de la valeur de I_D , comme le montre la figure I.7. De plus, ce gain est maximal. Nous retrouvons des caractéristiques analogues à celles du transistor bipolaire. Cependant, dans ce régime de fonctionnement, les impédances « vues » des drains sont très élevées et le circuit présente un faible produit gain bande passante. Ainsi, l'utilisation du transistor MOS dans cette région ne sera pas considérée dans la suite de ce mémoire. Par conséquent, dans le cadre de cette étude, nous nous intéresserons principalement à son fonctionnement en régime de saturation sous forte inversion (seul le commutateur analogique sera considéré en régime de conduction).

Les paramètres de conception de premier ordre seront alors le rapport géométrique (W/L) du transistor, la tension grille-source appliquée V_{GS} (fixant l'intensité du courant drain I_D) ou l'intensité du courant I_D (fixant la tension grille-source V_{GS}). La conductance de sortie sera caractérisée par le terme conductif g_{DS} de paramètre λ .

La transconductance g_m sera considérée comme étant directement proportionnelle à la racine carrée du rapport géométrique du transistor multiplié par le courant de polarisation du composant. Le gain maximal en tension av_0 d'un simple transistor MOS sera alors logiquement donné par :

$$|\lambda_{v0}| = \frac{g_m}{g_{DS}} \sqrt{2K \frac{W}{L} I_D} \frac{1}{\lambda I_D} = \frac{\sqrt{2K}}{\lambda} \sqrt{\frac{W}{L}} \frac{1}{I_D} \quad (2-6)$$

Nous pouvons donc remarquer que ce gain av_0 augmente en $\sqrt{(W/L)}$ pour un courant de polarisation donné et varie en $1/\sqrt{ID}$ en régime de forte inversion comme le montre la figure (I.7).[17].

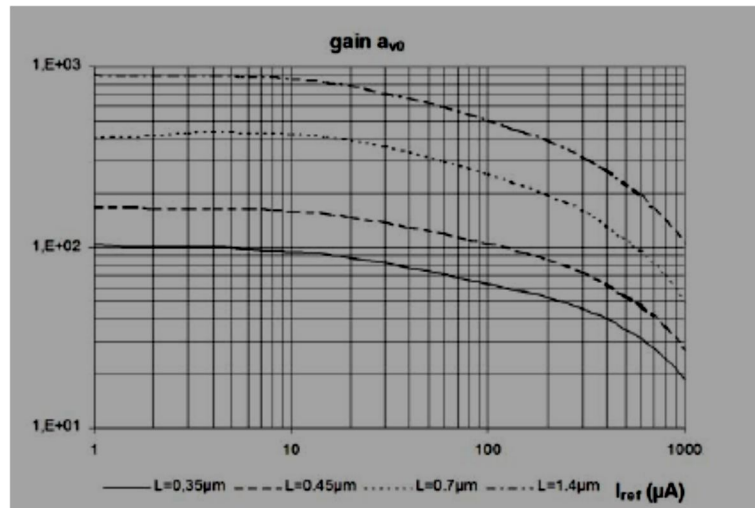


Figure (I.7) : Gain en tension intrinsèque quasi statique av_0 du transistor MOS source commune en fonction du courant drain ID . [17]

I.5. Le Bruit dans les transistors MOS

On distingue différentes sources de bruit dans un transistor MOS [18] ,[19].

I .5.1. Bruit thermique

Le bruit thermique des résistances est le résultat du mouvement brownien des électrons dans un conducteur. Celui-ci produit aux bornes d'une résistance R une tension erratique $v(t)$ dont la distribution d'amplitude est gaussienne, de moyenne nulle, et dont la valeur quadratique moyenne $\langle v^2(t) \rangle$ (ou variance) mesurée dans une bande df est égale à :

$$\langle v^2 \rangle = 4KTRdf \quad (2-7)$$

où k désigne la constante de Boltzmann ($k=1.381 \cdot 10^{-23} \text{ J/}^\circ\text{K}$), et T désigne la température de la résistance en $^\circ\text{K}$.

On peut établir en outre que ce résultat est indépendant de la fréquence (tant que celle-ci reste inférieure à une dizaine de GHz). On en conclut que le bruit thermique est un bruit blanc dont la densité spectrale bilatérale est uniforme et égale à $2kTR$ (V^2/Hz).

Dans le cas du canal du transistor en conduction, le bruit thermique peut être représenté par une source de tension connectée à la grille d'un transistor sans bruit. Si le composant est en saturation, l'approximation $R=2/(3 \cdot g_m)$ peut être utilisé pour calculer la tension de bruit du générateur qui devient:

$$V_{nt}^2 = \frac{8}{3} kT g_m \cdot df \quad (2-8)$$

I.5.2. Bruit en 1/f

Le bruit en 1/f ("flicker noise") est un bruit dont la densité spectrale de puissance varie comme $f^{-\nu}$ où ν est proche de 1. C'est donc un bruit très gênant dans les applications basses fréquences. Il est attribué à des inhomogénéités, des disparités de l'interface Si/SiO₂, mais son origine est encore mal cernée. La valeur moyenne de ce bruit est également nulle.

Comme pour le bruit thermique, une modélisation possible de ce phénomène peut se faire par l'intermédiaire d'une source de tension connectée à la grille dont l'amplitude est donnée par la formule approximative suivante :

$$V_{nt}^2 = \frac{K}{C_{ox} W L} \frac{df}{f} \quad (2-9)$$

Où K est un paramètre qui dépend de la température et du processus de fabrication.

I.5.3. Bruit de grenaille

Le bruit dit "de grenaille" ("shot noise") est dû à la nature discrète du flux d'électrons. A tout courant continu I se superpose des charges individuelles de propagation aléatoire. W. Schottky a montré que la variance du bruit de grenaille est directement proportionnelle à la valeur moyenne du courant I. Cependant, lorsque le nombre de porteurs est élevé et que leur vitesse est faible, les interactions qui existent entre les charges ont tendance à réduire le caractère aléatoire de la propagation, et donc l'amplitude de ce bruit.

Dans le canal d'un transistor MOS, la densité de charge est généralement élevée et le champ électrique faible. Le bruit induit par le déplacement aléatoire de porteurs est donc mieux décrit par l'expression du bruit thermique.

I.5.4. Fluctuations du nombre de porteurs de charge

Cette théorie a été proposée par Mc Worther . Ce bruit est dû au piégeage des porteurs de charge au-dessous du diélectrique au niveau de la grille. La densité spectrale du courant qui circule au niveau du drain, notée SID et donnée par : [20]:

$$S_{ID} = \frac{I_F q^4 I_D^2}{n^2 K T W L F n} \frac{N_{ST}}{(C_{OX} + C_{SS} + C_I)^2} \left(\frac{\mu_{Eff}}{\mu_0} \right)^2 \quad (2-10)$$

Avec

$$\mu_{eff} = \frac{\mu_0}{1 + (V_{GS} - V_T)}$$

Où :

KF : constante dépendant de la technologie utilisée

n : concentration des électrons

q : la charge de l'électron

I_D : le courant du drain

K : la constante de Boltzmann

W : la largeur du canal

L : la longueur du canal

T : la température en degré Kelvin

N_{ST} : la densité des porteurs piégés en surface

C_{SS} : la capacité d'interface

C_I : la capacité d'inversion

C_{ox} : la capacité de l'oxyde

V_{GS} : la tension entre la grille et la source

V_T : la tension de seuil «threshold »

μ_{eff} : la mobilité effective des porteurs de charge

μ_0 : la mobilité des porteurs de charge à faible champ

θ : le facteur d'atténuation de la mobilité des porteurs de charges dans le canal.

I.6.LA TECHNOLOGIE CMOS [21]

La réalisation d'un circuit intégré à partir d'un schéma électrique consiste, pour le concepteur, à définir les dimensions physiques ainsi que l'emplacement des divers éléments. Dans une seconde étape, ces éléments sont réalisés par le fondeur, sur la plaquette de silicium. Les divers procédés

physico-chimiques mis en œuvre pour cette réalisation font appel à une technique de masques photo-lithographiques, chaque masque correspondant à une « couche » du circuit intégré. Le

plan de ces masques est réalisé par le concepteur du circuit qui doit tenir compte de certaines règles imposés par le fondeur. Le dessin des masques (layouts) revient à dessiner un ensemble de figures géométriques qui définissent les éléments électriques ainsi que leur position.

Pour mener à bien cette tâche le concepteur utilise un éditeur de polygones appelé éditeur de layouts. Cet outil permet en outre d'obtenir un ensemble de plans de masques, sous la forme d'un fichier informatique directement utilisable par le fondeur.

Lorsque l'on intègre un NMOS et un PMOS sur le même support de silicium, il est nécessaire de réaliser des régions d'une polarité différente de celle du substrat afin d'isoler le MOS concerné. Ces régions sont appelées caissons. La figure (I.8) illustre ceci dans le cas d'un substrat p.

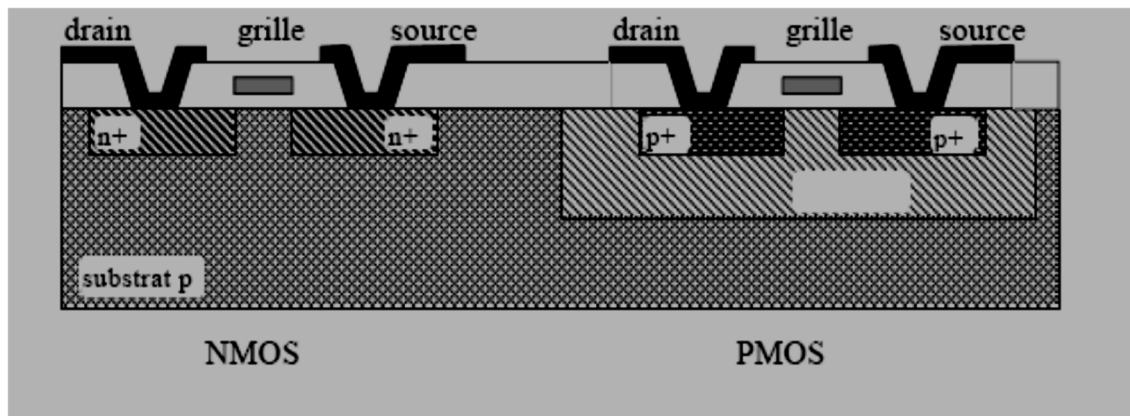


Figure (I.8) schéma d'intégration de la structure CMOS [21]

I.7. Conclusion

Ce chapitre nous a permis de fixer les bases théoriques qui régissent le fonctionnement du transistor MOS. Nous avons choisi une approche simple destinée à mettre l'accent davantage sur la compréhension des phénomènes et de leurs limitations que sur les multiples approches de modélisation développées dans la littérature.



CHAPITRE 2 :

**Amplificateurs opérationnels en
technologie CMOS**

II.1. Introduction

Un amplificateur opérationnel encore appelé (ampli op, AO, AOP, ALI) est un amplificateur différentiel, c'est-à-dire un amplificateur qui amplifie une différence de potentiel électrique présente à ses entrées. Il a été initialement conçu pour effectuer des opérations mathématiques dans les calculs analogiques, il permettait de modéliser les opérations mathématiques de base. Par la suite, l'amplificateur opérationnel est utilisé dans bien d'autres applications tels que la commande des moteurs, la régulation de tension, les sources de courants ou encore les oscillateurs. [22]

Un amplificateur opérationnel en technologie CMOS dispose généralement de deux entrées, deux broches d'alimentation, et une sortie. L'entrée notée + est dite non inverseuse tandis que l'entrée notée - est dite inverseuse, ceci en raison de leur rôle respectif dans les relations entrées/sorties de l'amplificateur.

Un amplificateur opérationnel CMOS se compose d'un circuit de polarisation, d'un amplificateur différentiel et d'un étage de gain en tension, dans le présent chapitre nous allons voir en détails les blocs de base de l'amplificateur intégrés.

II.2. Architecture d'un amplificateur opérationnel.

Le schéma général d'un amplificateur opérationnel est plus ou moins celui indiqué (Figure II.1). Il comporte en entrée un étage différentiel puis un étage de gain élevé et enfin un étage de sortie capable de délivrer un courant important. Il faut y ajouter un circuit de compensation et les circuits nécessaires pour générer les tensions et les courants de polarisation.

Deux structures classiques seront détaillées : l'amplificateur à deux étages et le « folded » cascode.

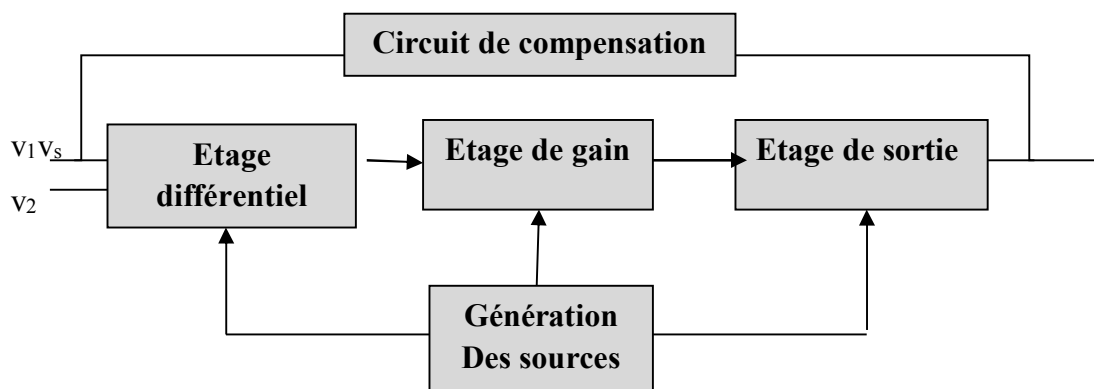


Figure II.1. Architecture d'un amplificateur opérationnel.[23]

II.3. étage d'alimentation- les miroirs de courant

Le miroir de courant, qui est l'une des cellules de base des circuits intégrés analogiques doit satisfaire les caractéristiques : [24]

- Un facteur de copie en courant précis et constant,
- Une plage en tension admissible en sortie la plus large possible,
- Une faible résistance dynamique d'entrée r_{in} ,
- Une faible conductance dynamique en sortie du miroir $g_{out}=1/r_{out}$, afin de rendre la copie en courant indépendante des conditions de la tension de polarisation du nœud de sortie,
- Une réponse en fréquence élevée du courant de court-circuit en sortie.

II.3.1 Le miroir de courant simple

Le miroir de courant simple est présenté (figure II.2). Le transistor M_1 est câblé en «transdiode» et opère donc en zone de saturation car $V_{DS}=V_{GS} > (V_{GS}-V_{th})$.

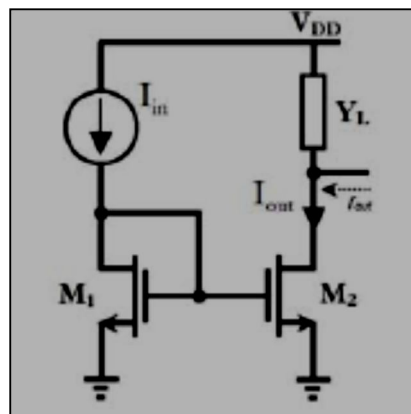


Figure II.2.: Miroir de courant simple [13]

Afin d'assurer une recopie en courant fidèle, le transistor M_2 doit aussi opérer en zone de saturation, d'où l'expression du transfert en courant du miroir :

$$\frac{I_{out}}{I_{in}} = \frac{(W/L)_2}{(W/L)_1} \frac{1 + \lambda_2 V_{DS2}}{1 + \lambda_1 V_{DS1}}$$

En prenant en compte la modulation de la longueur du canal, le transfert en courant est dépendant des tensions de polarisation des nœuds d'entrée et de sortie du miroir (termes $\lambda_1 V_{DS1}$ et $\lambda_2 V_{DS2}$) et introduit une non-linéarité en fonction de la tension de sortie V_{DS2} . Le

miroir de courant classique présente la plage de tension admissible en sortie la plus grande possible (seulement limitée par la nécessaire polarisation du transistor M_2 en zone de saturation) $V_{OUT} > V_{DSsat2}$, mais au détriment de la linéarité du transfert en courant et avec une valeur relativement élevée de la conductance de sortie du miroir. Nous devons remarquer que la résistance dynamique « vue » par la grille de M_2 est relativement faible ($1/g_{m1}$), ce qui fait que M_2 est proche, en régime dynamique petit signal, d'une « attaque » en tension. De cette considération, il en résulte l'expression de la conductance de sortie :

$$g_{out} = g_{DS2} = \lambda_2 I_{D2}$$

La (figure II.3) présente le schéma équivalent petit signal du miroir de courant simple. En régime petit signal, le transistor M_1 câblé en transdiode, présente, grâce à la contre réaction parallèle entre drain et grille, une forte valeur de conductance dynamique ($g_{m1} + g_{DS1}$). Cette conductance est « vue » par la grille de M_2 .

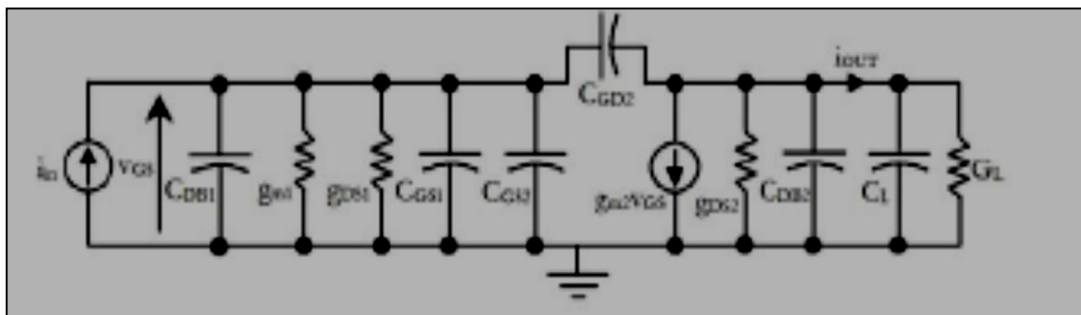


Figure II.3.: Schéma petit signal du miroir de courant simple

Avec des technologies submicroniques basse-tension, et avec une longueur de canal L proche de la valeur minimale, nous recherchons souvent à améliorer les caractéristiques de sortie de la source de courant, car le paramètre λ est souvent de trop forte valeur dans ces technologies. L'une des méthodes consiste à maintenir quasi constante la différence de potentiel V_{DS} du transistor qui donne le courant de sortie. Pour cela, un second transistor positionné en « série » reçoit la variation de la tension de sortie, alors que le premier impose le courant.

Dans ce type de circuit, nous disposons principalement du miroir de courant Wilson et des miroirs de courant cascode.

II.3.2 Le miroir de courant Wilson

II.3.2.1 Principe

Afin de réduire la conductance de sortie du miroir de courant simple, la structure Wilson peut être utilisée (figure II.4).

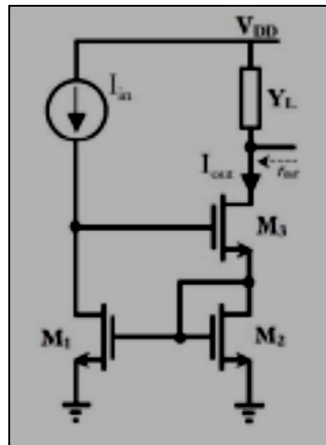


Figure II.4.: Miroir de courant Wilson [13]

Le transfert en courant est identique au miroir de courant classique avec une erreur systématique générée puisque $V_{DS1} = V_{GS2} + V_{GS3}$:

$$\frac{I_{out}}{I_{in}} = \frac{I_{D2}}{I_{D1}} = \frac{(W/L)_2}{(W/L)_1} \frac{1 + \lambda_2 V_{DS2}}{1 + \lambda_1 (V_{GS2} + V_{GS3})}$$

La plage de tension admissible en sortie est dégradée d'une tension grille-source supplémentaire en comparaison avec le miroir de courant classique : $V_{OUT} > V_{GS2} + V_{DSsat3}$, soit $V_{OUT} > 2V_{DSsat} + V_{th}$.

La conductance de sortie du miroir Wilson est plus faible que celle du simple miroir de courant :

$$g_{out} = \frac{g_{m2} \cdot g_{DS3} \cdot g_{DS1}}{g_{m1} \cdot g_{m3}}$$

mais l'écart de polarisation $V_{DS1} \sim 2V_{DS2}$ implique que les performances sont « moyennes ».

II.3.2.2 Miroir de courant Wilson amélioré

Afin de supprimer l'erreur systématique dans le transfert en courant du miroir et de réduire la conductance de sortie, il est souhaitable que M_1 et M_2 présentent les mêmes tensions V_{DS} . Cela peut être réalisé avec l'ajout d'un transistor supplémentaire M_4 (figure II.5), ce qui constitue le miroir de courant Wilson amélioré.

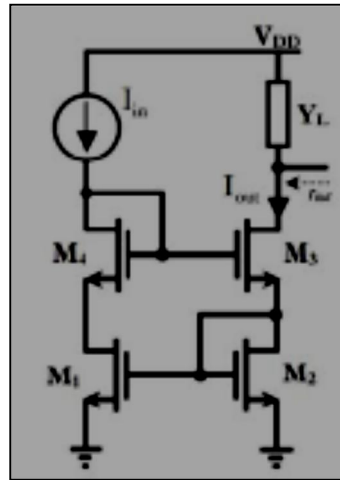


Figure II.5: Miroir de courant Wilson amélioré [13]

Ce miroir affranchit l'erreur de copie en courant car :

$$V_{DS1} = V_{DS2} = V_{GS2} \text{ dès lors que } V_{GS3} = V_{GS4}.$$

La plage de tension admissible en sortie demeure inchangée :

$$V_{OUT} > V_{GS2} + V_{DSsat3}, \text{ soit } V_{OUT} > 2V_{DSsat} + V_{th}.$$

La conductance de sortie du miroir est approximativement équivalente à celle du miroir de courant Wilson classique :

$$g_{out} \approx \frac{g_{m2} \cdot g_{DS3} \cdot (g_{DS1} + g_{m4})}{g_{m1} \cdot g_{m3}} \approx \frac{g_{DS}}{|x_{v0}|} \quad \text{avec } |x_{v0}| = \frac{g_m}{g_{DS}}$$

Ce qui met en évidence que la conductance de sortie gout correspond à celle de M_3 divisée par le gain en tension intrinsèque quasi statique av_0 d'une source commune avec une conductance de charge extérieure nulle.

II.3.3 Les miroirs de courant cascode

III.3.3.1 Cascode simple

Le miroir de courant cascode (figure II.6) est une méthode alternative, plus largement utilisée, afin de réduire l'admittance de sortie des miroirs de courant. Cette caractéristique est réalisée grâce à une contre-réaction série appliquée sur la source du transistor de sortie.

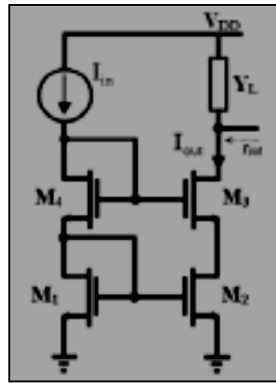


Figure II.6: Miroir de courant cascode simple [13]

Comme pour le miroir de courant Wilson amélioré, le miroir de courant cascode s'affranchit de la dépendance entre les deux tensions drain-source de M_1 et M_2 : $V_{GS4} + V_{GS1} = V_{GS3} + V_{DS3}$, d'où $V_{DS1} = V_{GS1} = V_{DS2}$ dès lors que $V_{GS3} = V_{GS4}$. L'expression du transfert en courant est alors identique à celle du miroir de courant Wilson amélioré :

$$\frac{I_{out}}{I_{in}} = \frac{(W/L)_2}{(W/L)_1} \frac{1 + \lambda_2 V_{DS2}}{1 + \lambda_1 V_{DS1}}$$

De même, la plage de tension admissible en sortie est limitée par la nécessaire polarisation du transistor M_3 en zone de saturation :

$$V_{OUT} > V_{GS2} + V_{DSsat3}, \text{ soit } V_{OUT} > 2V_{DSsat} + V_{th}.$$

Le transistor M_3 est proche d'une configuration dynamique grille commune. La source de M_3 subit un quasi attaque en courant par M_2 dont la conductance de sortie est g_{DS2} .

II.3.3.2. miroirs de courant cascode à large excursion

Afin d'améliorer la plage de tension admissible en sortie du miroir de courant cascode, la tension de polarisation de la grille de M_3 doit être la plus faible possible mais suffisante pour assurer le fonctionnement en zone de saturation. En d'autres termes, il est nécessaire d'ajouter une source de tension ΔV plus petite que la différence de potentiel V_{GS4} de la (figure II.7).

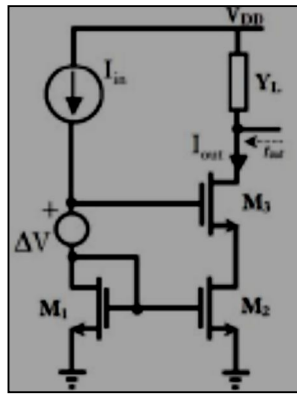


Figure II.7: Schéma de principe du miroir de courant
 Cascode à large excursion [13]

Ces circuits seront alors considérés comme miroir de courant à « large excursion » en raison de leur plage de tension admissible en sortie ($V_{OUT} > 2V_{DSsat}$). Les (figure II.8) et (figure II.9) sont des variantes d'implémentation du miroir de courant cascode à large excursion.

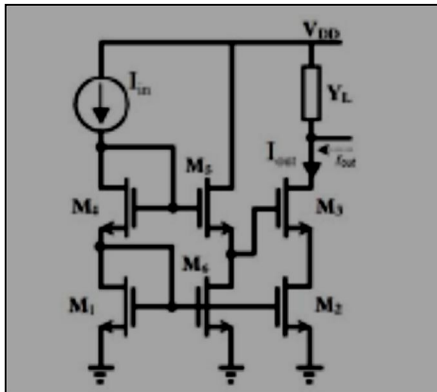


Figure II.8: Miroir de courant cascode à large
 Excursion (I)

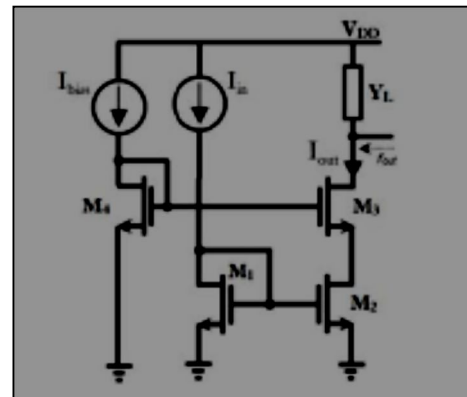


Figure II.9: Miroir de courant cascode à large
 Excursion (II)

II.3.3.3 Le miroir de courant cascode amélioré à grande excursion

Un miroir de courant très utilisé dans la conception de circuits intégrés analogiques dans un environnement basse tension est le miroir de courant cascode à large excursion [24] [25] (figure II.10).

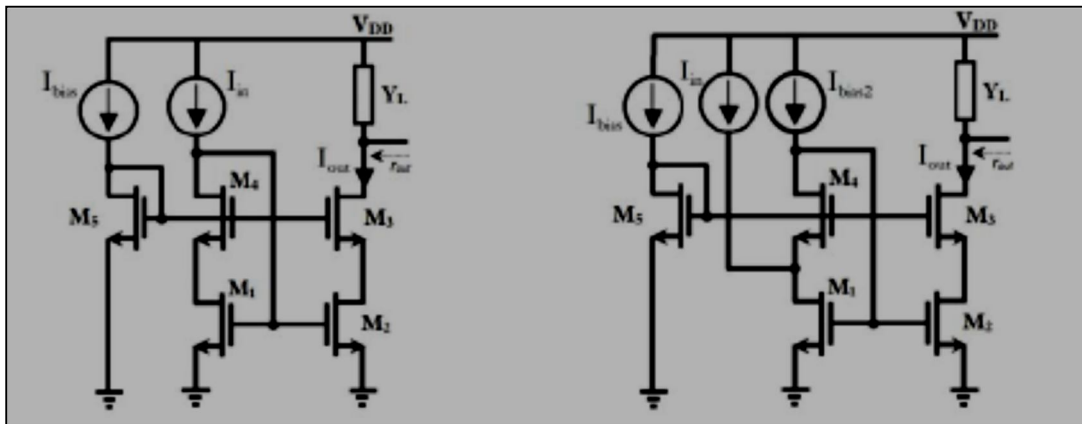


Figure II.10: Miroir de courant cascode amélioré à Large excursion et à courant injecté [13]

Afin que le circuit possède la plus grande excursion en tension en sortie, ce circuit exploite la limite de polarisation V_{DSsat} en zone de saturation des transistors M_1 et M_2 . Les transistors M_1 et M_4 sont câblés en configuration de « diode composite », dans le sens où la grille de M_1 est reliée au drain de M_4 . Le rôle du transistor M_4 est alors d'assurer une tension drain-source de M_1 plus faible que dans un circuit du type cascode simple (figure II.6). Il permet surtout de rendre cette tension équivalente à la tension drain-source du transistor M_2 , et ce, afin d'assurer une recopie en courant du miroir très peu dépendante du λ . Sans la présence du transistor M_4 (figure II.10), la recopie en courant serait alors dépendante du paramètre λ .

II.4. La paire différentielle

II.4.1. La paire différentielle simple

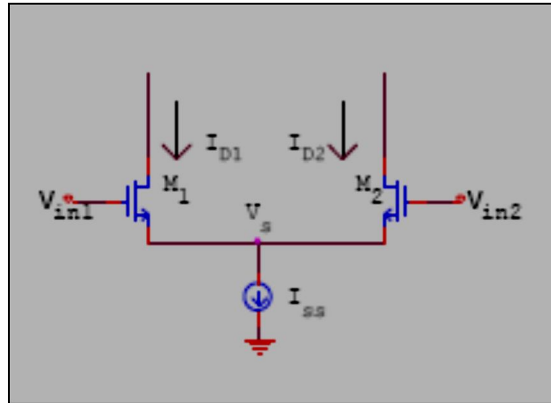


Figure II.11: Cellule différentielle à base du CMOS.

La première classe des cellules différentielles est réalisée par la paire des transistors MOS M_1 et M_2 du type N représentée par la (Figure II.11) [26].

Cette paire de sources couplées est polarisée par une source de courant I_{SS} . Les deux tensions d'entrées V_{in1} et V_{in2} peuvent être appliquées sur les grilles de M_1 et M_2 , où les transistors M_1 et M_2 ont la même caractéristique. Le rôle de cette cellule est de convertir la tension d'entrée V_{in} en un courant I_{D1} et I_{D2} donné par les équations (1.2a) et (1.2b) dans la région de saturation des transistors de la (Figure II.11).

$$I_{D1} = \beta \cdot (V_{in1} - V_S - V_T)^2 \quad (1.2a)$$

$$I_{D2} = \beta \cdot (V_{in2} - V_S - V_T)^2 \quad (1.2b)$$

En combinant (1.2a) et (1.2b), on trouve :

$$V_{in1} - V_{in2} = \sqrt{\frac{I_{D1}}{\beta}} - \sqrt{\frac{I_{D2}}{\beta}} \quad (1.3)$$

La somme des courants sur le nœud des sources des deux transistors est donnée par la formule suivante :

$$I_{D1} + I_{D2} + I_{SS} \quad (1.4)$$

En combinant les équations (1.3) et (1.4), on obtient l'expression des courants drains des deux transistors, où $\Delta V = V_{in1} - V_{in2}$:

$$I_{D1} = \frac{I_{SS}}{2} - \beta \Delta V \sqrt{\frac{I_{SS}}{2\beta} - \left(\frac{\Delta V}{2}\right)^2} \quad (1.5a)$$

$$I_{D2} = \frac{I_{SS}}{2} + \beta \Delta V \sqrt{\frac{I_{SS}}{2\beta} - \left(\frac{\Delta V}{2}\right)^2} \quad (1.5b)$$

D'après les équations (1.5a) et (1.5b), on trouve les régions de saturations et de blocage de chaque transistor.

$$\begin{cases} V_{in1} > V_{in2} \\ \Delta V \geq \sqrt{\frac{I_{SS}}{\beta}} \end{cases}$$

Le transistor M_1 est saturé, et le transistor M_2 est bloqué alors on a : $I_{D1} = I_{SS}$

La (figure II.12) explique ces équations pour les courants de sortie en fonction de la tension d'entrée [27]. Ces courants de sortie sont limités par le courant de contrôle de la cellule différentielle I_{SS} .

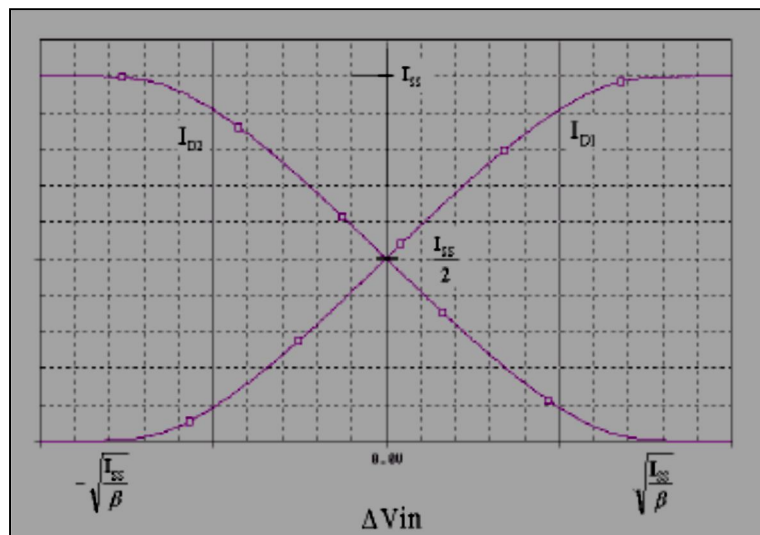


Figure II.12: Le courant drain de sortie de la paire de sources couplées en fonction de la Tension d'entrée ΔV . [27]

Le courant de sortie est donné par la différence des courants drains tel que:

$$I_0 = I_{D1} - I_{D2} = \begin{cases} \Delta V \sqrt{1 - \frac{\beta}{2I_{SS}} \Delta V^2} & \text{pour } |\Delta V| \leq \sqrt{\frac{I_{SS}}{\beta}} \\ I_{SS} \text{sign}(\Delta V) & \text{pour } |\Delta V| > \sqrt{\frac{I_{SS}}{\beta}} \end{cases} \quad (1.6)$$

Cette équation est représentée par la (figure II.13) où la plage de tension d'entrée est limitée par $\sqrt{\frac{I_{SS}}{\beta}}$

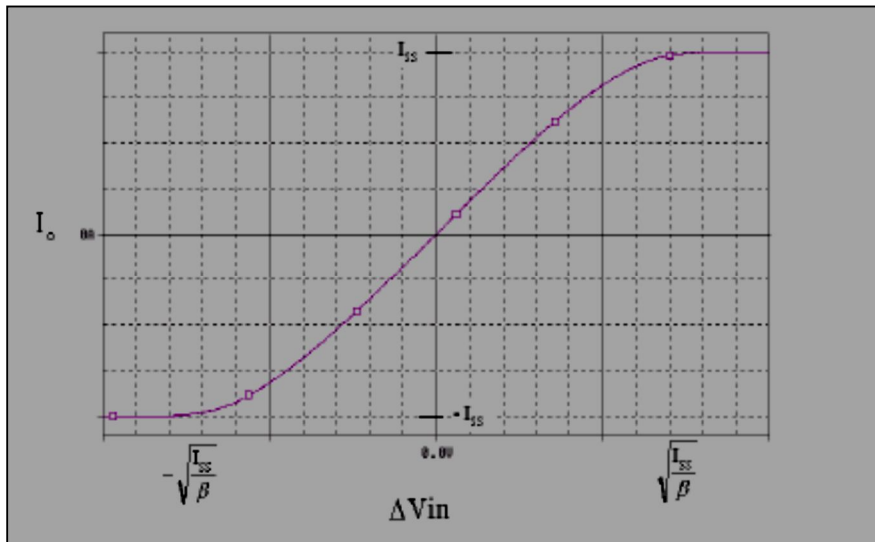


Figure II.13: La différence entre les courants de sortie de la paire de sources couplées en Fonction de la variation de la tension d'entrée ΔV . [27]

II.4.1.1. La transconductance en DC

La transconductance de la cellule différentielle simple est donnée par la dérivation de la différence des courants de sortie des drains des transistors M_1 et M_2 par rapport à la tension d'entrée, on obtient l'équation (1.7):

$$G_{mDC} = \frac{\partial(I_{D1} - I_{D2})}{\partial \Delta V} = \frac{\sqrt{2I_{SS}\beta} \left[1 - \frac{\beta}{I_{SS}} \Delta V^2 \right]}{\sqrt{\frac{1}{2I_{SS}} \Delta V^2}} \quad (1.7)$$

II.4.1.2 La transconductance en AC

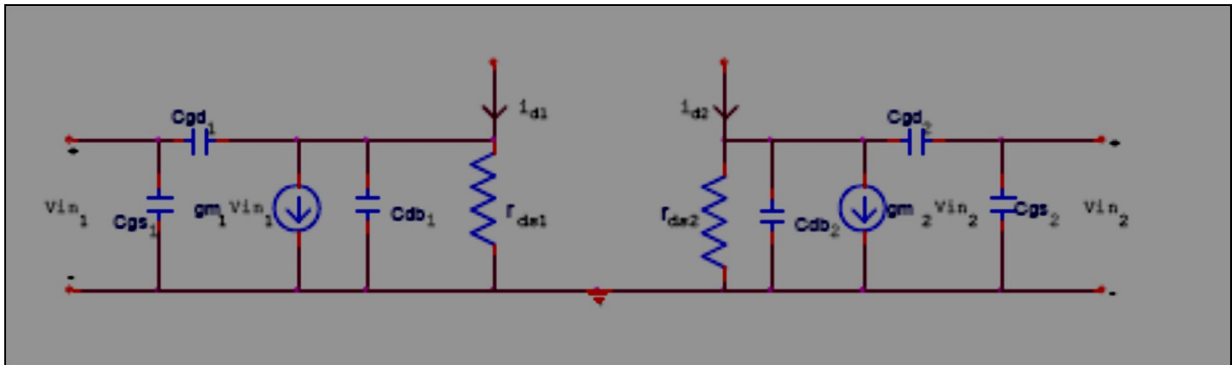


Figure II.14: Le modèle petit signal équivalent d'une cellule différentielle simple.

$$g_{m1} = \frac{\partial I_{D1}}{\partial V_{GS1}} = 2 \frac{\partial I_{D1}}{\partial \Delta V} = \frac{\sqrt{2I_{SS}\beta} \left[1 - \frac{\beta}{I_{SS}} \Delta V^2 \right]}{\sqrt{1 - \frac{1}{2I_{SS}} \Delta V^2}} \quad (1.8a)$$

$$g_{m1} = \frac{\partial I_{D1}}{\partial V_{GS2}} = 2 \frac{\partial I_{D2}}{\partial \Delta V} = \frac{\sqrt{2I_{SS}\beta} \left[1 - \frac{\beta}{I_{SS}} \Delta V^2 \right]}{\sqrt{1 - \frac{1}{2I_{SS}} \Delta V^2}} \quad (1.8b)$$

On a une même valeur de transconductance ($g_{m1}=g_{m2}$) qui est la transconductance en mode DC, soit dans la demi-cellule de la (FigureII.14) on trouve :

$$I_{di} = \frac{g_{m1} \left(1 - \frac{C_{GD1}S}{g_{m1}} \right)}{1 + r_{da1} C_{DS1}S} V_{in1} \quad (1.8c)$$

Pour la résistance drain-source dans la paire de sources couplées et infinie, on trouve la relation entre la différence des courants de sortie des drains et la tension d'entrée :

$$i_o(s) = i_{d1}(s) - i_{d2}(s) = g_{m1} v_{in1}(s) - g_{m2} v_{in2}(s) \quad (1.9)$$

à partir de l'équation (1.8) et (1.9) on trouve:

$$i_o(s) = G_{m_{DC}} \Delta V(s) \quad (1.10)$$

On remarque que la transconductance en AC c'est la même en DC, lorsque en élimine l'effet interne (la résistance drain-source et les capacités des transistors MOS).

II.4.2.La paire différentielle cascode

Le gain en tension d'un amplificateur différentiel peut être augmenté par l'utilisation de la configuration cascode montrée dans la (Figure II.15)

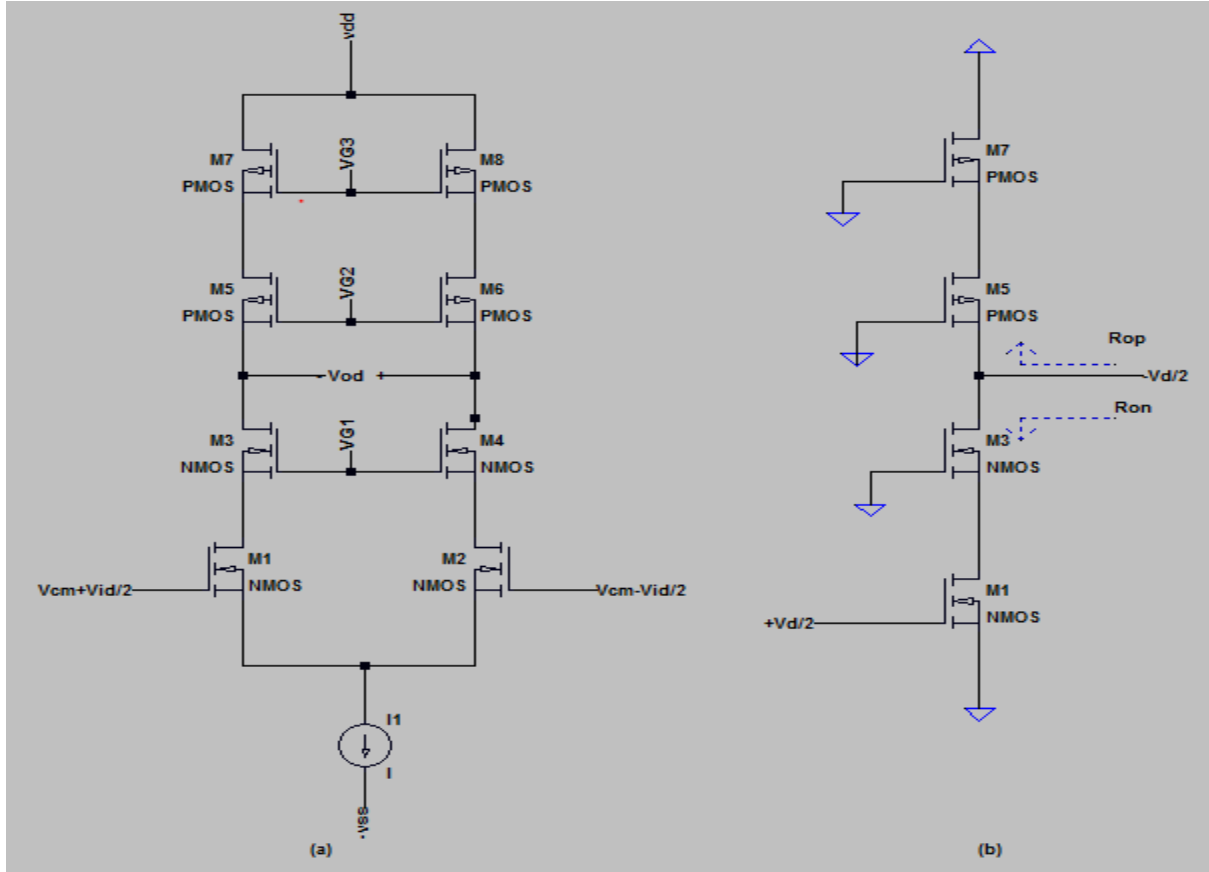


Figure II.15 : amplificateur diff cascode a) et b) son demi circuit

Le cascoding est appliquée sur les transistors M1 et M1 via les transistors M3 et M4 et sur la source de courant M7 et M8 via les transistors M5 et M6, le gain différentiel est calculé en utilisant le demi circuit figura :

$$A_d \equiv \frac{v_{od}}{v_{id}} = g_{m1}(R_{on} \parallel R_{op}) \tag{1.11}$$

ou

$$R_{on} = (g_{m3}r_{o3})r_{o1} \tag{1.12}$$

et

$$R_{op} = (g_{m5}r_{o5})r_{o7} \tag{1.13}$$

II.5. Etage de gain

II.5.1. Etage de gain simple:

Considérons l'étage de gain CMOS "classique" représenté à la (Figure II.16) :

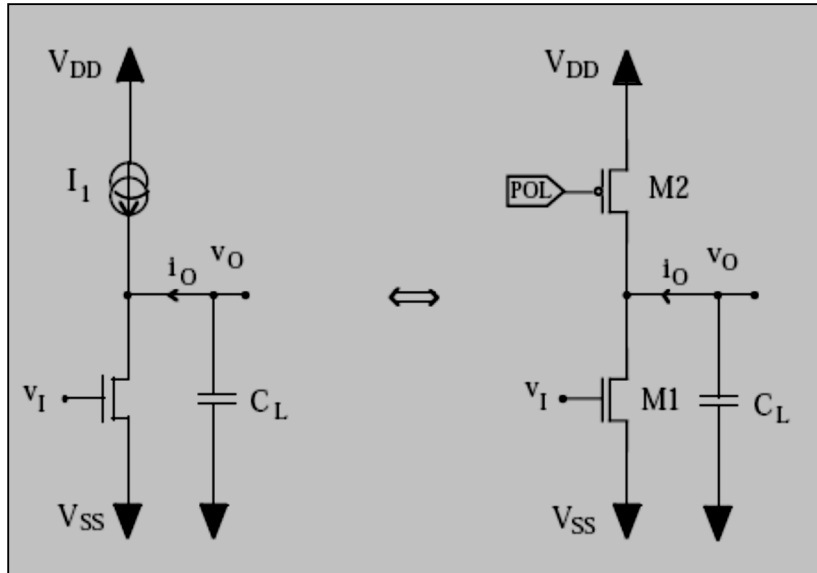


Figure II.16 : Etage de gain simple CMOS.[28]

Détaillons les caractéristiques principales en régime de petits signaux.

Les transistors M₁ et M₂ étant dans la région de saturation, les paramètres de petit signal peuvent s'exprimer de la façon suivante:

$$g_m = \sqrt{2\mu C_{ox} \frac{W}{L} I_D} \tag{1.14}$$

$$g_{ds} = \lambda I_D \tag{1.15}$$

Pour tout transistor MOS, on peut écrire l'équation suivante:

$$I_d = g_m \cdot v_{gs} + g_0 \cdot v_{ds} \tag{1.16}$$

Dans ce circuit (Figure II.16), la source de courant est connectée au drain du transistor MOS, donc $i_d = 0$ et l'équation (1.16) devient:

$$0 = g_m \cdot v_{gs} + g_0 \cdot v_{ds} \tag{1.17}$$

En substituant aux tensions v_{gs} et v_{ds} les tensions v_i et v_o ($v_i = v_{gs}$ et $v_o = v_{ds}$), on obtient :

$$\frac{v_0}{v_1} = A_0 = -\frac{g_m}{g_0} = -g_m \cdot r_{out} \quad (1.18)$$

Avec

$$r_{out} = \frac{1}{g_0} \quad (1.19)$$

Où

g_m : transconductance du transistor d'entrée M_1 ,

$r_{out} = r_{ds}(M_1) // r_{ds}(M_2)$: résistance de sortie de l'étage de gain.

Le gain-dc A_0 est donc le produit de la transconductance avec l'impédance de sortie du circuit, ce qui explique que la réalisation de la fonction de transfert du signal se fait en deux étapes: tout d'abord, la tension d'entrée est transformée en courant via la transconductance g_m , puis le courant est transformé en tension de sortie via l'impédance de sortie r_{out} de l'étage. Le gain-dc A_0 peut s'exprimer aussi en fonction du courant de drain I_D et du rapport W/L .

$$A_0 = -\frac{g_{m1}}{g_{ds1} + g_{ds2}} = -\frac{\sqrt{2\mu C_{ox} \left(\frac{W}{L}\right)_1}}{\sqrt{I_D}(\lambda_n + \lambda_p)} \quad (1.20)$$

On en déduit que le gain-dc est inversement proportionnel à la racine carré du courant drain, car la transconductance du transistor dépend de la racine carré du courant drain (Eq. (2.14)), et la conductance de sortie dépend du courant drain (Eq. (1.15)).

II.5.2. Etage de gain de circuit cascode:

Une amélioration de ce problème est proposée en utilisant un circuit cascode (Figure II.17). Ce qui permet d'augmenter le gain sans diminuer le produit gain-bande, par la mise en série de deux transistors. On obtient un étage de gain cascode qui possède une transconductance effective g_{meff} similaire à la transconductance g_m de l'étage de gain classique. La (Figure II.17) explique ce phénomène.

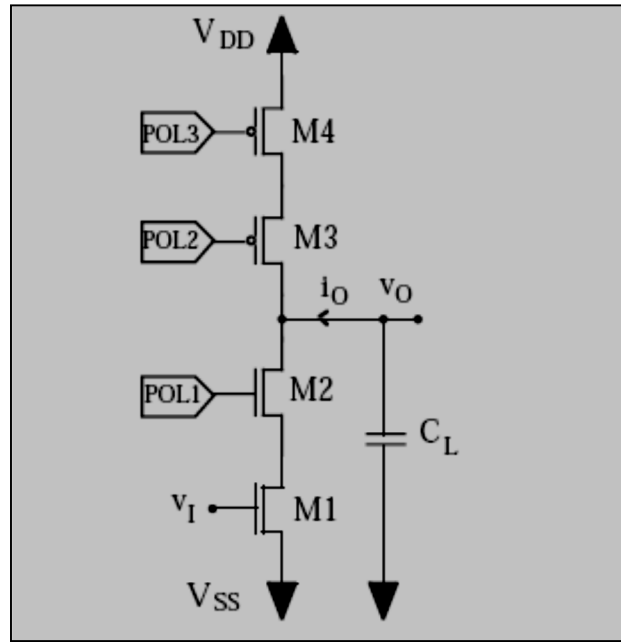


Figure II.17 : Etage de gain cascode CMOS [28].

Nous allons montrer que le gain-dc peut s'exprimer en fonction de la transconductance effective, g_{meff} , et de l'impédance de sortie, R_{out} . Nous allons aussi montrer que pour les basses fréquences, la structure du circuit cascode a pour effet d'augmenter l'impédance de sortie avec peu d'effet sur la transconductance. Pour les hautes fréquences, l'effet de l'étage cascode est presque négligeable.

La transconductance effective est donnée par l'équation suivante:

$$\frac{\Delta I}{\Delta V_1} = g_{m1} \frac{g_{m2} r_{01} + r_{01}/r_{02}}{g_{m2} r_{01} + r_{01}/r_{02} + 1} = g_{meff} \quad (1.21)$$

Le gain intrinsèque de cet étage est alors :

$$A_0 = g_{meff} \cdot R_{out} \quad (1.22)$$

L'impédance de sortie peut donc être calculée facilement. Elle est fortement augmentée en comparaison avec celle d'un étage de gain simple :

$$R_{out} = (g_{m2} r_{02} + 1) r_{01} + r_{02} \quad (1.23)$$

Le gain-dc est par conséquent égale à:

$$A_0 = g_{m1} r_{01} (g_{m2} r_{02} + 1) \quad (1.24)$$

Cette expression montre que le gain d'un étage cascode est approximativement égal au carré du gain d'un étage simple:

$$A_{ocascade} \cong g_{m1} r_{01} g_{m2} r_{02} \cong A_{osimple}^2 \quad (1.25)$$

II.6. Les Amplificateurs opérationnels CMOS

II.6.1. Amplificateur CMOS à deux étages simple

C'est le plus immédiat, il est formé de l'étage différentiel étudié dans le paragraphe 7.2 suivi d'un étage PMOS chargé par une source de courant. Le schéma est donné (Figure II.18). [29]

Les transistors qui constituent la paire différentielle à sources couplées de l'étage d'entrée influent sur les caractéristiques électriques du circuit. Indépendamment de la technologie utilisée, ces caractéristiques influencées sont :

- Le gain quasi-statique de l'amplificateur en boucle ouverte, car il dépend en partie de la transconductance équivalente des transistors d'entrée.
- La tension de décalage de l'amplificateur, car elle dépend de l'appariement des transistors de la paire différentielle, mais également des paires de transistors constituant la charge active.
- Le bruit total de l'amplificateur que nous attribuerons par la suite au bruit généré par les transistors d'entrée et par leur charge active.

Comparativement aux transistors bipolaires, les transistors MOS présentent de très bas courants d'entrée de l'amplificateur en raison de l'impédance quasi-infinie de leur grille. La tension de décalage résultante, dépendante de leur appariement est améliorée en comparaison aux transistors bipolaires pour lesquels des dispersions de la valeur finie du gain en courant \square sont sources d'un courant de décalage. Par contre, les transistors MOS possèdent des transconductances équivalentes plus faibles que les transistors bipolaires lorsque l'on cherche à concevoir des circuits à bande passante élevée.

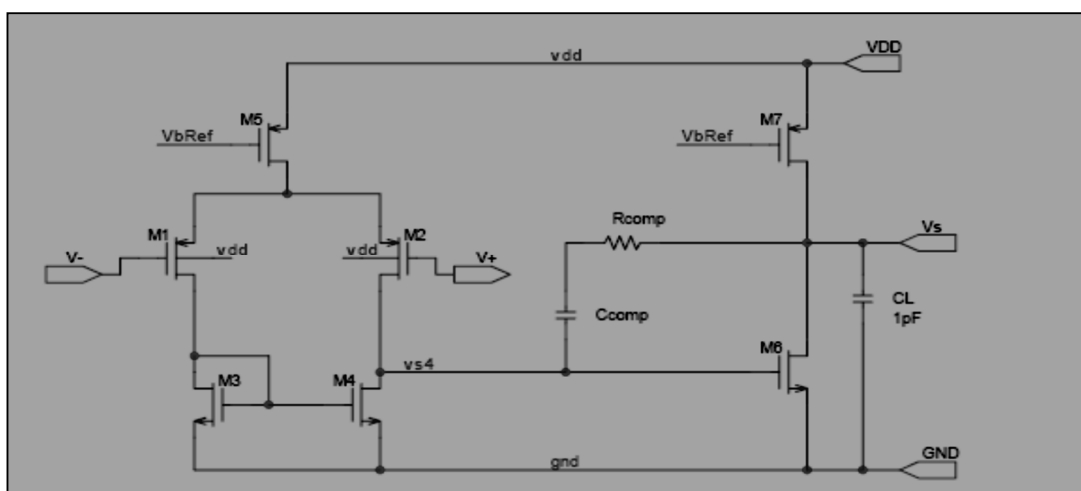


Figure II.18 : Amplificateur à deux étages [29]

II.6.2. Amplificateur à Deux étages dont un cascode

Un moyen simple d'obtenir le gain recherché est de partir d'une structure classique deux étages et de cascode l'un d'entre eux. Deux choix s'offrent à nous : cascode le premier étage ou bien le deuxième (Figure II.19). [30]

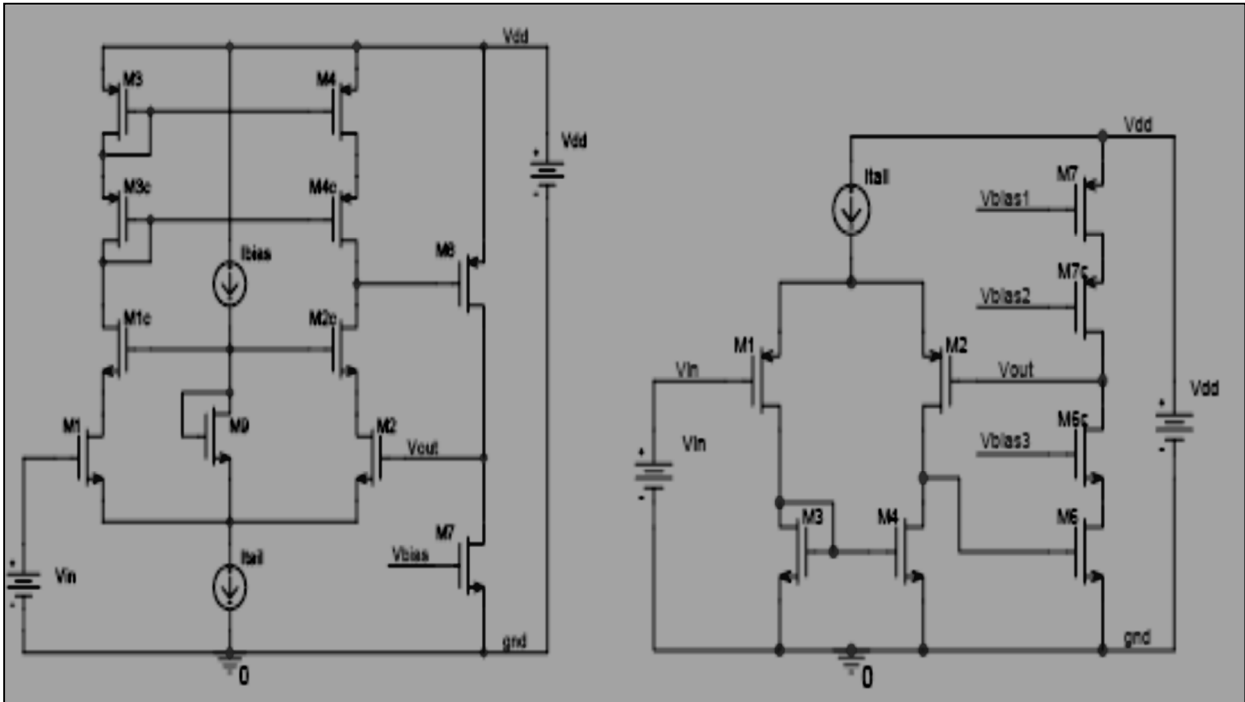


Figure II.19 : Exemples d'amplificateurs opérationnels à deux étages dont l'un cascode [30]

Porter le cascode sur le deuxième étage va s'avérer un meilleur choix pour deux raisons :

- Cascode la paire différentielle d'entrée réduit la plage admissible de fonctionnement en entrée et n'est donc pas compatible avec une technologie basse-tension. Une amélioration consiste à réaliser une structure repliée. Néanmoins, ce genre de structure ajoute un pôle qui vient dégrader la réponse fréquentielle de l'amplificateur.
- Avoir un deuxième étage à fort gain facilite la compensation de la structure par effet Miller, comme nous allons le voir dans les sections suivantes.

II.6.3. Amplificateur operational Rail to Rail

L'étage d'entrée d'un AOP est souvent constitué d'une seule paire différentielle de type-N ou de type-P (Jacob Baker *et al.* 1998). Mais, dans le cas d'une structure rail to rail, on met en jeu deux paires différentielles complémentaires, une paire différentielle de type-N et une autre de type-P comme montré sur les (Figure II.20) et (Figure II.21). [31]

Une paire différentielle fonctionne avec des tensions d'entrée mode commun positives et négatives différentes. En effet cette dissymétrie est due principalement à une dégradation de la transconductance gm de la paire différentielle dans un sens ou un autre selon le type de l'étage. Cette dégradation est causée par la diminution de la tension de polarisation grille-source des transistors de la paire différentielle qui à la limite peut entraîner leur blocage.

Ceci correspond respectivement à une diminution de la tension mode commun dans le cas de la paire différentielle de type- N et une augmentation de cette tension dans le cas d'une paire différentielle de type- P. Donc pour avoir une étendue dynamique la plus proche des lignes d'alimentation; rail to rail, on peut combiner les deux paires en les connectant en parallèle. La (Figure 3) illustre le schéma de principe d'une structure rail to rail simple. Elle est constituée d'un étage différentiel complémentaire, un circuit de sommation et un étage de gain source commune. Cette structure va donc sommer les deux transconductances de chacune des deux paires différentielles, comme il est montré sur la (Figure 3).

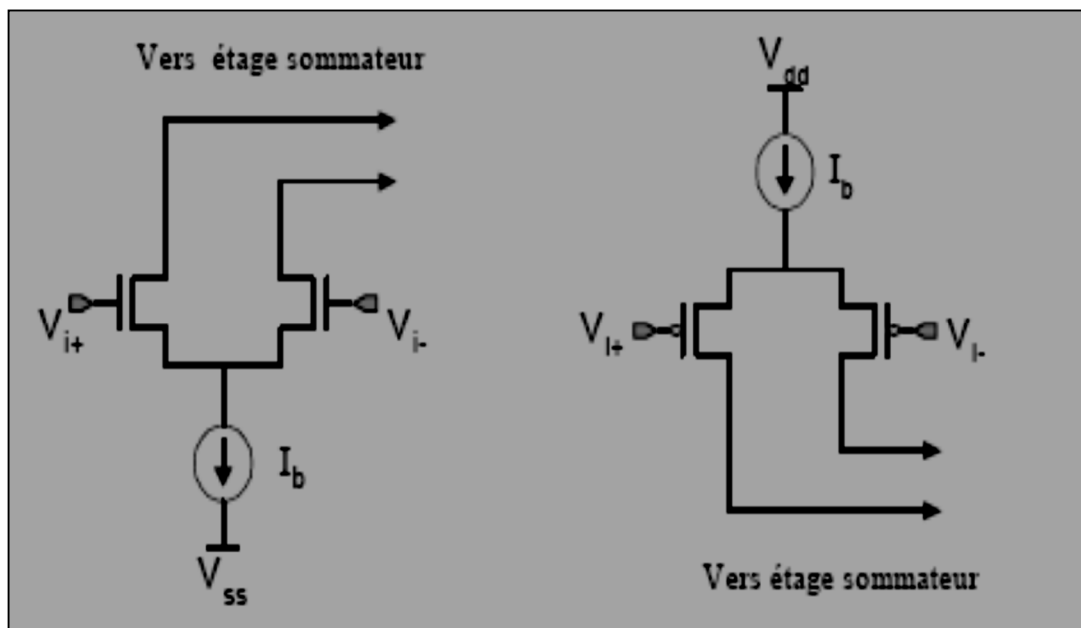


Figure II.20. Etage différentiel de type-N. et de type P[31]



CHAPITRE 3 :

**Simulation d'un amplificateur
d'instrumentation à trois AOP**

III.1.Introduction

L'amplificateur d'instrumentation (IA) est utilisé dans plusieurs applications pour amplifier les très faibles signaux issus des capteurs on peut citer comme domaine d'application : l'instrumentation médicale, l'acquisition de données et les amplificateurs audio. Ses caractéristiques les plus importantes sont : une grande impédance d'entrée et un meilleure rejection de mode commun [32].

L'amplificateur d'instrumentation CMOS a gagné une popularité de nos jours à cause de sa petite puissance car le transistor MOS utilise une faible puissance par rapport à son concurrent le traditionnel BJT.

Dans le présent chapitre nous allons étudié par simulation un amplificateur IA à trois AOP en se basant sur la conception de son module principal : l'amplificateur opérationnel à deux étages.

III.2.Présentation de l'amplificateur d'instrumentation

L'amplificateur IA le plus utilisé est composé de trois AOP comme il est montré sur la figure III.1 [33]. Les deux amplificateurs de l'étage d'entrée sont des amplificateurs non inverseur. L'étage de sortie est un amplificateur différentiel.

En plaçant une résistance R_{gain} entre les deux AOP d'entrée permet de régler le gain sans avoir à changer les autres résistances ; la tension de sortie V_{out} est l'amplification de la tension différentielle d'entrée ($V_2 - V_1$).

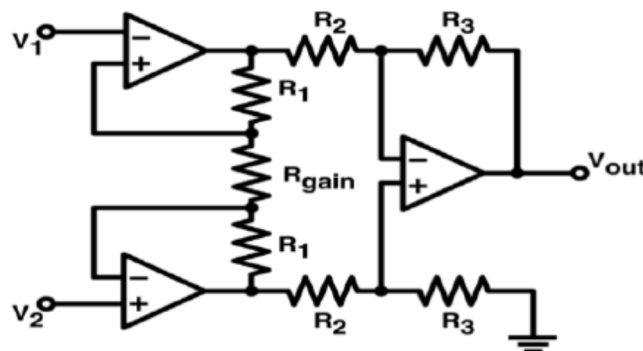


Figure III.1 : amplificateur d'instrumentation [31]

Comme on peut le voir sur la figure III .1 ; l'élément de base de amplificateur IA est L'AOP, nous allons donc focaliser notre étude sur la conception d'un amplificateur opérationnel qui répond aux spécifications désirées.

III.3. Conception d'un amplificateur opérationnel CMOS à deux étages

III.3.1. Schéma électrique

La figure III .2 montre le schéma électrique de notre amplificateur conçu :

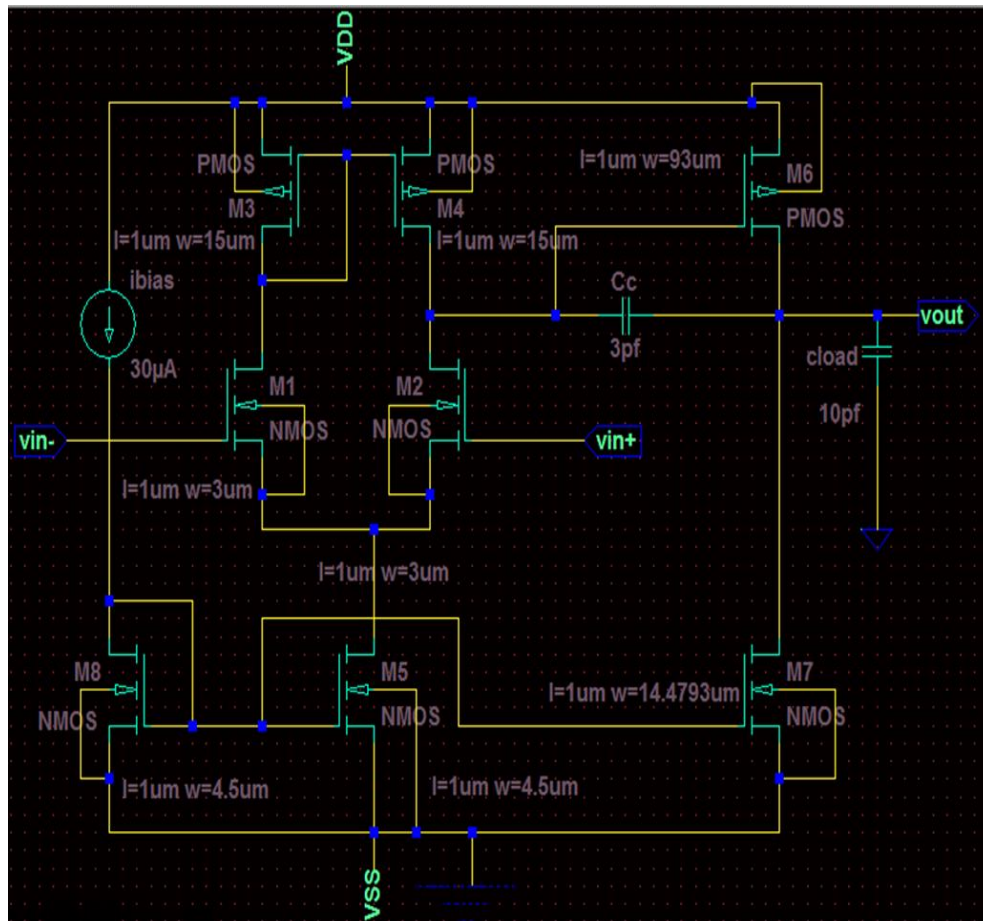


Figure III .2 : schéma électrique de l'amplificateur CMOS à deux étages par LTSPICE

Le premier étage est une paire différentielle constituée de deux transistors NMOS M1 et M2 chargée par un miroir de courant de type PMOS M3 et M4 et alimenté par le miroir de courant M5 et M8 ; le deuxième étage est un amplificateur source commune M7 chargé par un transistor PMOS M6 (source de courant).

La capacité CL a été ajoutée pour des questions de stabilité. Elle permet de "compenser en fréquence" l'amplificateur opérationnel. Pour ce faire, sa valeur doit être choisie de façon à ce que le diagramme de Bode ait une décroissance du gain régulière valant -20 dB/dec sur la Plage de fréquence située entre la fréquence de coupure et la fréquence de tran

III.3.2. Spécifications désirées

Les spécifications de l'amplificateur désiré sont regroupées dans le tableau suivant :

gain DC Av	> 1000V/V
Alimentation	VDD=2.5, VSS= -2.5V
Gain band width	GBW=5MHz
Capacité de charge	Cl=10pf
Slew rate	> 10V/us
ICMR	-1 to 2V
Puissance dissipée	$\leq 2\text{Mw}$
Vout	$\pm 2\text{V}$
La phase	60°

III.3.3. Procédure de la conception

La conception de l'amplificateur opérationnel consiste à dimensionner les 8 transistors constituants, pour répondre aux spécifications désirées. La conception suit les étapes suivantes :

Etape 1 : calcul de la valeur de capacité Cc pour une phase 60° .

$$C_c > 0.22CL = (0.22) \cdot (10 \text{ pF}) = 2.2 \text{ pF}$$

Nous choisissons $C_c = 3 \text{ pf}$

Etape 2 : calcul de courant I5 d'après la relation de slew rate et la compensation de capacité Cc.

$$I_5 = SR \cdot C_c = 10 \text{ uA} \cdot 3 \text{ pf} = 30 \text{ UA}$$

Etape 3: Calcul de la dimension du transistor M3 à travers ICMR.

$$(W/L)_3 = I_5 / K_3 [V_{DD} - V_{in(max)} - |V_{T03}|_{(max)} + V_{T1(min)}]^2$$

$$(W/L)_3 = 30 \times u / (50 \times u) [2.5 - 2 - .85 + 0.55]^2 = 15 \mu m \rightarrow (W/L)_3 = (W/L)_4 = 15 \mu m$$

Etape 4 : calcul de la transconductance du transistor M1 selon le gain de la bande passante produit GBW.

$$g_{m1} = 5 \times 10^6 \times 3 \times 10^{-12} \times 2\pi = 94.25 \mu S$$

Etape 5: Calcul de la dimension du transistor M1.

D'après g_{m1} :

$$(W/L)_1 = (W/L)_2 = g_{m1}^2 / 2K_1'NI$$

$$(W/L)_1 = (W/L)_2 = (94.25)^2 / 2 \cdot 110 \cdot 15 = 2.79 \approx 3.0 \Rightarrow (W/L)_1 = (W/L)_2 = 3 \mu m$$

Etape 6: Calcul de la tension de saturation VDS du transistor M5 à travers ICMR.

$$V_{DS5} = (-1) - (-2.5) - (30 \times 10^{-6} / 110 \times 10^{-6} \times 3)^{0.5} - 0.85 = 0.35 V$$

$$V_{DS5} = 0.35 V$$

Etape 7 : calcul de la dimension du transistor M5 à partir VDS5.

$$(W/L)_5 = 2.15 / k_5' (V_{DS5})^2$$

$$(W/L)_5 = 2 \cdot 30 \times 10^{-6} / 110 \times 10^{-6} \cdot (0.35)^2$$

$$= 4.49 \approx 4.5 \rightarrow (W/L)_5 = 4.5 \mu m$$

Etape 8: Calcul de transconductance g_{m6} du transistor M6 à partir g_{m1}

$$g_{m6} \geq 10 g_{m1} \geq 942.5 \mu S$$

$$g_{m6} = 942.5 \mu S$$

Etape 9 : Calcul de la dimension du transistor M6.

$$(W/L)_6 = (W/L)_4 \cdot g_{m6} / g_{m4}$$

$$= 15 \cdot 942.5 \mu / 150 \mu$$

$$(W/L)_6 = 94 \mu m$$

Etape 10 : Calcul du courant statique I6 du transistor M6.

$$I_6 = (g_{m6})^2 / 2k_6' (W/L)_6$$

$$= (942.5 \times 10^{-6})^2 / 2 \cdot 50 \times 10^{-6} \cdot 94 = 94.5 \mu A$$

$$I_6=95\mu\text{A}$$

Etape 11: calcul de la dimension de transistor M7 à partir la dimension de M6 et de courant I6, I5.

$$(W/L)_7 = (W/L)_5 * I_6 / I_5$$

$$= 4.5 * 95 \times 10^{-6} / 30 \times 10^{-6}$$

$$= 14.25 \approx 14\mu\text{m}$$

$$(W/L)_7 = 14\mu\text{m}$$

Etape 12 : calcul de la dimension de transistor M8 à partir la dimension de M5 et de courant I_{bias}, I5.

$$(W/L)_8 = (W/L)_5 * I_{\text{bias}} / I_5$$

$$(W/L)_8 = 4.5\mu\text{m}$$

Etape 13: Calcul de la tension de saturation V_{DS} du transistor M7.

$$V_{\text{min}}(\text{out}) = V_{\text{DSAT}7} = [2 * I_6 / k' (W/L)_7]^{0.5}$$

$$= [2 * 95 \times 10^{-6} / 110 \times 10^{-6} * 14]^{0.5}$$

$$= 0.3514\text{V}$$

Etape 14 : calcul de la puissance dissipée

$$P_{\text{diss}} = (I_5 + I_6) * (V_{\text{DD}} + V_{\text{SS}})$$

$$= (30 \times 10^{-6} + 95 \times 10^{-6}) * 5$$

$$P_{\text{diss}} = 0.625\text{mW}$$

Etape 15: verification de la valeur du différentiel étage.

$$A_v = 2g_m2g_m6 / I_5(\lambda_2 + \lambda_3)I_6(\lambda_6 + \lambda_7)$$

$$A_v = (92.45 \times 10^{-6})(942.5 \times 10^{-6}) / 15 \times 10^{-6}(0.04 + 0.05)212 \times 10^{-6}(0.04 + 0.05) = 7696\text{V/V}$$

Technologie de paramètres est disponible pour faire la conception :

$$V_{\text{th}} = 0.7\text{v}$$

$$K'_p = 50 \mu\text{A/V}^2$$

$$K'_n = 110 \mu\text{A/V}^2$$

$$\lambda_n = 0.04 \text{v}^{-1}$$

$$\lambda_p = 0.05 \text{v}^{-1}$$

III.4. Résultats de la simulation

Après avoir fait les calculs sur nos amplificateurs, nous allons procéder dans ce qui suit à la simulation du circuit de la figure III.2 par le simulateur LTSPICE.

III.4.1. Résultats de l'étude statique de l'AOP

Afin d'évaluer le fonctionnement grossier du circuit, nous avons mis au point un test fonctionnel statique du circuit. Ce test nous a permis d'évaluer la consommation moyenne du circuit au point de repos. Les résultats sont résumés ci-dessous:

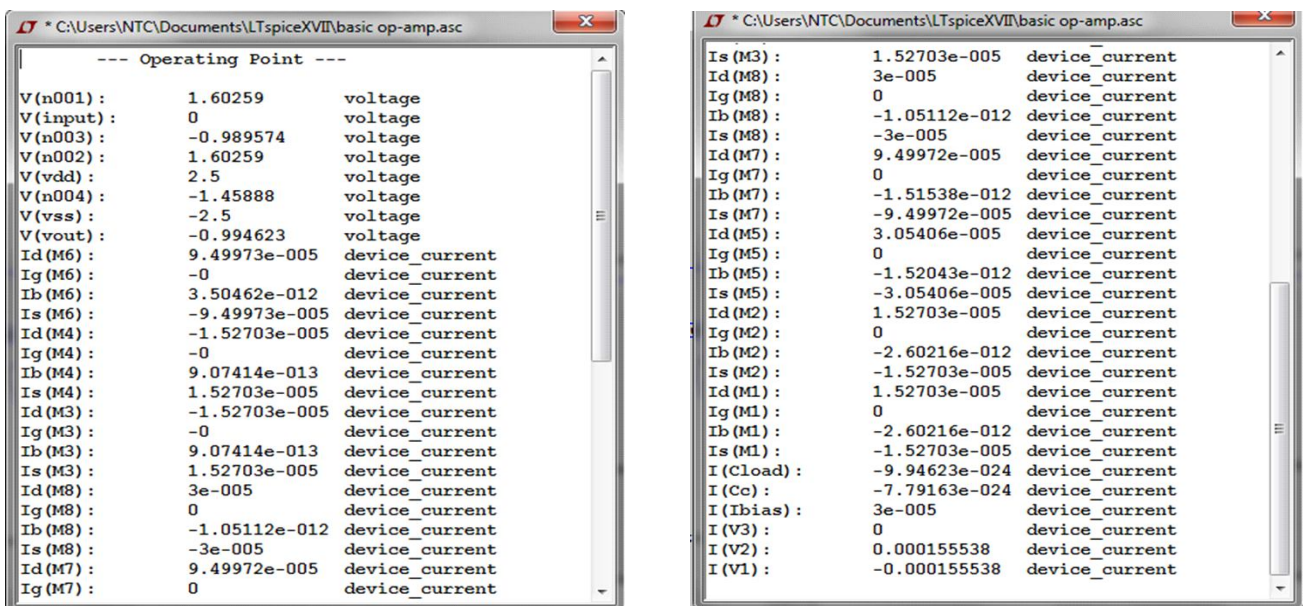


Figure III. 3 : caractéristiques statique de l'amplificateur

Sur ces tableaux on peut remarquer le courant de polarisation de l'étage différentiel ID (M5) qui est de l'ordre de 30.5uA, d'autre part les deux courants de drain des transistors M6 et M7 nous ont permis de calculer une puissance dissipée de l'ordre de 0.625 mW.

III.4.2. Analyse temporelle

La figure III. 4 montre les deux signaux d'entrée différentielle Vin et de sortie (simple) Vout. Après une période de transition, le signal de sortie se fixe sur une valeur de 1.2V et ce pour une tension d'entrée différentielle de 1mV et de fréquence de 1Khz. Le gain différentiel est alors égale à environ 1200 ce qui est équivalent à 61.58db.

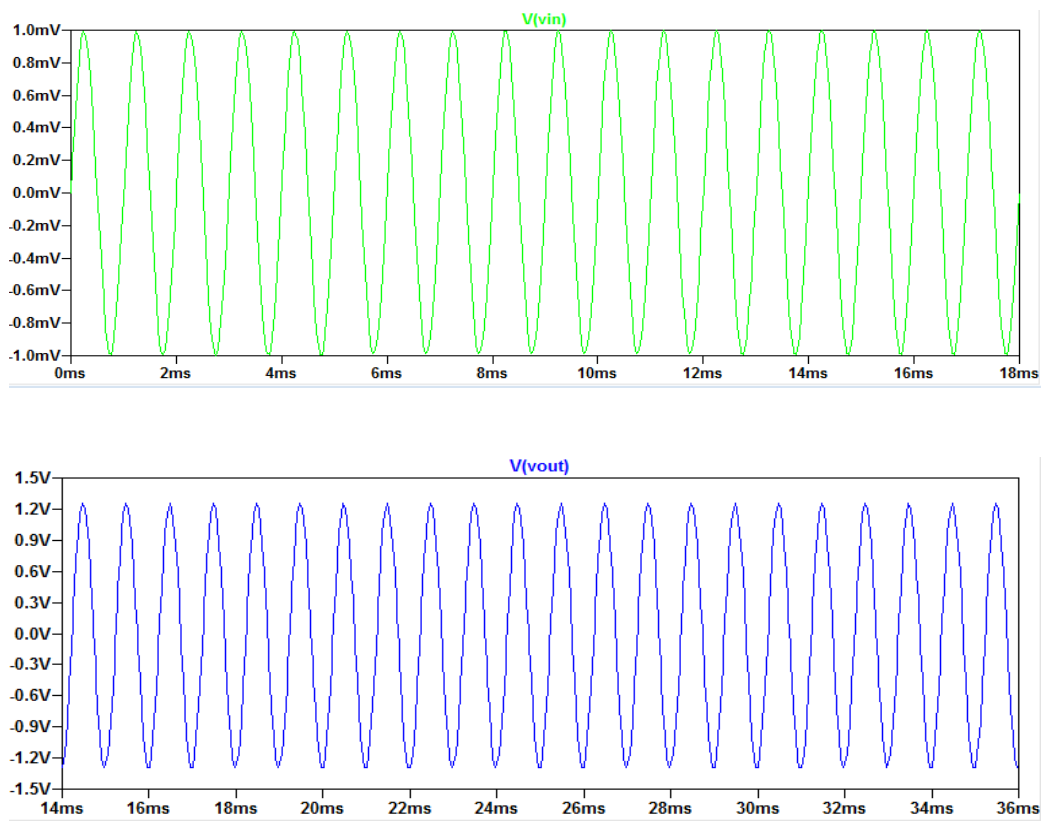


Figure III. 4 : Schéma de l'analyse temporelle de l'AOP

III.4.3. CMRR et PSRR (cas two ended)

Le CMRR et le PSRR sont deux des caractéristiques les plus importantes pour un amplificateur en instrumentation. Pour un amplificateur idéal (pas de défaut de construction) leurs valeurs sont infinies.

Sur les figures III.5 et III.6 nous représentons la tension de sortie V_{out1} et V_{out2} qui présentent une tension moyenne de mode commun de 70mV et de 69.998mV respectivement, la différence entre ces deux sorties est représentée sur la figure III.7. À partir de ces courbes le CMRR est estimé à 84.68dB et le PSRR à 164.93 dB.

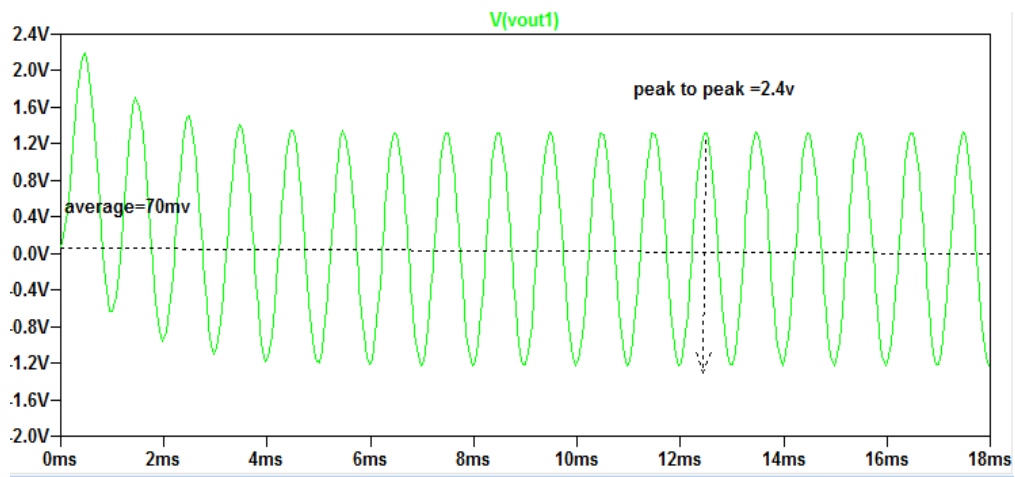


Figure III.5 : tension de sortie $Vout1$

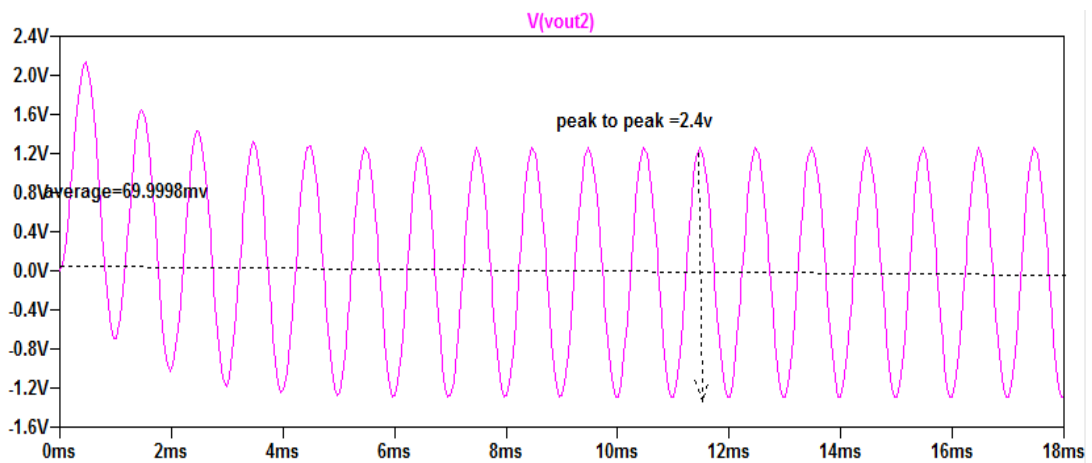


Figure III.6 : tension de sortie $Vout2$

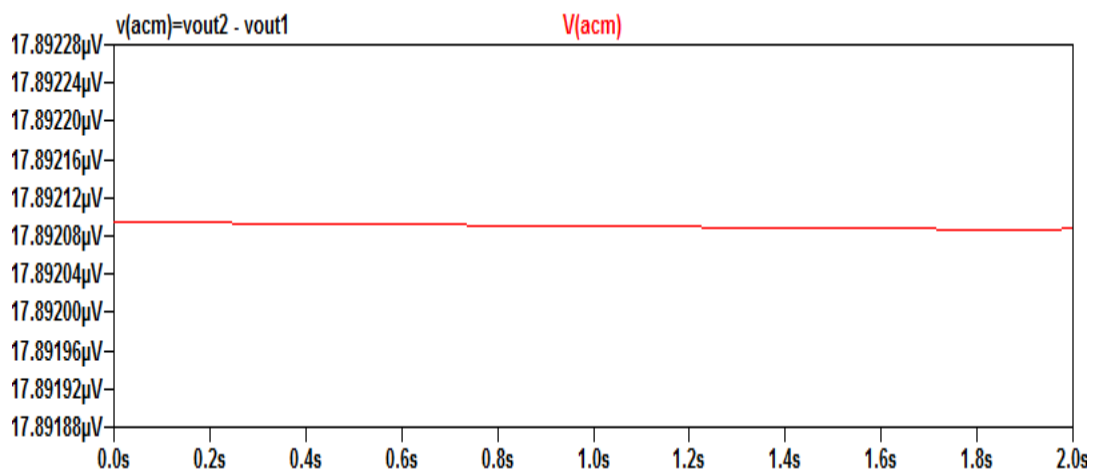


Figure III.7 : tension De différence $Vout2- Vout1$ en sortie

III.4.4. Le Slew rate

Pour calculer le Slew rate nous avons attaqué notre amplificateur par la fonction échelon de la figure III.8. En sortie sur la figure III.9 on peut constater que le SR vaut $(1.055V - (-8.33mV)) / (2.527 - 2.02) = 2V/\mu s$. Il faut noter que cette valeur loin de la valeur désirée qui est de l'ordre de $10V/\mu s$.

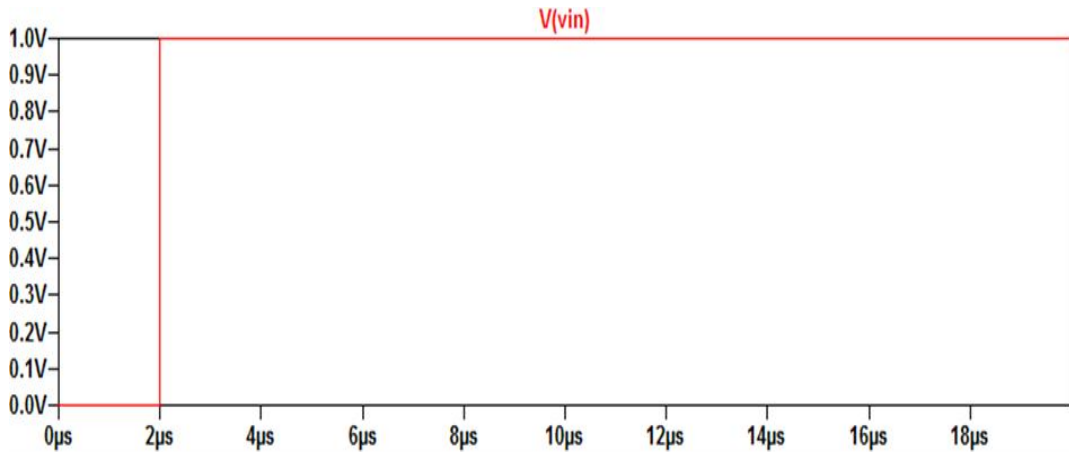


Figure III.8. Fonction échelon à l'entrée

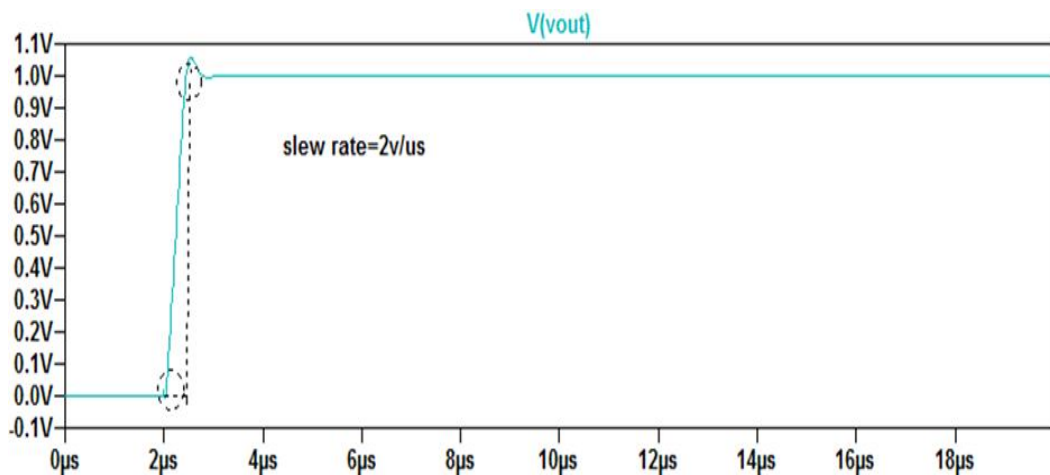


Figure III.9. La réponse en sortie

III.4.5. La réponse en fréquence (étude AC)

1. Sans compensation

La réponse en fréquence de notre amplificateur (diagramme de gain et diagramme de phase) est donnée sur la figure III.10.

La bande passante à -3dB avoisine les 500Hz (boucle ouverte). Ces courbes sont simulées avec une tension d'entrée de mode commun de l'ordre de 1V.

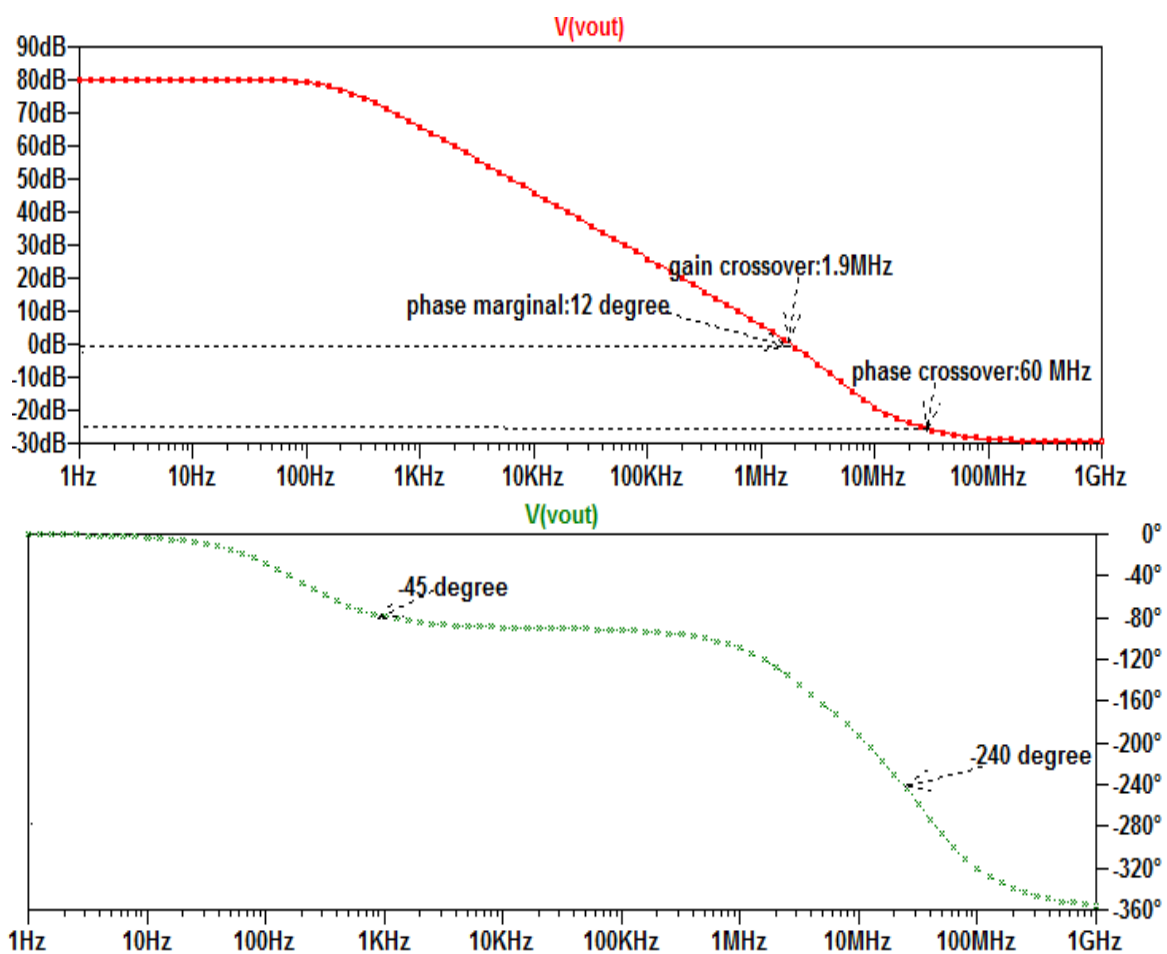


Figure III.10. La réponse en fréquence : courbe de gain et courbe de phase

D'après ces deux courbes on peut constater que : $UGB = 1.9 \text{ MHz}$; $PM = 12 \text{ degré}$; $Av1 = 74 \text{ dB}$.

Pour améliorer la réponse en phase une technique de compensation doit être employée, dans notre étude nous avons utilisé la fameuse technique de Miller.

2. compensation avec la technique de Miller

Pour la compensation de Miller nous avons utiliser les deux valeurs de capacité suivante : $C_c=3pF$ et $C_l=10pF$. Dans ce cas nous pus avoir une nette amélioration de PM qui est passée à 56degré.

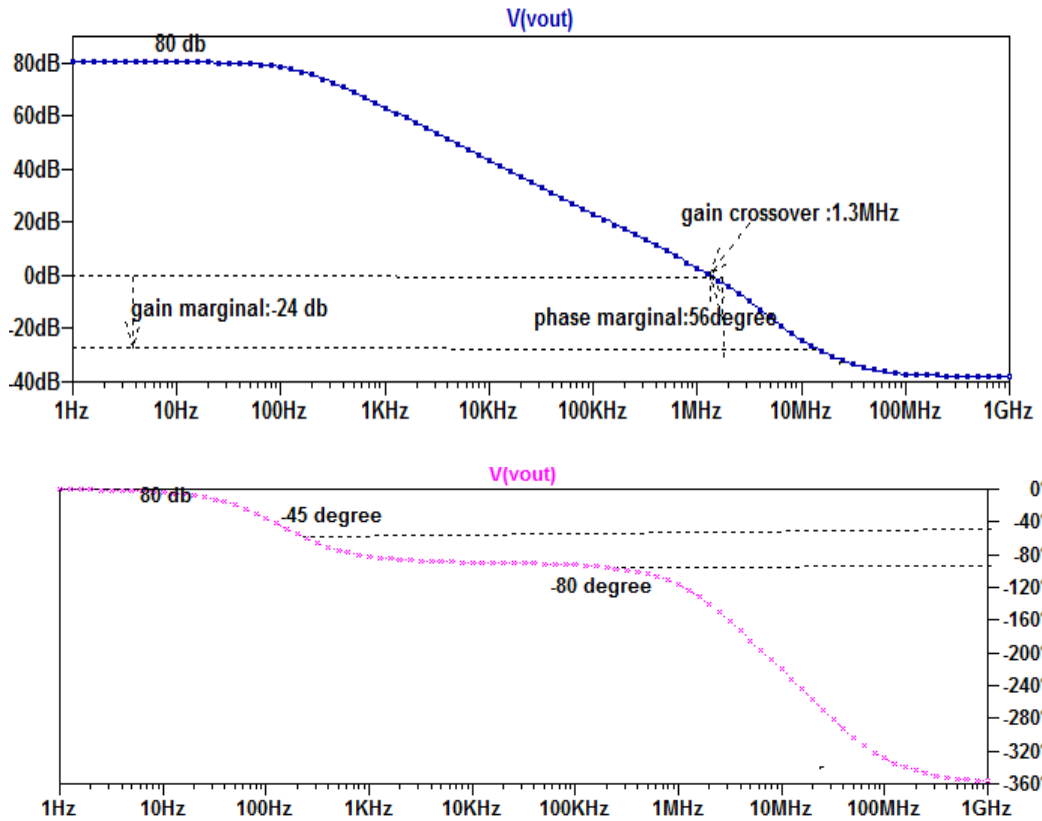


Figure III.11. La réponse en fréquence avec compensation de Miller

III.4.6.Représentation spectrale

La représentation spectrale est obtenue par l'analyse FFT (fast Fourier transformation), Sur la figure III.12, les deux signaux V_{in} et V_{out} sont représentés :

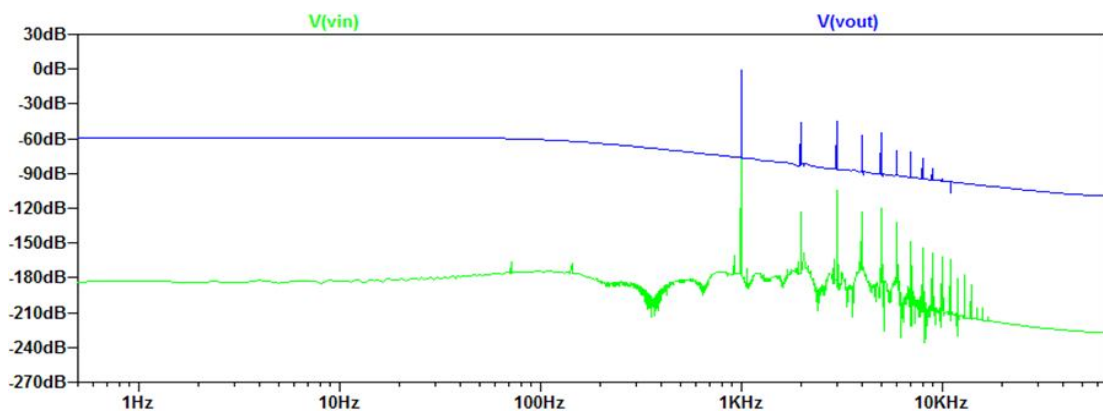


Figure III.12. FFT V_{in} et V_{out}

On peut remarquer que les composantes fréquentielles sont exactement les mêmes pour les deux signaux, ça montre que le signal d'entrée n'a pas subi de distorsions. Sur la figure et avec un axe d'abscisse logarithmique on retrouve le fondamental à 1Khz avec quelque harmoniques e bruit qui sont nettement améliorés en sortie.

III.4.7.La tension d'offset

La tension d'offset est le décalage observé sur le signal de sortie de l'amplificateur. Sur la figure III.13 et pour une tension différentielle à l'entrée de 1mV, la tension de sortie est à 1.2V avec un décalage d'offset de -1V. Cette tension est due aux capacités de compensation internes et aux défauts de fabrication des transistors.

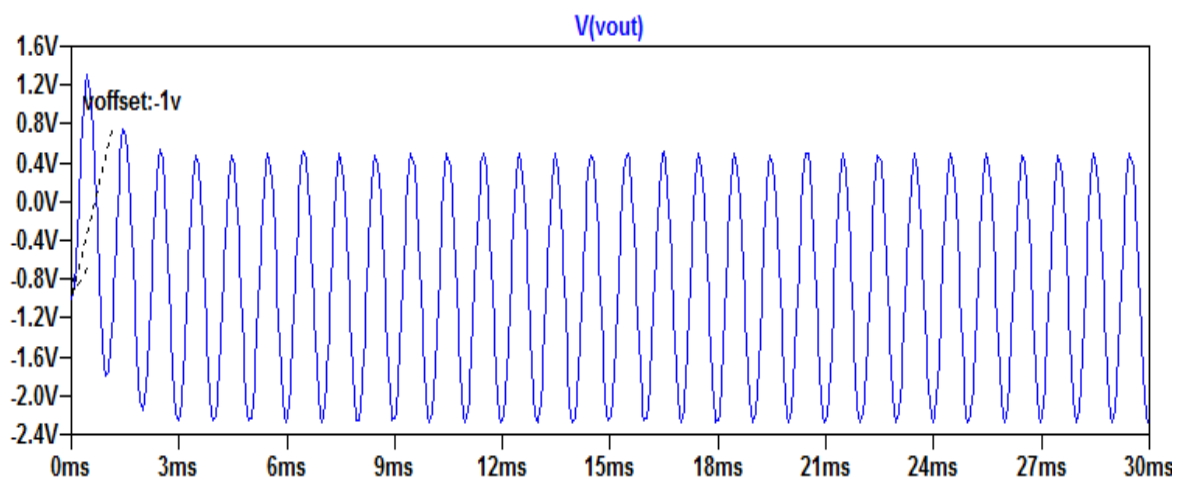


Figure III.13. Tension de sortie avec un offset de -1V

Pour éliminer la tension d'offset nous avons procédé à la modification des dimensions des deux transistors clés : le M6 et le M7. Par l'utilisation des nouvelles valeurs de W6 et W7 qui sont de l'ordre de : 93 μ m et 14.4793 μ m (difficile à réaliser) , nous avons pu diminuer l'offset à 17 μ V seulement.

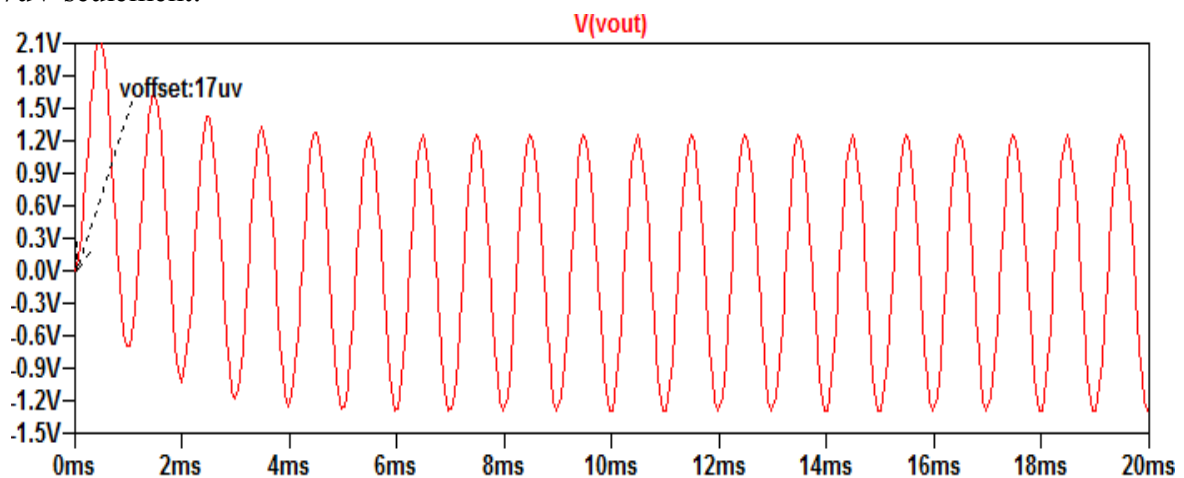


Figure III.14. Tension de sortie avec un offset de 17 μ V

III.4.8. Courbe de puissance

Comme il a été mentionné avant la puissance dissipée de l'amplificateur est de l'ordre de 0.678mW. sur la figure III.15 on représente la courbe de la puissance :

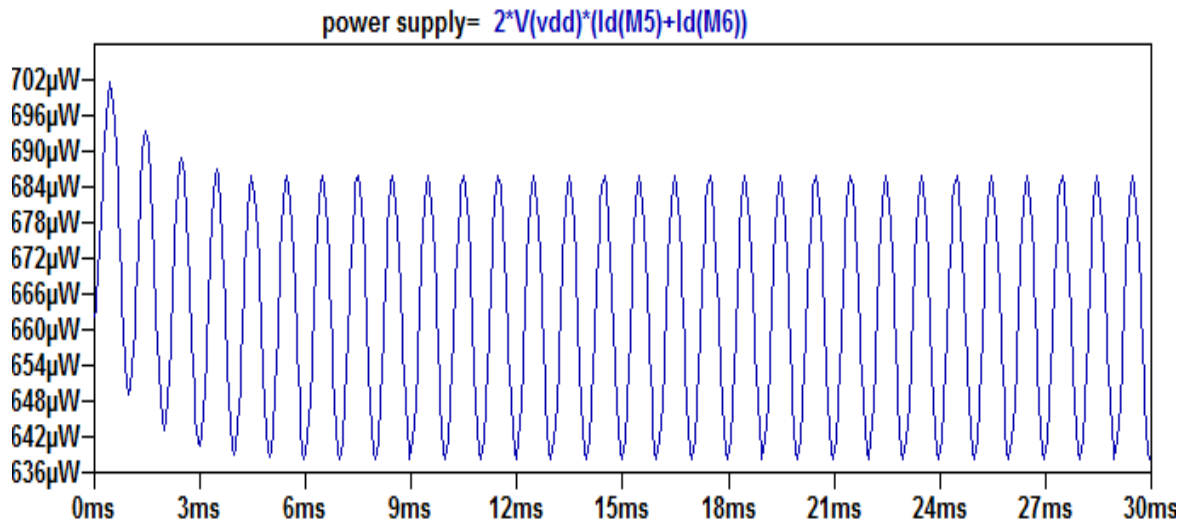


Figure III.15. Tension de sortie avec un offset de 17uV

III.4.9. Courbe du bruit

Dans les amplificateurs opérationnels la tension de bruit en sortie doit être prise en considération. Le résultat de l'analyse du bruit a été effectuée par LTSPICE et est représentée sur la figure III.16. A partir de la figure, la tension du bruit en sortie avoisine 3uV/ hz^{1/2}, d'autre part on peut remarquer que le point où le bruit sature à 0V pour notre amplificateur est vers le 1Mhz.

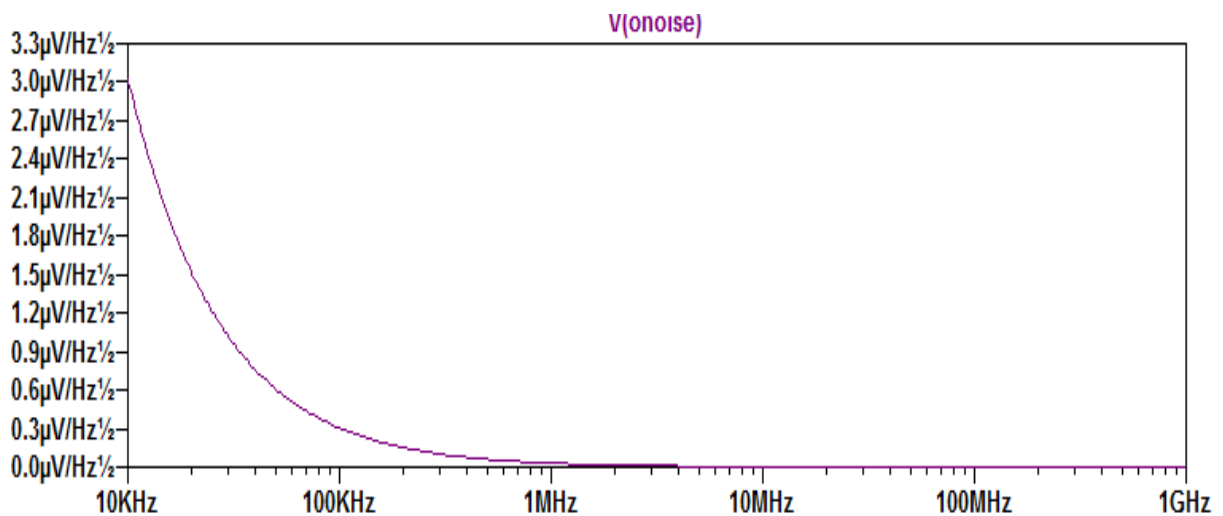


Figure III.16. Courbe du bruit en sortie

III.4.10. Influence de la température

La figure III.17 représente l'influence de la température sur la tension de sortie de l'amplificateur. On peut remarquer que la température agit directement sur le gain en tension de l'AOP.

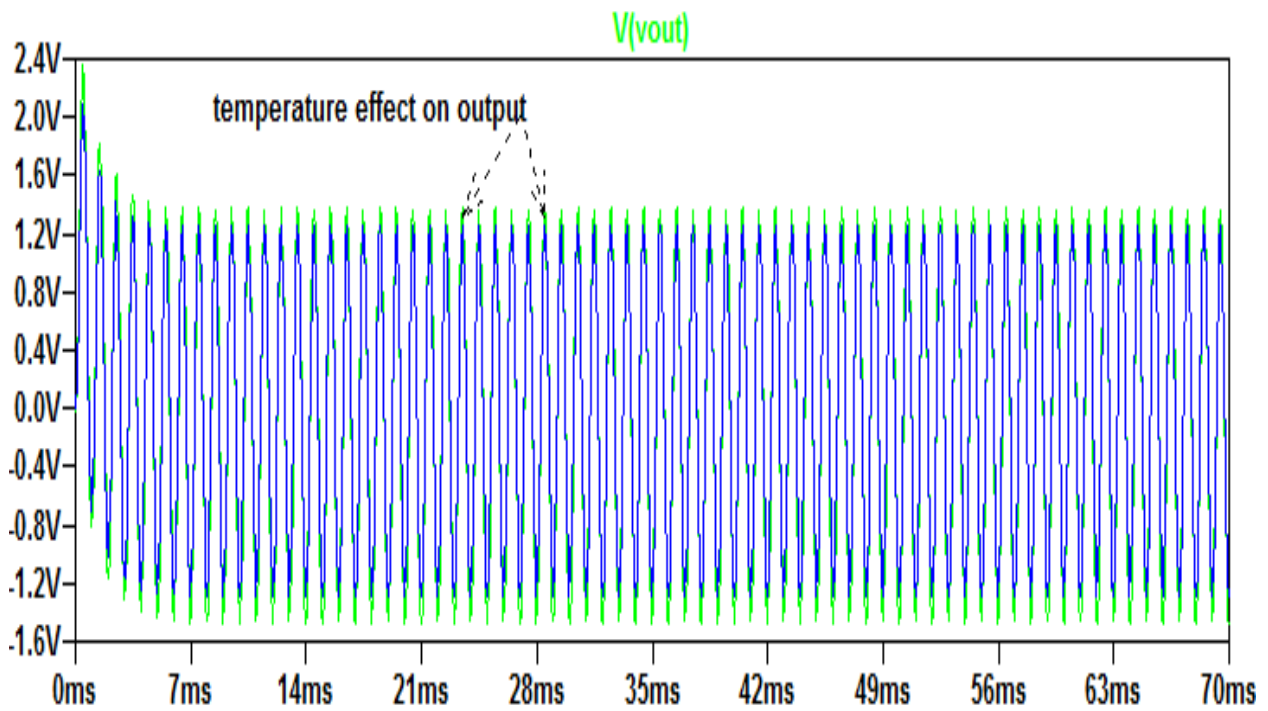


Figure III.17. Influence de la température sur la tension de sortie

III.5.Simulation de l'amplificateur d'instrumentation

L'amplificateur opérationnel étudié précédemment est utilisé pour avoir l'amplificateur d'instrumentation IA à trois AOP représenté par son schéma électrique de la figure III.18 :

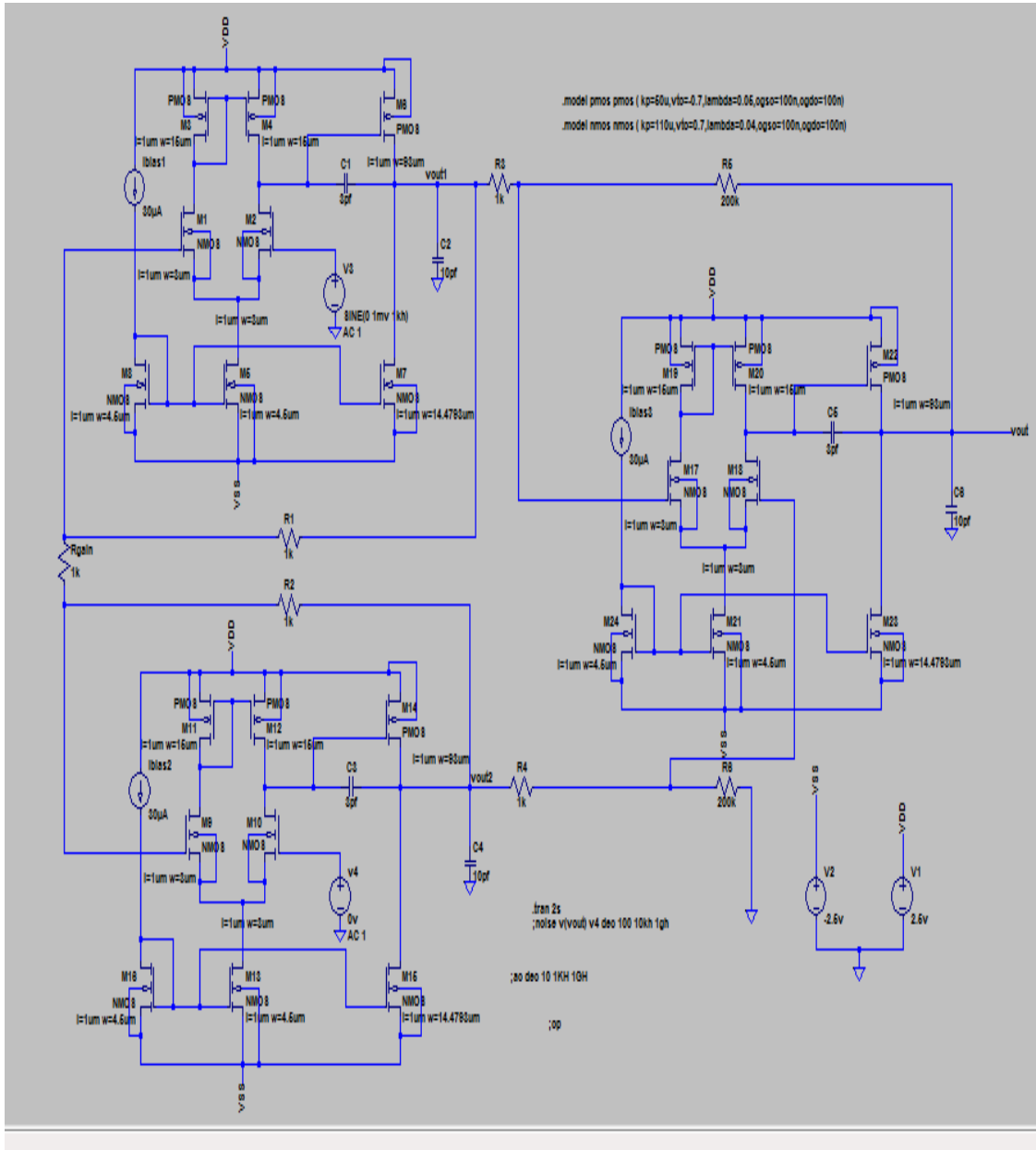


Figure III.18. L'amplificateur IA à trois AOP simulé par LTSPICE

III.5.1. Etude temporelle

Sur la figure III.19, nous représentons les courbes de la simulation temporelle de notre amplificateur IA, on peut remarquer que : pour une tension d'entrée de 1mV, on aura en sortie une tension de 540mV ce qui nous donne un gain de 540. D'autre part le gain en tension théorique peut être calculé à partir de la relation :

$A_d = (1 + 2R/gain).R3/R2$. ça va donner un gain de 600.

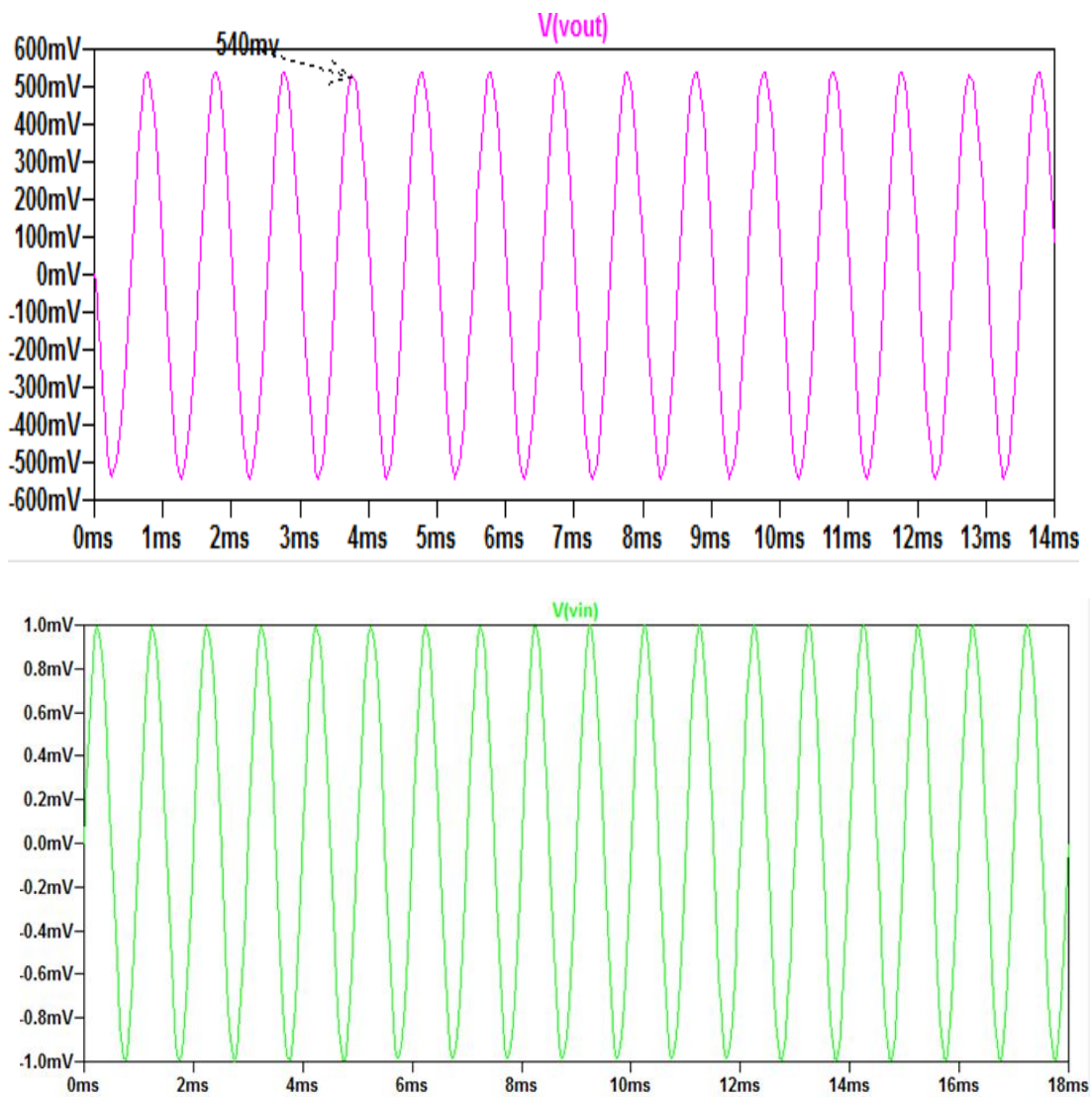


Figure III.19. courbe de l'étude temporelle de l'IA

Il faut souligner que le CMRR trouvé pour cet amplificateur vaut : 128.87db.

III.5.2. Etude AC

La réponse en fréquence de notre amplificateur IA (diagramme de gain et diagramme de phase) est donnée sur la figure III.20.

On remarque la bande passante à -3dB avoisine les 3MHz. Ces courbes sont simulées avec une tension d'entrée de mode commun de l'ordre de 1V.

D'autre part l'amplificateur présente un angle d'atténuation de -20dB par décade. On peut remarquer aussi que l'amplificateur IA présente une mauvaise stabilité dans sa bande passante par rapport à l'amplificateur opérationnel de base.

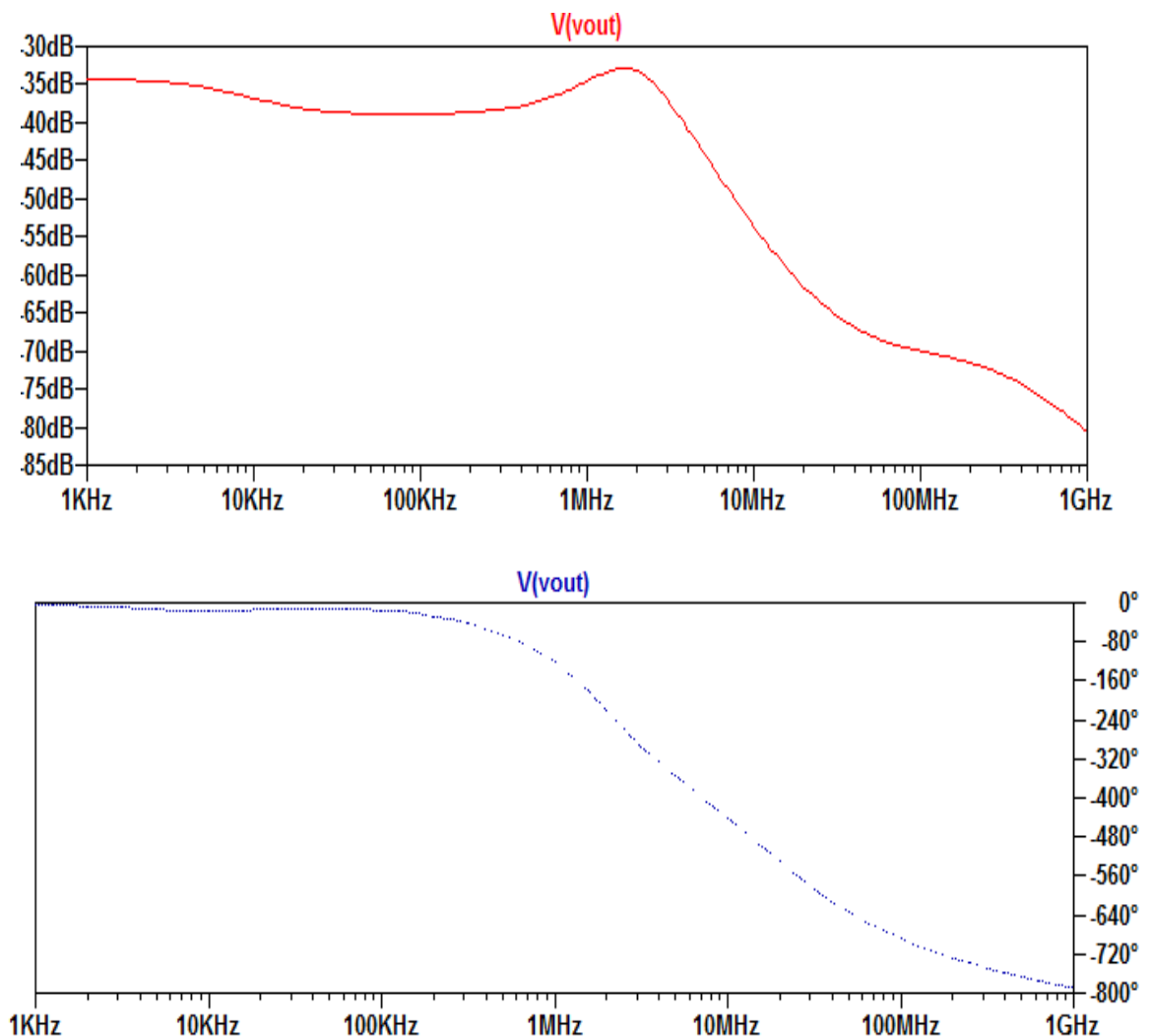


Figure III.20. La réponse fréquentielle de l'IA

III.6. Application : mesure sur une thermistance

L'AOP de base de l'amplificateur d'instrumentation IA est le model spice de l'amplificateur opérationnel à deux étages qu'on a conçu et rajouté à la bibliothèque de LTspice. Il est nécessaire d'inclure la directive spice.lib basic-opamp.sub pour pouvoir utiliser ce modèle.

Dans cette application nous allons utiliser notre amplificateur IA ç trois AOP pour mesurer la température issue c'un capteur de température de type CTN.

Le schéma électrique du circuit de mesure complet est donné par la figure III.22 :

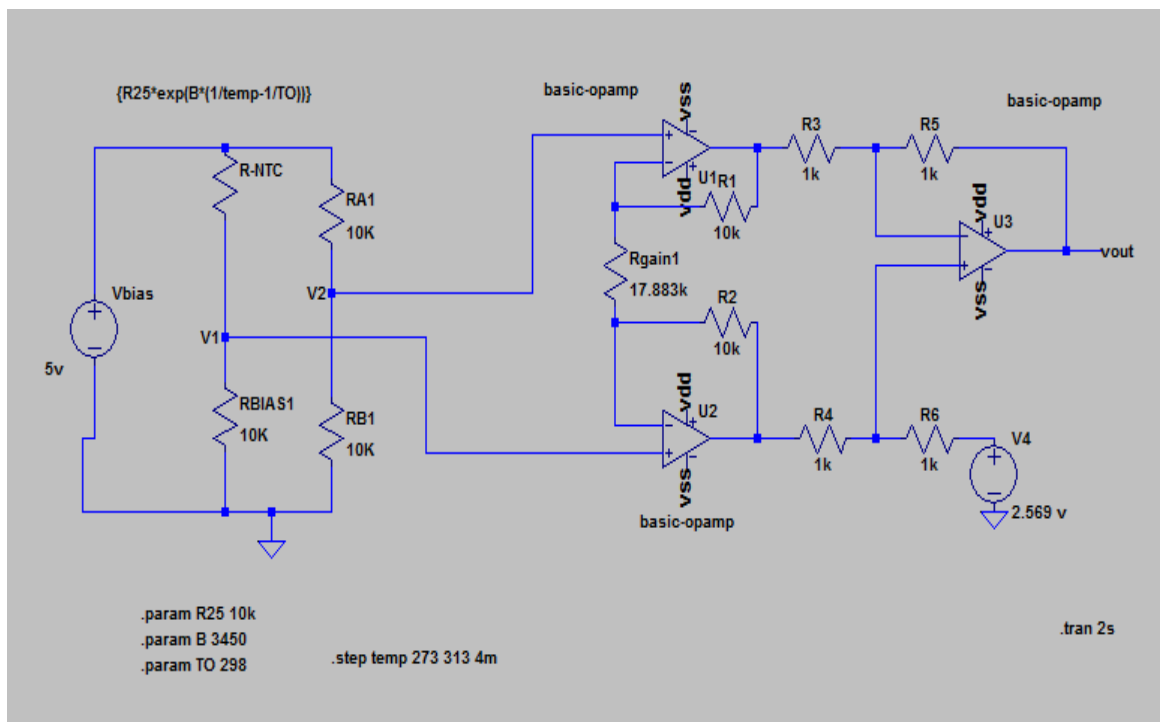


Figure III.21.Schéma complet de la mesure de température

Sur la figure III.23 et 24 nous avons représenté la tension d'entrée différentielle V1-V2 en fonction de la température, et la tension de sortie de l'amplificateur IA respectivement.

Il est à noter que dans cette application nous avons pu avoir en sortie une image directe de la température dans un étendue de mesure de 0°C à 40°C :

$$V_{out} = 0.1 * \text{température} = 0.04 * \text{temps}$$

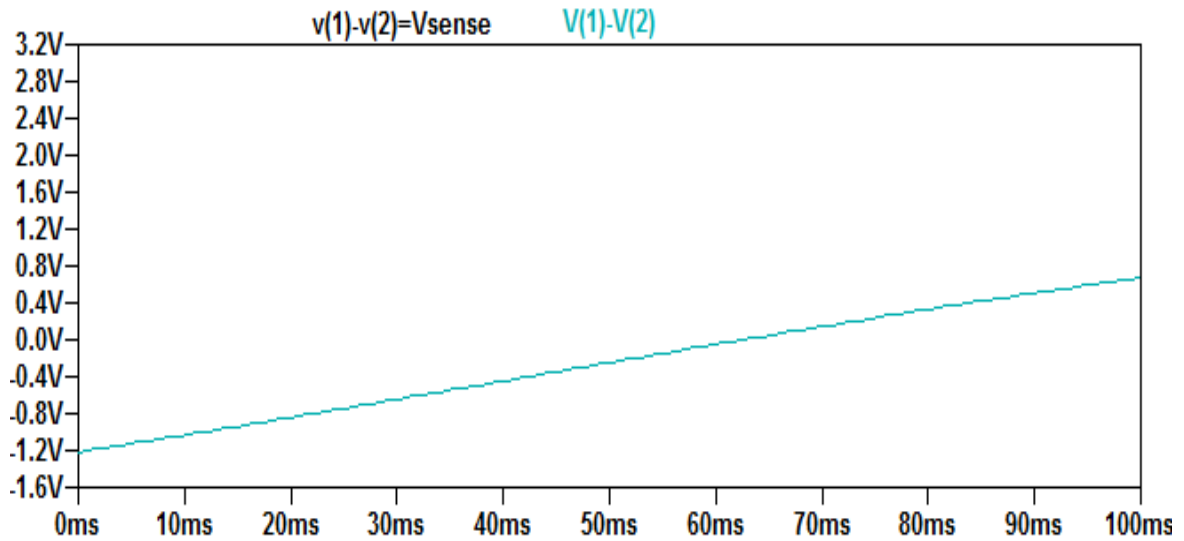


Figure III.23. courbe de la tension d'entrée diff en fonction de la température

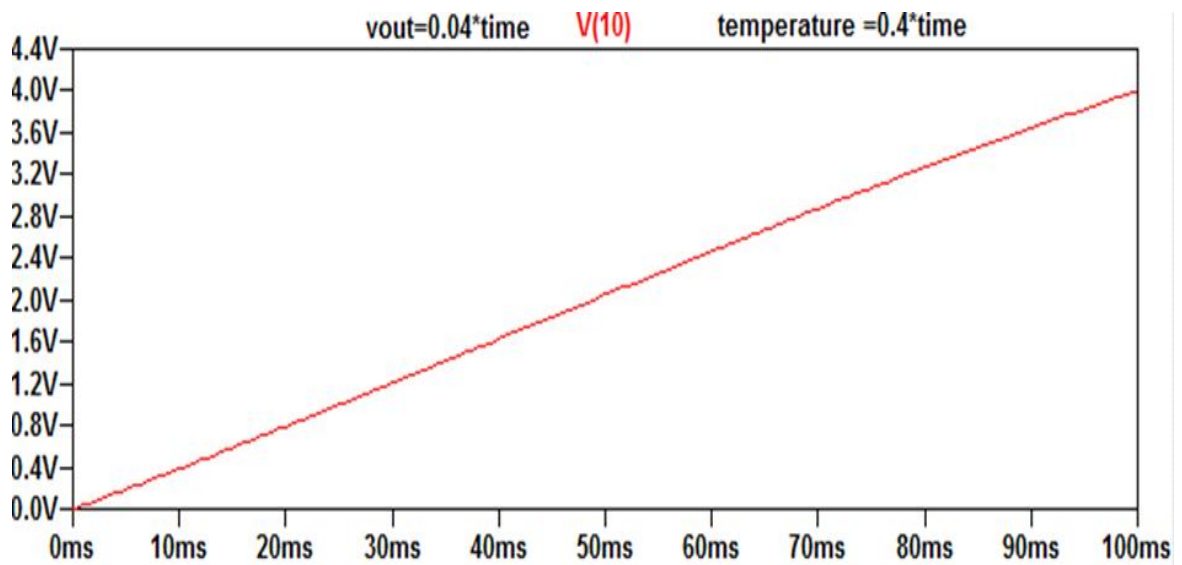


Figure III.24. courbe de la tension de sortie d'IA en fonction de la température

III.7. Conclusion

Ce chapitre nous a permis d'exploiter les différentes études théoriques que nous avons menées dans les précédents chapitres. A partir des spécifications nécessaires, nous avons conçu un Amplificateur opérationnel à deux étages en technologie CMOS qui a été utilisé au sein d'un amplificateur d'instrumentation IA. Le logiciel LTspice nous a permis de créer un

macro model pour notre AOP conçu et de l'utiliser par la suite dans une application de mesure de température par un capteur de type CTN.

Conclusion générale

Ne cessant pas d'évoluer en raison d'une forte demande pour des applications numériques, les technologies accessibles aujourd'hui sont principalement CMOS basse tension. L'intérêt est certain pour des circuits numériques complexes, par laquelle la consommation est d'autant plus faible que la tension d'alimentation baisse. Mais dans le cas d'un traitement analogique du signal, la nécessité de garder une dynamique suffisante, indispensable lorsque l'on recherche des performances en terme de précision et de bande passante toujours plus élevées, remet en cause les architectures de circuit établies jusqu'à maintenant.

Dans notre travail la conception d'un amplificateur opérationnel CMOS à deux étages a été notre principal objectif pour l'utiliser comme brique de base d'un amplificateur IA.

L'AOP conçu est constitué d'un étage différentiel chargé par un miroir de courant, et d'un étage de sortie de type source commune, alimenté par un transistor PMOS. La conception a été menée à partir des spécifications désirées concernant entre autre : le gain DC (désiré =1000, trouvé= 1200) Capacité de charge (=10pF), Slew rate (désiré > 10V/us, trouvé= 2V/us) et le CMRR (désiré>60db, trouvé >62db). Le model de cet amplificateur a été introduit dans la bibliothèque Ltspice et utilisé par la suite dans la mesure de température d'une thermistance. Ce présent travail peut être pris comme une bonne introduction pour concevoir des amplificateurs plus performant comme les amplificateurs cascodés.

Bibliographie

- [1] F.pregaldiny, ‘ etyude et modelisation du comportement electrique des transistors MOS submicronique’, Doctorat microelectronique,université de strasbourg1, 2003.
- [2] F. Baillieu, R. Hermel,’ L’amplificateur CMOS dans les circuits à capacités commutées’,
Revue Phys. Appl. 20 (1985) 465-482, 1985
- [3] J.BARDYN ‘AMPLIFICATEURS CMOS FAIBLE BRUIT POUR APPLICATIONS SONAR’, Doctorat, l'université des Sciences et Techniques de Lille Flandres-Artois, 1990
- [4] P.ANTOGNETTI and G.MASSOBRI0: "Semiconductor Device Modeling with SPICE", McGraw-Hill, 1988.
- [5] S.M.SZE: "Physics of Semiconductor Devices", John Wiley, New-Y ork, 198 1.
- [6] N. bourahla,’ Etude et modélisation des effets de canal court dans le transistor N-MOSFET’, Magister genie electrique, universite de Mostaganem, 2014.
- [7] J-P, Colinge, “Silicon-On-Insulator Technology: Materials to VLSI”, 3 rd edition, (Springer, 2004).
- [8] Mathieu Moreau “Modélisation et Simulation Numérique des Nano-Transistors Multi- grilles à matériaux Innovants“ Thèse de doctorat en Micro.
- [9] Toufik Bendib “Modélisation et simulation du transistor DG-MOSFET en utilisant les Algorithmes Génétiques / Thèse de Magister en Microélectronique / Université de Batna 2010.
- [10] Kahng, Dawon, " Electric field controlled Semiconductor Device U.S.Patent. 3,102,230 (Filed 31 May 31, 1960, issued August 27, 1963).
- [11] D. STANDAROVSKI ; ‘Contribution à la conception de circuits intégrés analogiques en technologie CMOS basse tension pour application aux instruments d’observation de la Terre’ ; DOCTEUR DE L’INSTITUT NATIONAL POLYTECHNIQUE DE TOULOUSE ; 2005
- [12] S.labioud ; Contribution à l’étude de perturbations électromagnétiques sur des composants MOS en Utilisant la méthode FDTD ; Doctorat en Sciences en électronique ; université de Constantine1 ; 2013
- [13] D. STANDAROVSKI,’ Contribution à la conception de circuits intégrés analogiques en technologie CMOS basse tension pour application aux instruments d’observation de la Terre’, Doctorat electronique, institut national polytech de Toulouse, 2005.
- [14] M.bennabi,’Etude et simulation d’un nanomos double grille’, Magister electronique, universite de chlef, 2009.
- [15] R.J.Baker, H.W.Li, D.E.Boyce, “CMOS:Circuit design, layout and simulation”, IEEE Press, 1998, pp.201-229.
- [16] P. Antognetti, G.Massobrio, “Semiconductor Device Modelling with SPICE”, McGraw- Hill, New York, 1993, ISBN 0-07-002469-3. TK7871.85.S4454.
- [17] S.Josse,
- [18] F. Chaahoub, ‘Etude des méthodes de conception et des outils de CAO pour la synthèse des circuits intégrés analogiques, Doctorat microelectronique, INP de Grenoble,1999.
- [19] P.R.Gray, R.G.Meyer, “Analysis and Design of Analog Integrated Circuits”, 3th

Edition, John Wiley, New York, 1993, 792p, ISBN 0-471-57495-3.

[20] Y.BENHAMIDA, 'Etude des caractéristiques physiques et électriques d'un MOSFET nanométrique', Magister microelectronique, universite de Tlemcen, 2012

[21] Microelectronique exposé, St-Imier, EISI, le 10 novembre 2000

[22] Cyril Fokam MAMO, 'Réalisation et simulation d'un modèle rapide d'Amplificateur Opérationnel en technologie CMOS', Afrique SCIENCE 07(1) (2011) 11 - 20

[23] Hervé Fanet, 'Micro et nano-électronique : Bases Circuits', Edition Duno, 2006

[24] N.S. Sooch, "MOS Cascode Current Mirror", U.S. patent no. 4550284, October 1985.

[25] W.-C.S.Wu, W.J.Helms, J.A.Kuhn, B.E.Byrkett, "Digital-compatible high performance operational amplifier with rail-to-rail input and output ranges", IEEE Journal of Solid-State Circuits, Vol.29, No 1, pp.63-66, January 1994.

[26] F dhiabi principales architecture de la cellule de transconductance CMOS, universite de biskra 2004

[27] N.S. Sooch, "MOS Cascode Current Mirror", U.S. patent no. 4550284, October 1985.

[28] A.Sedra, Microelectronic circuits ; Oxford university press ;Seventh edition

[29] Pierre LAQUERRE, ' Conception d'une chaîne de traitement analogique de signaux vidéo en technologie CMOS basse tension pour applications aux instruments d'observation de la Terre', Doctorat, INP de Toulouse, 2007.

[30] P. R. Gray and R. G. Meyer. Mos operational amplifier design - a tutorial overview. IEEE Journal of Solid-State Circuits, SC-17(6), December 1982.

[31] M. Loulou, 'CONCEPTION ET OPTIMISATION D'UN AMPLIFICATEUR OPERATIONNEL RAIL TO RAIL CMOS FAIBLE TENSION FAIBLE CONSOMMATION', Lebanese Science Journal, Vol. 4, No. 1, 2003

[32] F.Mohd-Yasin, 'CMOS INSTRUMENTATION AMPLIFIER WITH OFFSET CANCELLATION CIRCUITRY AND HIGH PSRR FOR LOW POWER APPLICATION', THE ABDUS SALAM INTERNATIONAL CENTRE FOR THEORETICAL PHYSICS, IC/2009/044

[33] S.Suhashini, ' A Low-Noise AC coupled Instrumentation Amplifier for Recording Bio Signals', International Journal of Pure and Applied Mathematics, Volume 114 No. 10 2017, 329-337

[34] [www.all about electronics](http://www.allaboutelectronics.com) thermistors .com

ANNEXE

Netlist of basic-opamp

* CMOS TWO STAGE OPAMP SPICE Macro-model

```
.model pmospmos( kp=50u,vto=-0.7,lambda=0.05,cgso=100n,cgdo=100n)
```

```
*****
```

```
.model nmosnmos( kp=110u,vto=0.7,lambda=0.04,cgso=100n,cgdo=100n)
```

```
*****
```

```
vin+ 1 0 dc 0 ac 1
```

```
vin- 2 0 dc 0
```

* Function: Amplifier

* Node Assignments

```
*           Non-Inverting Input
*           | Inverting Input
*           | | Positive supply
*           | | | Negative supply
*           | | | | Output
*           | | | | |
*           1  2  8  9  6
```

```
.Subckt basic-opamp 1 2 8 9 6
```

```
m1 4 2 3 3 NMOS l=1u w=3u
```

```
m2 5 1 3 3 NMOS l=1u w=3u
```

```
m3 4 4 8 8 PMOS l=1u w=15u
```

```
m4 5 4 8 8 PMOS l=1u w=15u
```

```
m5 3 7 9 9 NMOS l=1u w=4.5u
```

```
m8 7 7 9 9 NMOS l=1u w=4.5u
```

m6 6 5 8 8 PMOS l=1u w=93u

m7 6 7 9 9 NMOS l=1u w=14.4793u

ibias 8 7 dc 30uA

Cc 5 6 3p

Netlist of the application of IA with thermistor [34].

* TEMPERATURE

VTEMP 20 0 PWL(0MS 0DEG 100MS 40DEG)

RD1 10 0 1MEG

*

* SENSOR BRIDGE

VBIAS 12 0 DC 5V

XTH1 12 1 20 0 NTC_10K

RBIAS1 0 10K

RA 12 2 10K

RB 2 0 10K

*

* 3 OPAMP INSTRUMENTATION AMPLIFIER

* GAIN STAGE

XOP1 2 4 6 OPAMP1

R1 4 6 10K

R2 4 5 17.883K

R3 5 7 10K

XOP2 1 5 7 OPAMP1

* DIFF AMP

R4 6 8 10K

R5 8 10 10K

R6 7 9 10K

```

R7  9    11    10K
XOP3 9 8    10    OPAMP1
VOFF 11    0    DC    2.569V
*
* MEASUREMENT ERROR
E_ERR    21    0    VALUE = { V(10)*10-V(20)}
R_ERR    21    0    1MEG
*
* THERMISTOR SUBCIRCUIT *****
* thermistor terminals      : 1,2
* temperature (deg C) input+,-: 4,5
*
.SUBCKT NTC_10K  1 2 4 5
ETHERM    1 3 VALUE={i(VSENSE)*10K*EXP(3450/(V(4,5)+273.15)-
3450/(25+273.15))}
VSENSE    3    2    DC    0
.ENDS
*
* OPAMP MACRO MODEL, SINGLE-POLE *****
* connections:  non-inverting input
*              |  inverting input
*              | |  output
*              | | |
.SUBCKT OPAMP1  1 2 6
* INPUT IMPEDANCE
RIN  1    2    10MEG
* GAIN BANDWIDTH PRODUCT = 10MHZ

```

* DC GAIN (100K) AND POLE 1 (100HZ)

EGAIN 3 0 1 2 100K

RP1 3 4 1K

CP1 4 0 1.5915UF

* OUTPUT BUFFER AND RESISTANCE

EBUFFER 5 0 4 0 1

ROUT 5 6 10

.ENDS

*

*

* ANALYSIS

.TRAN 1MS 100MS

*

* VIEW RESULTS

.PROBE

.END