

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE
MINISTRE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA RECHERCHE
SCIENTIFIQUE



UNIVERSITE DE M'SILA
FACULTE DE TECHNOLOGIE
DEPARTEMENT DE L'ELECTRONIQUE



MEMOIR DE MASTER

DOMAINE : SCEANCE ET TECHNOLOGIE

FILIERE : GENIE ELECTRONIQUE

OPTION : MICRO ELECTRONIQUE

Thème

SIMULATION DU TRANSISTOR MOS PAR PSPICE

Présenté par :

M^r MOKHTARI AHMED LAMINE

Encadré par :

M^{me} CHABANE Rayene

N° d'ordre : 2016 / ME 12/89/389

Promotion : Juin 2016

REMERCIEMENTS

Je remercie en premier lieu mon Dieu de nous donner la santé et la patience pour avoir terminé ce travail.

Ainsi je tien également à exprimer mon vifs remerciements à notre encadreur Ms. **MmeR.CHABANE** pour avoir d'abord proposé ce thème. Pour suivi continué tout long de la réalisation de ce mémoire et qui n'a pas cessée de je donner ses conseils et remarques.

Je remercie également tous les membres du jury d'avoir accepter d'examiner ce travail.

Ainsi que tous mes enseignants du Département d'électronique.

Je veux également remercier ma famille pour leur soutien moral particulièrement mes parents pour leur soutien inconditionnel tout au long de mes longues années d'études.

Je tiens également à remercier tous mes collègues de l'étude et particulièrement mon frère Aymen et Mr.Roubèch et mon amis Chelbabe pour leur soutien moral moi terminer ce travail.

Enfin j'adresse mes plus sincères remerciement à tous mes proches et amis qui m'ont toujours soutenue et encouragé au cours de la réalisation de ce mémoire.

Merci tous.

MOKHTARI AHMED LAMINE

DEDICACE

Je dédie ce modeste travail :

A ma mère.

A mon père.

A mes frères.

A tout la famille.

A tous mes mes amis.

A tous les enseignants au département d'Electronique.

A ma promotion de Master Modalisation d'un transistor MOSFET.

A tous les amis d'études surtout ceux d'électronique promotion.

2016

SOMMAIRE

SOMMAIRE

SOMMAIRE	1
LISTE DES FIGURES	3
LISTE DES TABLEAUX	6
INTRODUCTION GENERALE	7
Chapitre I: Le transistor MOS et son utilisation	10
I-1 Introduction.....	10
I-2 Rappels sur les propriétés des transistors MOS	10
I-2-1 Principe de base et structure du transistor MOS	11
I-2-2 tension de seuil et barrière de potentiel Source-Drain.....	13
I-2-3 Les régimes de conduction du transistor MOS	17
I-2-4 Caractéristiques électriques idéales du transistor MOS.....	17
I-3 Pourquoi le transistor MOS ?.....	17
I-4 Conclusion	20
Chapitre II: Simulation du MOSFET par Pspice	21
II-1 Introduction	21
II-2 Pourquoi le Pspice ?.....	21
II-3 Définitions	22
II-3-1 MOSFET à appauvrissement D-MOSFET.....	22
II-3-2 Structure du MOS à appauvrissement canal P.....	23
II-3-3 CMOS Complementary Metal Oxide Semi-Conductor	23
II-4 Simulation du NMOS.....	24
II-5 Simulation du PMOS	25
II-6 Simulation du CMOS	26
II-6-1 Caractéristique d'entrée-sortie.....	26
II-7 Conclusion	27

Chapitre III: Le transistor MOS et son utilisation	28
III-1 Introduction	28
III-2 Le transistor MOS de puissance	28
III-2-1 Schéma équivalent	28
III-2-2 Le modèle SPICE niveau 1 du transistor MOS	29
III-2-3 Caractéristique $I_{DS} = f(V_{DS})$ pour différentes valeurs de V_{GS}	31
III-2-4-a Montage	31
III-2-4-b Résultats	32
III-2-4 Caractéristique de transition d'un transistor en régime de saturation	32
III-3 Comparaison avec autres outils de simulation	33
III-3-1 Simulation du transistor MOS par le VHDL-AMS	33
III-6-4-a Code VHDL-AMS du modèle SPICE niveau 1	33
III-6-4-b Caractéristiques électriques	33
III-3-2 Simulation du transistor MOS par MATLAB	34
III-4 L'amplification de puissance micro-ondes	35
III-4-1 Amplificateur radio fréquence	35
III-5 Résultats de simulation	37
III-6 Le transistor IGBT (Insulated Gate Bipolar Transistor).....	38
III-6-1 Historique	38
III-6-2 Le schéma équivalent	39
III-6-3 Principe de fonctionnement	41
III-6-4 Modélisation du transistor IGBT par le VHDL-AMS et caractéristiques	42
III-6-4-1 Code VHDL-AMS du modèle fonctionnel de l'IGBT	42
III-6-4-2 Caractéristiques électriques	43
III-6-5 Modélisation du transistor IGBT par MATLAB	43
III-6-6 Simulation du transistor IGBT sous SPICE-ORCAD	44
III-7 Conclusion	45
 CONCLUSION GENERALE.....	 46
 REFERENCES BIBLIOGRAPHIQUES	 47

SOMMAIRE DES FIGURES

Chapitre I: LE TRANSISTOR MOS ET SON UTILISATION	10
Fig I-1: Part du marché des différentes technologies semi-conducteur	10
Fig I-2: Effet de champ dans un transistor MOS	11
Fig I-3: Architecture d'un transistor NMOS	12
Fig I-4: Diagramme d'énergie d'une structure MOS	13
Fig I-5: Modification de la barrière de potentiel source-drain en Fonction de la polarisation de grille V_{gs}. (a) régime d'accumulation	14
(état bloqué), (b) régime d'inversion (état passant)	
Fig I-6: Diagramme de bandes d'énergie des transistors NMOS dans le régime : (a) d'accumulation, (b) de bandes plates,	16
(c) de désertion, (d) d'inversion faible et (e) d'inversion forte	
Fig I-7: Coupe de MOSFET représentative de son fonctionnement :(a) Accumulation, (b) Déplétion,	17
et (c) Inversion (activation du canal)	
Fig I-8: Illustration des trois régimes de conduction qui caractérisent le fonctionnement d'un transistor NMOS	18
Fig I-9: Caractéristiques idéales d'un transistor MOS(a) Graphique $I_{ds}=f(V_{gs})$. (b) Graphique $I_{ds}=f(V_{ds})$. La ligne $V_{dsat} = V_{gs} - V_{th}$ sépare le régime ohmique du régime saturé	19

Chapitre II: Stimulation du MOSFET par Pspice	21
Fig II-1: Structure D-MOS canal N	21
Fig II-2: Structure D-MOS canal N	22
Fig II-3: courbe de représentative de le courant dans MbreakN en fonction de tension	24
Fig II-4: courbe de représentative du courant dans MbreakP en fonction de tension	25
Fig II-5: Allure des caractéristiques d'un transistor NMOS	25
Fig II-6: Courbe représentative de la tension de sortie en fonction V-VIN	26
Fig II-7: Courbe représentative de la tension en fonction V-VIN	27
Chapitre III: Stimulation de composants de puissance et applications.....	28
Fig III-1: Schéma équivalent d'un transistor MOS	28
Fig II-2: Schéma du montage d'un module IRF150 par pspice	31
Fig III-2-a: Caractéristiques $I_{DS} = f(V_{DS})$ pour $V_{GS} = Cte$	32
Fig III-2-b: Caractéristique $I_{DS} = f(V_{GS})$	32

Fig III-3-a: Caractéristique $I_{DS} = f(V_{DS})$ sous VHDL-AMS	33
Fig III-3-b: Caractéristique $I_{DS} = f(V_{GS})$ sous VHDL-AMS	33
Fig III-4-a: Caractéristique $I_{DS} = f(V_{DS})$ sous MATLAB	34
Fig III-4-b: Caractéristique $I_{DS} = f(V_{GS})$ sous MATLAB	34
Fig III-5-a: Schéma bloc d'un amplificateur radio fréquence	36
Fig III-5-b: La tension a l'entré de l'amplificateur radio fréquence	37
Fig III-6: Domaine d'application de l'IGBT et des autres dispositifs de commutation concurrents.....	39
Fig III-7: Structure de l'IGBT avec son schéma équivalent dédit d'une demi-cellule	39
Fig III-8: Circuit équivalent d'un IGBT le transistor bipolaire NPN parasite	40
Fig III-9: Circuit incluant équivalent simplifié	40
Fig III-10: Circuit équivalent montrant le sens des différents courants dans l'IGBT	41
Fig III-11: Caractéristique $I_{AK} = f(V_{AK})$ sous VHDLAMS	43
Fig III-12: Caractéristique $I_{AK} = f(V_{AK})$ sous MATLAB	43
Fig III-13: Caractéristique $I_{AK} = f(V_{AK})$ sous SPICE.....	44

LISTE DES TABLEAUX

Chapitre III: Simulation e composants de puissance et applications

Tableau III.1: Les paramètres MOS du PSPICE niveau 1	30
Tableau III.2: Principales caractéristiques du SXP1301	35
Tableau III.3: Impédances de source et de drain Réalisant l'adaptation d'impédance	36

Chapitre III: Simulation e composants de puissance et applications

Encadré III.1: Net liste SPICE du modèle MOS	31
Encadré III.1: Code VHDL-AMS de la modélisation Fonctionnel du transistor IGBT	42
Encadré III.1: Net liste de Pspice du modèle IGBT	44

INTRODUCTION GENERALE

INTRODUCTION GENERALE

Les simulateurs de circuits électriques sont apparus dans les années 1970. Leur précurseur, SPICE (Simulation Program with Integrated Circuit Emphasis) a connu un succès mondial en raison du fort développement de l'industrie électronique. Son cœur de simulation développé par l'université de Berkeley est dans le domaine public et est intégré dans de nombreux simulateurs.

L'évolution rapide des composants électroniques, que chacun a pu mesurer avec l'augmentation de performance des microprocesseurs et la baisse du prix des ordinateurs, nécessite des moyens de test et de contrôle de plus en plus efficaces. En raison de la densité et de la complexité croissante des circuits électroniques, la simulation est devenue une étape incontournable du cycle de conception des circuits et des composants.

Il est indispensable de vérifier à priori le comportement électrique du circuit qui va être soumis au fabricant. La simulation permet ainsi une réduction des coûts de développement en évitant en partie la réalisation de prototypes relativement coûteux.

D'une manière générale, les circuits produits par l'industrie des semi-conducteurs voient leurs fonctionnalités, leurs performances et leur autonomie augmenter alors que leur poids et leur taille diminuent continuellement. L'innovation de l'industrie a été particulièrement stimulée par le développement du secteur des microprocesseurs. Depuis l'explosion des applications d'échanges d'informations, les technologies radiofréquences (RF) et analogiques permettent une croissance rapide du marché des communications sans-fil et représentent des technologies essentielles et critiques pour de nombreux manufacturiers [1].

Depuis la naissance du transistor jusqu'au début des années 80, deux technologies sont utilisées dans le domaine des RF : Le transistor bipolaire sur Silicium (Si) et le transistor MESFET (MEtal Semiconductor Field Effect Transistor) sur Arséniure de Gallium (GaAs). A partir des années 80, et petit à petit, de nouvelles technologies font leur apparition, et notamment les HEMT (High Electron Mobility Transistor), les transistors bipolaires à hétérojonction, l'IGBT (Insulated Gate Bipolar Transistor) et récemment les transistors MOSFET (Metal Oxide Semiconductor Field Effect Transistor) sur Si [2].

Malgré la position dominante du transistor MOSFET sur Si sur le marché, il est utilisé essentiellement pour les applications numériques. L'intérêt d'utiliser cette technologie dans le domaine des RF est né récemment. Ceci vient avec l'évolution des performances RF des transistors MOS, directement liées au progrès de la lithographie et à la réduction de la longueur de grille. L'intérêt porté pour les technologies Si, et plus précisément pour les transistors MOS, dans le domaine des hyperfréquences, repose sur trois points [3] :

- C'est une technologie peu coûteuse par rapport aux technologies III-V . Elle est très mature d'un point de vue industriel.
- La quasi-totalité des circuits numériques sont réalisés avec cette technologie. On peut donc envisager des applications mixtes (analogique/numérique) sur la même puce [4].
- Elle requiert de faibles tensions de polarisation et présente une consommation en puissance très faible [5].

Dans ce contexte, ce mémoire a été organisé en trois chapitres, qui peuvent être synthétisés comme suit :

Après un bref rappel sur le principe du transistor MOS standard, son principe de fonctionnement ainsi que ses caractéristiques statiques, le chapitre 1 introduit aussi les bases de la compréhension de tout ce qui motive cette modeste étude.

Le chapitre 2 sera consacré Les modèles de transistors MOS possèdent jusqu'à 100 paramètres dans PSPICE. En général, un paramètre non spécifié n'a pas d'effet sur le comportement du transistor par rapport au modèle simple, car nous avons donné quelque Exemple dans cette chapitre.

Après le chapitre 2 nous allons commencer dans le chapitre 3, Dans ce chapitre, nous décrivons quelques modèles de composants de puissances tels que le transistor MOS. Le but est de créer une bibliothèque de composants de puissance réutilisable dans notre application.

Enfin, nous terminerons par une conclusion générale résumant l'ensemble du travail effectué.

C
h
A
P
I
T
R
E
1

**Le transistor MOS
et son utilisation**

CHAPITRE I

LE TRANSISTOR MOS ET SON UTILISATION

I.1 Introduction

Le transistor MOSFET est le composant de choix pour les applications « basse tension » : Parmi tous les composants de puissance disponibles actuellement, seul l'IGBT est aussi simple à commander, mais la chute de tension à l'état passant de ce dernier (de l'ordre de 2 V) le rend inutilisable lorsque l'on travaille avec des tensions inférieures à la centaine de volts.

Les transistors MOSFET sont parfaits en électronique de puissance pour la commutation rapide et le fonctionnement linéaire. Les caractéristiques essentielles à connaître sont présentées ici.

I.2 Rappels sur les propriétés des transistors MOS

Le transistor MOS est, de loin, le dispositif le plus répandu dans la production actuelle de composants semi-conducteurs, car il est le composant de base de la technologie CMOS (Complementary MOS), qui, à elle seule, englobe plus de 80 % (figure I.1) de la production mondiale de circuits intégrés.

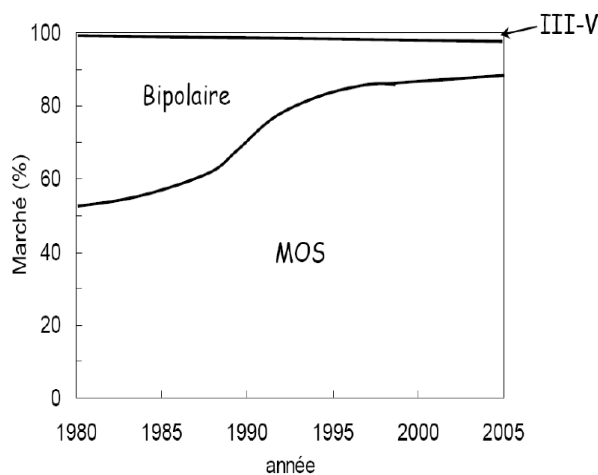


Fig 1.1: le % de la production mondiale de circuits intégrés (1980-2005) [6]

Le transistor MOSFET se caractérise par le fait que la grille, par l'effet de champ électrique, contrôle à travers l'oxyde de grille la densité de porteurs dans le canal du dispositif et ainsi l'intensité du courant dans le canal. Le canal est relié de part et d'autre à deux régions fortement dopées entre lesquelles est appliquée une tension donnant lieu à la circulation du courant [6,7].

1.2.1 Principe de base et structure du transistor MOS

Le principe du transistor MOS consiste à moduler la densité de porteurs du canal en jouant sur la polarisation de grille (V_{gs}). Celle-ci permet, par le biais du champ électrique ainsi créé, d'attirer une quantité de porteurs à la surface du semi-conducteur. Une couche conductrice se forme alors à ce niveau et permet la libre circulation d'un courant (I_{ds}), sous réserve de l'application d'un champ électrique (i.e. d'une tension V_{ds}). Cette couche conductrice est appelée « couche d'inversion » ou parfois « canal » [8-10].

La figure I.2 illustre l'effet de champ dans un transistor MOS schématisé :

- l'une des électrodes (grille G) commande l'intensité du champ électrique et par conséquent la densité de charges électriques mobiles ;
- l'autre (canal) possède deux contacts (dits de source S et de drain D) à ses extrémités, entre lesquels est appliquée une différence de potentiel.

Le canal conduit plus ou moins de courant en fonction de son niveau de remplissage en charges mobiles. De ce fait, le transistor MOS peut aussi être considéré comme une résistance modulable électro statiquement et reliant deux contacts (source et drain).

En résumé, un transistor MOS (TMOS) peut être considéré comme une capacité plane, à la différence près que les charges d'une des faces sont mises en mouvement latéral. Dans cette structure, la tension de grille (V_g) commande la quantité de charges et la tension de drain (V_d) les met en mouvement.

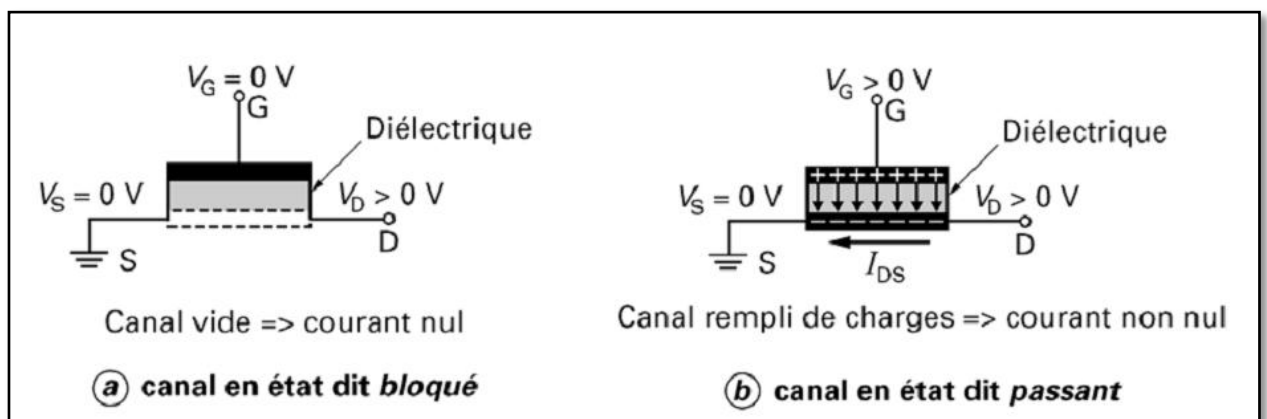


Figure I.2 - Effet de champ dans un transistor MOS [7]

Le transistor MOS moderne contient une grille G en silicium polycristallin (plus rarement en d'autres matériaux, par exemple, en métal) [11-12], séparée du substrat en silicium monocristallin par une couche mince de diélectrique, le plus souvent SiO_2 . Les régions de source

et drain f ont partie intégrante du substrat, dont ils diffèrent par leur type de conduction. Suivant le type des porteurs assurant le passage du courant, on peut parler de transistors MOS à canal N (ou NMOS, conduction par électrons) et de transistors à canal P (ou PMOS, conduction par trous).

La figure I.3 présente l'architecture d'un transistor MOS sur silicium de type N. L'architecture classique est constituée de quatre terminaux qui permettent d'analyser le comportement électrique du transistor : la grille (V_g), la source (V_s), le drain (V_d) et le contact du substrat (V_b).

La structure du transistor étant identique selon sa largeur, on le représente communément dans le plan (x,y) [13]. La figure I.3.b donne un exemple plus détaillé.

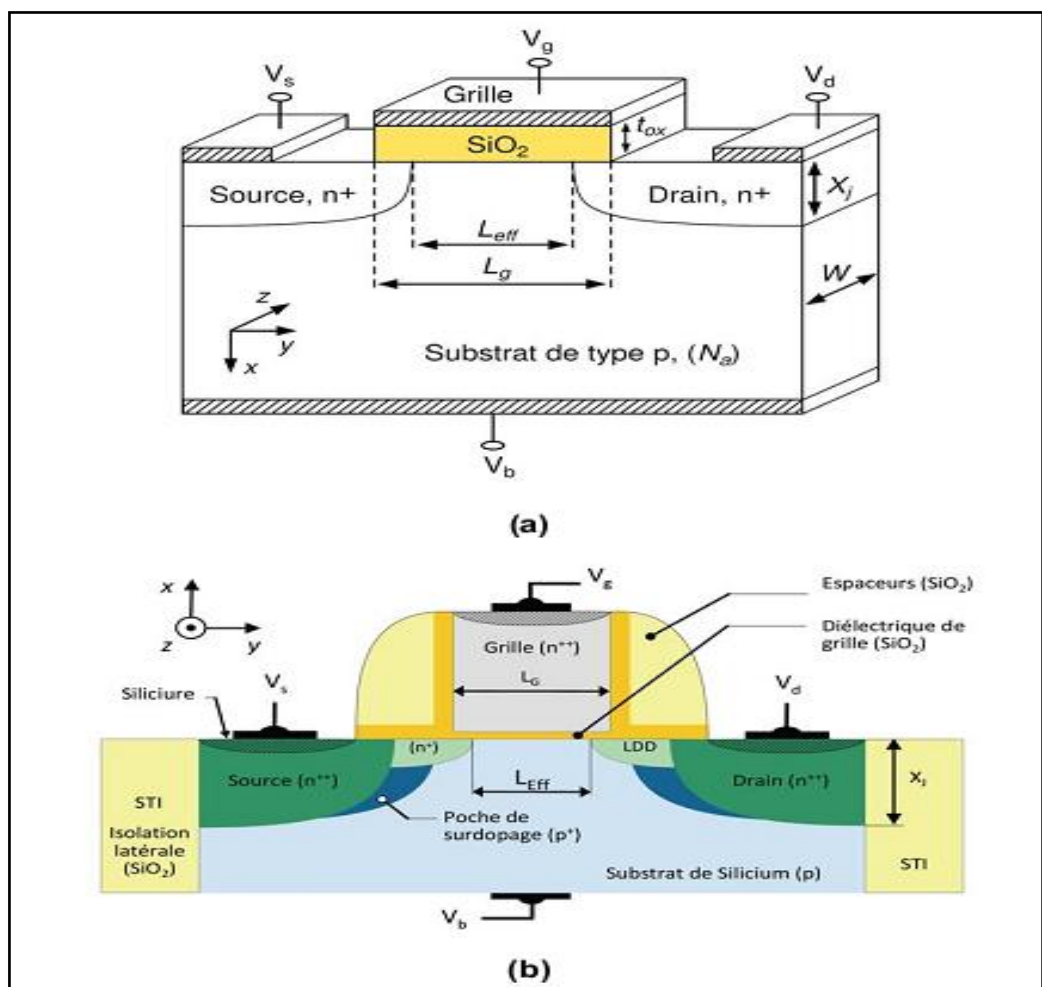


Figure I.3: Architecture d'un transistor NMOS [8]

Enfin, dans le MOSFET, il existe deux modes de fonctionnement [14-15] :

- ❖ « à enrichissement » qui correspond à une conduction par canal d'inversion induit.

- ❖ « à appauvrissement » qui correspond à une conduction par porteurs majoritaires (canal enterré préexistant physiquement que l'on bloque par désertion).

Nous considérerons par la suite le cas d'un transistor nMOS à enrichissement, où la conduction est assurée par les électrons, porteurs minoritaires du substrat.

1.2.2 Tension de seuil et barrière de potentiel Source-Drain

Le diagramme de bandes du transistor MOS idéal en condition de bandes plates est donné sur la figure I.4 pour un substrat dopé P. Il reprend l'ensemble des notations utilisées pour caractériser l'empilement grille/canal [16].

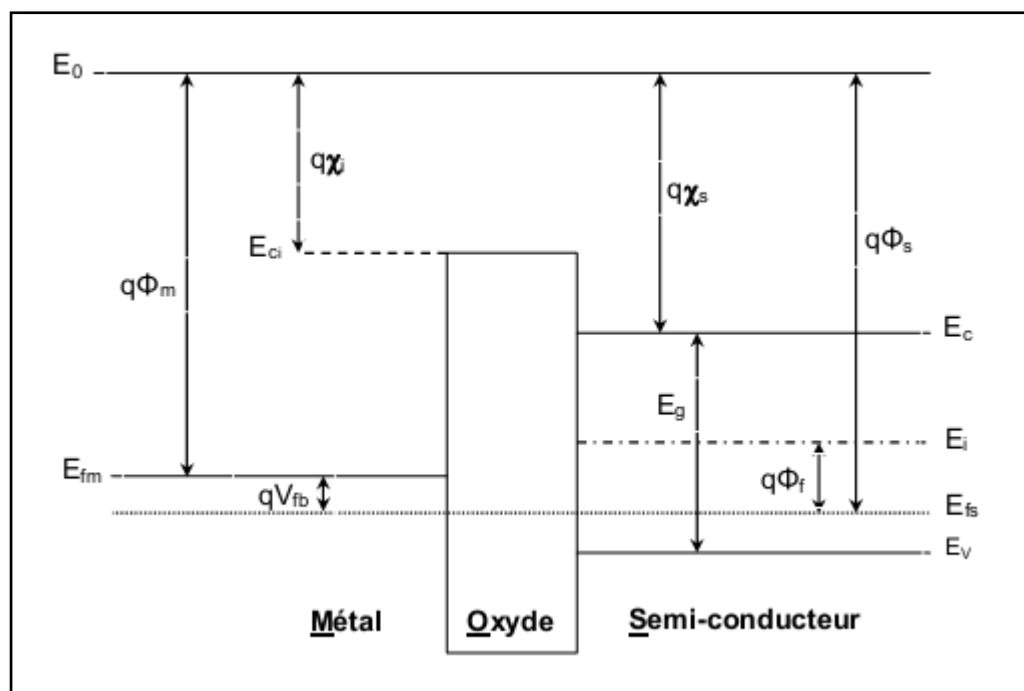


Figure I.4 : Diagramme d'énergie d'une structure MOS[16]

On a :

E_c , E_v , E_i : sont respectivement le niveau de conduction, de valence et intrinsèque.

E_0 : Energie minimale d'un électron dans le vide.

Φ_f : Potentiel de la jonction.

$q\Phi_m = E_0 - E_{fm}$: Travail de sortie du métal.

$q\Phi_s = E_0 - E_{fs}$: Travail de sortie du semi-conducteur.

$q\chi_s = E_0 - E_c$: Affinité électronique du semi-conducteur.

$q\chi_i = E_0 - E_{ci}$: Affinité électronique de l'isolant.

$q\Phi_f = E_i - E_{fs}$: Position du niveau de fermi intrinsèque par rapport au niveau de fermi extrinsèque.

D'après la figure I.4, on a :

$$q\Phi_m - \left(qx_s + \frac{E_g}{2} + q\Phi_f \right) = 0 \quad (I.1)$$

Le potentiel Φ_f définissant le niveau de fermi $E_{fs} = E_i - q\Phi_f$ dans le volume du semi-conducteur est donné par l'équation suivante [16] :

$$\Phi_f = \frac{kT}{q} \ln \left(\frac{N_a}{n} \right) \quad (I.2)$$

Où N_a est la densité de dopants accepteurs.

La tension de bandes plates $V_{fb} = \Phi_m - \Phi_s$ est la tension de grille qu'il faut appliquer pour que le potentiel Ψ_s à l'interface semi-conducteur/isolant (c.-à-d. la courbure de bande entre la surface et le volume du semi-conducteur) soit nul.

A cause de la nature différente des dopants du transistor, une barrière d'énergie potentielle, de hauteur Φ_d , apparaît entre le canal et les régions source et drain (correspondant à la barrière de potentiel d'une jonction N+P). Cette barrière empêche le passage des porteurs entre la source et le drain si aucune polarisation n'est appliquée sur le dispositif (figure 1.5).

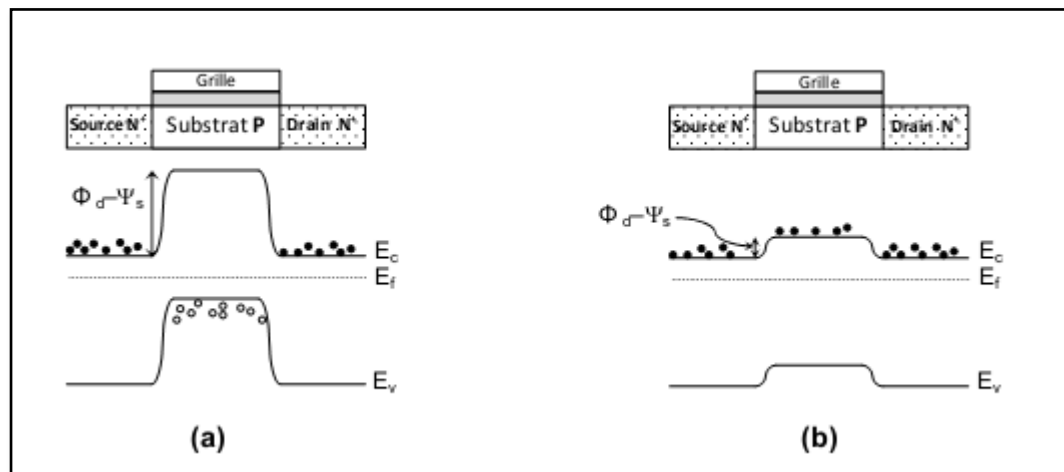


Figure I.5 : Modification de la barrière de potentiel source-drain en fonction de la polarisation de grille V_{gs} . **(a)** régime d'accumulation (état bloqué), **(b)** régime d'inversion (état passant).[9]

La tension de grille V_{gs} module la hauteur de cette barrière [8] et les différents régimes de fonctionnement du transistor nMOS sont donc définis selon les valeurs de Ψ_s [9,16] :

- $\Psi_s < 0$ soit $V_{gs} < V_{fb}$: régime d'accumulation (figure I.6 a)

Les porteurs majoritaires du substrat sont attirés à l'interface SiO₂/Si, la capacité est en accumulation. La barrière côté source pour les électrons vaut alors $\Phi_d - \Psi_s$ à la surface du semi-conducteur, le transistor est à l'état bloqué.

- $\Psi_s = 0, V_{gs} = V_{fb}$: condition de bandes plates (figure I.6 b)

Les bandes d'énergie sont plates et aucune charge n'est accumulée aux deux interfaces de l'oxyde. Les concentrations de porteurs majoritaires et minoritaires sont constantes dans toute la profondeur du silicium. La tension électrique à appliquer entre la grille et le substrat pour obtenir cette configuration est appelée tension de bandes plates V_{fb} .

- $0 < \Psi_s < \Phi_f, V_{fb} < V_{gs} < V_{mg}$: régime de déplétion ou de désertion (figure I.6 c)

Les porteurs majoritaires sont repoussés de la surface du semi-conducteur et une zone désertée en porteurs se crée. Le transistor ne conduit pas. V_{mg} étant la tension V_{gs} pour laquelle $\Psi_s = \Phi_f$ à la source.

- $\Phi_f < \Psi_s < 2\Phi_f, V_{mg} < V_{gs} < V_{th}$: régime d'inversion faible (figure I.6 d)

La condition $\Psi_s = \Phi_f$ correspond au seuil de l'inversion faible : en surface les concentrations de porteurs majoritaires et minoritaires sont égales à n_i , la concentration intrinsèque de porteurs.

- $2\Phi_f < \Psi_s$ soit $V_{gs} > V_{th}$: régime d'inversion forte (figure I.6 e)

Lorsque V_{gs} est suffisamment élevée, la surface du semi-conducteur est amenée en régime d'inversion : un canal d'inversion est créé entre la source et le drain. On parle d'inversion forte lorsque la population de porteurs est localement inversée. La concentration des porteurs minoritaires en surface devient supérieure à la concentration des majoritaires dans le volume. De nombreux porteurs libres sont présents dans le canal, la barrière $\Phi_d - \Psi_s$ côté source pour les électrons à la surface du semi-conducteur devient faible et le transistor conduit (figure I.5). La tension à appliquer pour amener le dispositif dans ce régime s'appelle la tension de seuil V_{th} (threshold voltage). Elle est définie comme la tension de grille V_{gs} telle que la condition $\Psi_s = 2\Phi_f$ soit remplie. Son expression analytique est donnée par [16] :

$$V_{th} = V_{fb} + 2\Phi_f - \frac{Q_{dep}}{C_{ox}}$$

Q_{dep} étant la charge de déplétion dans le substrat, et C_{ox} la capacité correspondant à l'épaisseur physique de l'oxyde de grille SiO₂ ($C_{ox} = \epsilon_{ox}/t_{SiO_2}$). La zone de déplétion augmente

jusqu'au régime de forte inversion où un accroissement de la tension de grille induit alors une augmentation des porteurs minoritaires plutôt qu'une plus forte déplétion.

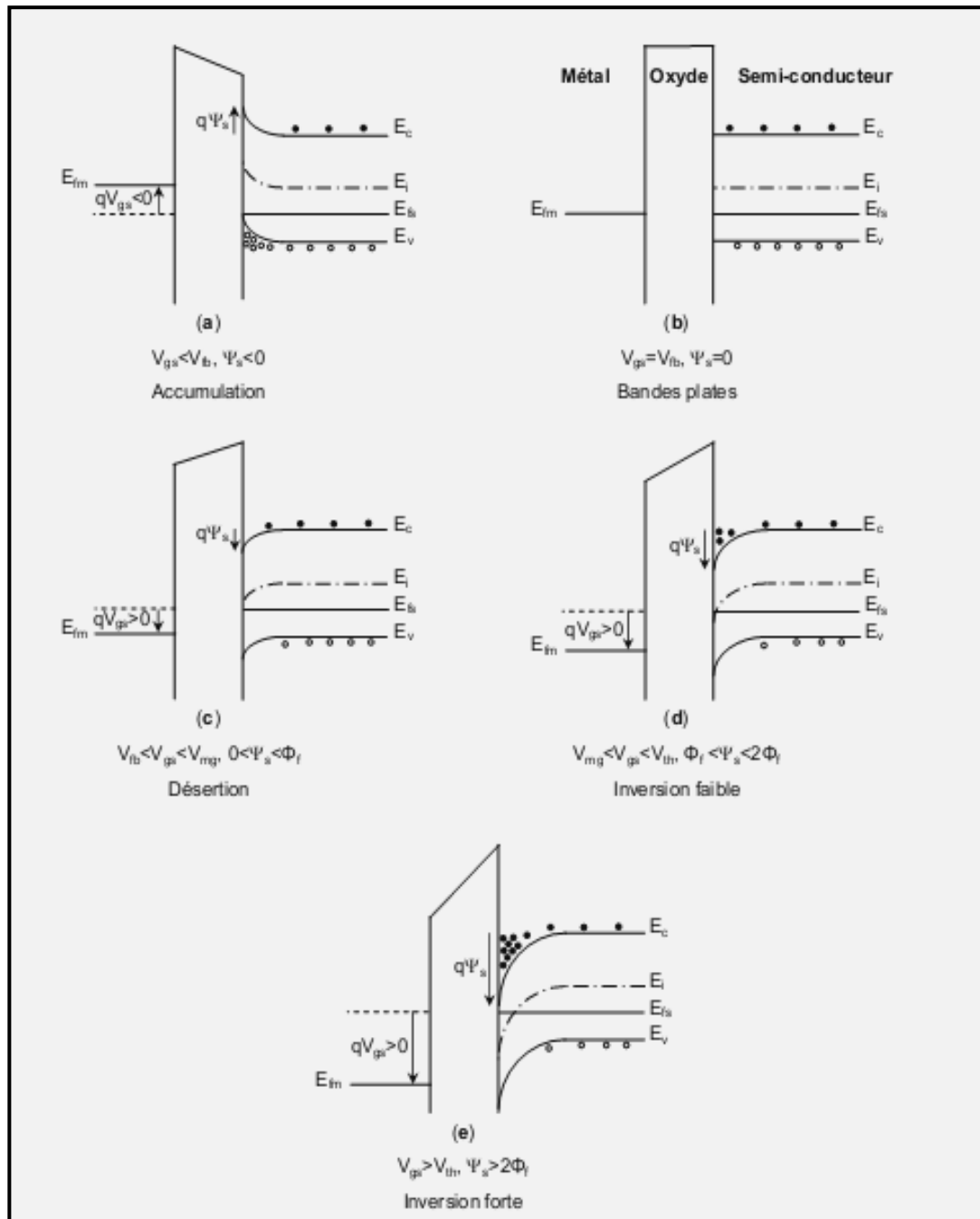


Figure 1.6 : Diagramme de bandes d'énergie des transistors NMOS dans le régime : (a) d'accumulation, (b) de bandes plates, (c) de désertion, (d) d'inversion faible et (e) d'inversion forte [13]

La figure I.7 présente une coupe du transistor MOS dans les régimes d'accumulation, de déplétion et d'inversion respectivement.

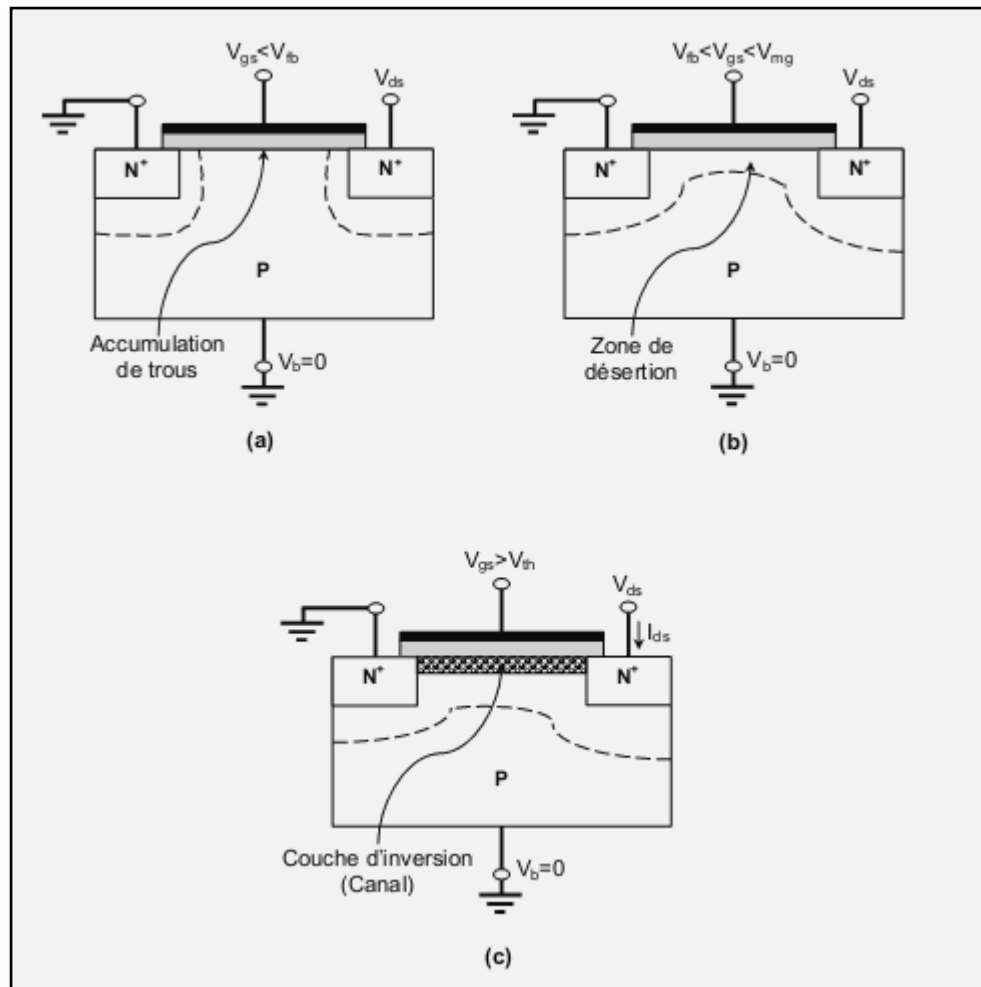


Figure I.7 : Coupe de MOSFET représentative de son fonctionnement :
(a) Accumulation, **(b)** Déplétion, et **(c)** Inversion (activation du canal)[13]

1.2.3 Les régimes de conduction du transistor MOS

Le courant délivré par le transistor est gouverné par trois facteurs :

- La charge dans le canal (qui dépend de la tension de grille V_{gs}),
- La tension de drain V_{ds} qui permet le déplacement des porteurs de la source au drain,
- La mobilité des porteurs (μ_{eff}) qui quantifie la vitesse acquise par les porteurs sous l'action d'un champ électrique.

En fonction des polarisations V_{gs} et V_{ds} il est donc possible de définir deux régimes de conduction distincts : le régime linéaire (ou ohmique) et le régime de saturation (figure I.8). Le régime linéaire se caractérise par une dépendance linéaire du courant en fonction de V_{ds} tandis que le régime de saturation caractérise un état dans lequel le courant n'évolue plus avec V_{ds} , car le canal est dit pincé $V_p = V_{dsat} \approx V_{gs} - V_{th}$. Entre ces deux régimes, le courant délivré dépend à la fois de V_{ds} et de V_{gs} : c'est la zone de raccordement.

Enfin, pour résumer le fonctionnement du transistor MOS nous pouvons dire que [17-18] :

- ✓ Pour $V_{gs} < V_{th}$, le canal n'est pas formé. Idéalement, le courant dans cette zone est nul.
- ✓ Pour $V_{gs} > V_{th}$, le canal est formé, le transistor peut conduire du courant. Selon V_{ds} on a différents régimes. On note $V_{dsat} \approx V_{gs} - V_{th}$.
- Pour $V_{ds} \ll V_{dsat}$, le transistor est en régime **linéaire**, le courant I_{ds} est proportionnel à V_{ds} .
- Pour $V_{ds} \approx V_{dsat}$, la densité de charge du canal s'annule au drain : on dit que le canal est **pincé**. Le courant ne peut plus augmenter proportionnellement à la tension V_{ds} .
- Pour $V_{ds} > V_{dsat}$, le courant reste constant et vaut I_{dsat} . La tension aux bornes du canal vaut V_{dsat} et le point de pincement se déplace vers la source lorsque la tension V_{ds} est augmentée. Le transistor est en régime **saturé**.

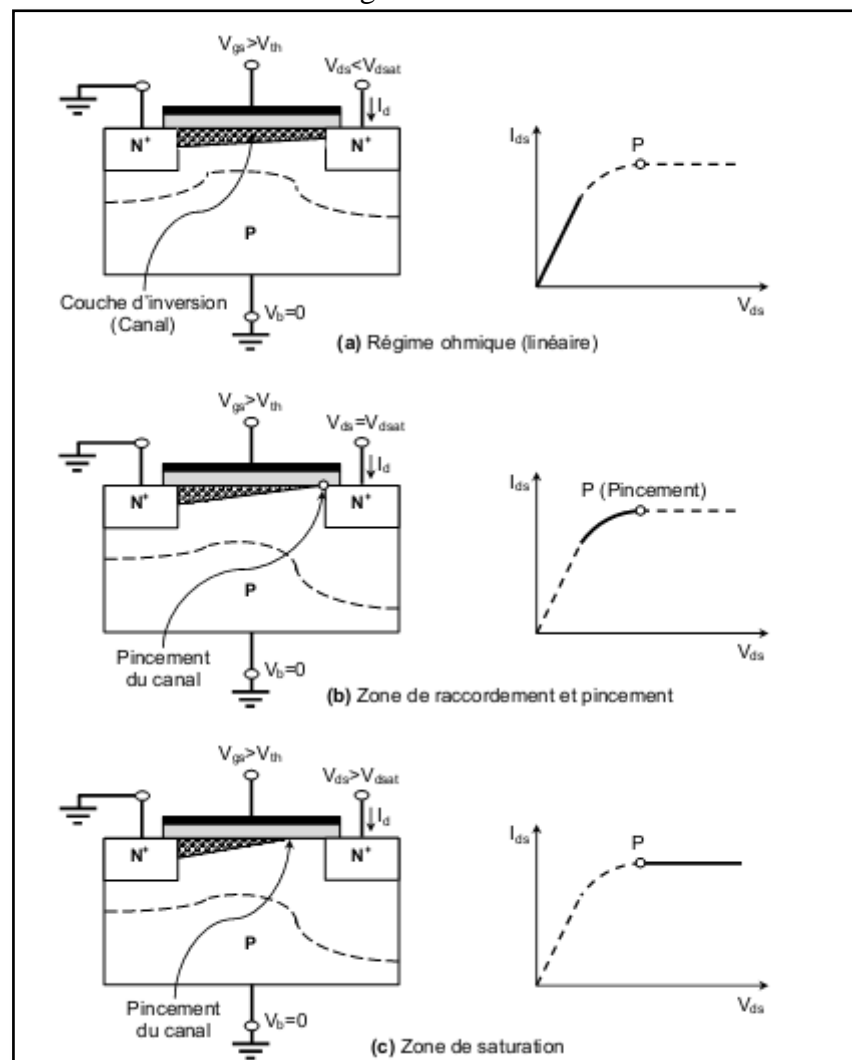


Figure 1.8 : Illustration des trois régimes de conduction qui caractérisent le fonctionnement d'un transistor NMOS[20]

1.2.4 Caractéristiques électriques idéales du transistor MOS

Les transistors MOS sont caractérisés électriquement en utilisant les graphiques $I_{ds} = f(V_{gs})$ et $I_{ds} = f(V_{ds})$. Ces caractéristiques sont schématisées de manière idéale en figure I.9 [19], ce qui nous permet de relier les différents régimes de la capacité MOS définis dans le paragraphe précédent aux modes de fonctionnement du transistor MOSFET [20].

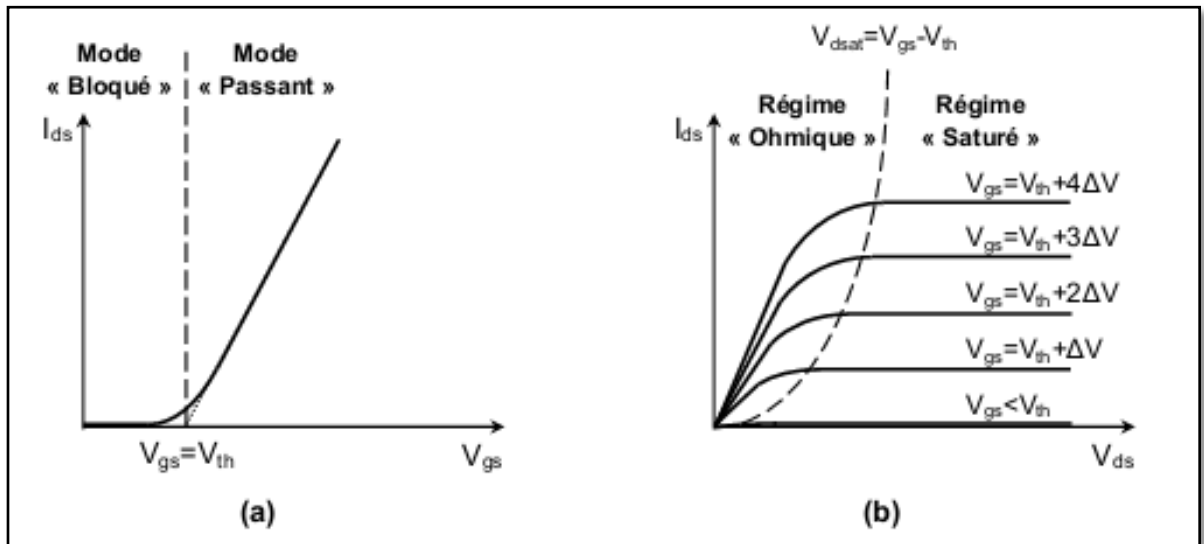


Figure I.9 : Caractéristiques idéales d'un transistor MOS
(a) Graphique $I_{ds}=f(V_{gs})$. **(b)** Graphique $I_{ds}=f(V_{ds})$. La ligne $V_{dsat} = V_{gs} - V_{th}$ sépare le régime ohmique du régime saturé[20]

I.3 Pourquoi le transistor MOS en RF ?

L'amélioration des performances et de l'intégration des technologies CMOS a permis le progrès des circuits numériques, grâce à la réduction des dimensions du transistor. Cette diminution de la longueur de grille s'accompagne d'une augmentation de la fréquence de transition du dispositif [21,22]. Elle reflète donc les performances dynamiques du transistor et permet d'estimer la gamme de fréquence dans laquelle le dispositif peut être utilisé. La fréquence de transition augmente de façon inversement proportionnelle à la longueur de grille du transistor [22]. La réduction des dimensions permet dès lors d'envisager une utilisation du transistor MOS pour des applications radiofréquences [23].

Ces applications RF sont principalement les communications sans fil : wifi, Bluetooth, réseaux sans fil, GSM, GPS. Les dispositifs sont donc utilisés pour des circuits figurant dans la chaîne de réception ou d'émission de telles applications : amplificateur faible bruit, convertisseurs analogique-numérique et numérique-analogique [24].

Les performances de rapidité du transistor MOS sont moindres que celles des composants réalisés en technologies III-V ou bipolaire , mais il possède par ailleurs de nombreux avantages :

- ✓ il n'a pas besoin d'une polarisation négative et positive comme les MESFETs ;
- ✓ ses performances sont généralement suffisantes pour les applications énumérées plus haut, dont la fréquence de fonctionnement est inférieure à 10GHz ;
- ✓ il présente l'intérêt d'une excellente intégration avec des fonctions numériques ;
- ✓ il revient moins cher à fabriquer.

1.4 Conclusion

Le MOSFET est aujourd'hui le transistor le plus utilisé en microélectronique. Alors qu'il sert principalement pour la conception de circuits numériques, son faible coût et ses performances en font un composant de plus en plus intéressant. Ce chapitre a pour objet de présenter, au premier lieu, une introduction au sens général de notre étude, et dans un deuxième lieu, de situer et justifier les transistors MOS sur le marché des télécommunications et leur raison d'être.

**Simulation du
MOSFET par
PSPICE**

**C
h
A
P
I
T
R
E
2**

Chapitre II

Simulation du MOSFET par PSPICE

II.1 Introduction

Le simulateur électrique PSPICE est un logiciel de simulation des circuits électriques contenant des composants tels que sources de tension, résistances, capacités et transistors. Le simulateur effectue ses calculs numériques en utilisant des modèles de ces composants, par exemple le modèle de Shichman et Hodges (S-H) pour les transistors. Il permet d'évaluer les performances d'un montage avant d' l'avoir réalisé. Un tel outil est particulièrement important lorsque l'on réalise des circuits intégrés car le développement d'un prototype est onéreux. Néanmoins la précision des résultats que fournit la simulation dépend de la qualité et de la complexité des modèles que l'on utilise. Plus le modèle se rapproche du comportement réel d'un composant, plus il fait intervenir de paramètres et plus il est spécifique d'un composant donné. Cela signifie que le nombre de calculs nécessaires à la simulation augmente et qu'il faut estimer un plus grand nombre de paramètres. Les modèles de transistors MOS possèdent jusqu'à 100 paramètres dans PSPICE. En général, un paramètre non spécifié n'a pas d'effet sur le comportement du transistor par rapport au modèle simple.

II.2 Pourquoi le Pspice ?

Le choix de l'outil de simulation s'est porté sur PSpice pour des raisons de disponibilité. Il n'existe aucune contrainte forte imposant ce choix, et bien d'autres simulateurs auraient pu être utilisés. Pspice est une des nombreuses versions commerciales dérivant du simulateur de circuits Spice2G6 développé à l'université de Berkeley dans les années 70 et tombé aujourd'hui dans le domaine public. Il contient des outils assez généraux pour être utilisé dans de nombreux domaines du génie électrique. De nombreux modèles de composants semi-conducteurs et en particulier de transistors MOS y sont proposés. Mais comme son nom l'indique (Pspice pour "Simulation Program with Integrated Circuit Emphasis", soit "programme de simulation orienté vers les circuits intégrés"), ce programme a été développé pour la micro-électronique et évolué (ainsi que la multitude de modèles toujours plus précis proposés) principalement dans ce sens.

II.3 Définitions

- Le Transistor à Effet de Champ à Métal Oxyde Semi-conducteur (**MOSFET** : *Metal Oxyde Semiconductor Field Effect Transistor*) a sa grille isolée du canal par une couche de dioxyde de silicium (SiO_2).
- Le transistor MOS possède 4 électrodes : la Source (*Source*) **S** : point de départ des porteurs, le Drain (*Drain*) **D** : point de collecte des porteurs. La Grille (*Gate*) **G** et le Substrat (*Body*) **B** sont les électrodes de la capacité MOS qui contrôle le **nombre de porteurs présents dans le canal**.
- L'intensité du courant circulant entre la source et le drain est commandée par la tension entre la grille et le substrat. Très souvent les électrodes de source et de substrat sont électriquement reliées, on retrouve un composant à 3 électrodes dans lequel la courant entre le Drain et la Source I_{DS} est commandé par une tension entre la Grille et la Source (potentiel de source = potentiel de substrat) : V_{GS} .
- Les deux types fondamentaux de MOSFET sont les **MOSFET à appauvrissement** (Déplétion) **D-MOSFET**, et les **MOSFET à enrichissement** (*Enhancement*) **E-MOSFET**.
- Dans chaque type de MOSFET, on peut distinguer le **MOSFET canal N** (le courant provient du déplacement d'électrons) et le **MOSFET canal P** (le courant provient du déplacement de trous).

II.3.1 MOSFET à appauvrissement D-MOSFET

Le D-MOSFET le drain et la grille sont reliés par un canal étroit du même type : N pour D-MOSFET canal N.

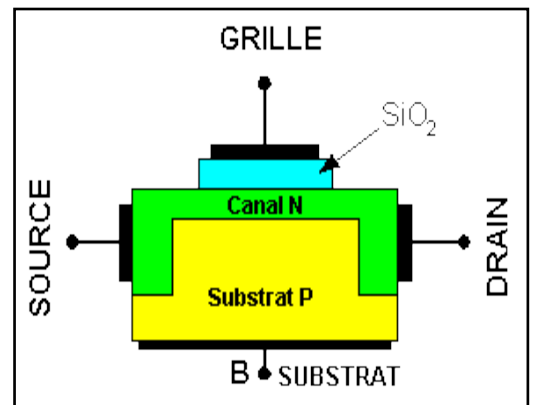
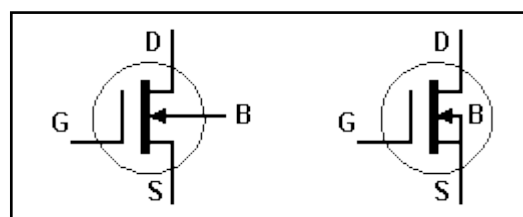


Figure II.1 : Structure D-MOS canal N

❖ Régime d'appauvrissement

Dans le cas du D-MOSFET canal N, si on applique une tension négative sur la grille par rapport au substrat, les électrons sont repoussés et la conductivité du canal diminue.

❖ Représentation



II.3.2 Structure du MOS à appauvrissement canal P

Le D-MOSFET le drain et la grille sont reliés par un canal étroit du même type : P pour D-MOSFET canal P.

❖ Régime d'appauvrissement

Dans le cas du D-MOSFET canal P, si on applique une tension positive sur la grille par rapport au substrat, les trous sont repoussés et la conductivité du canal diminue.

❖ Représentation

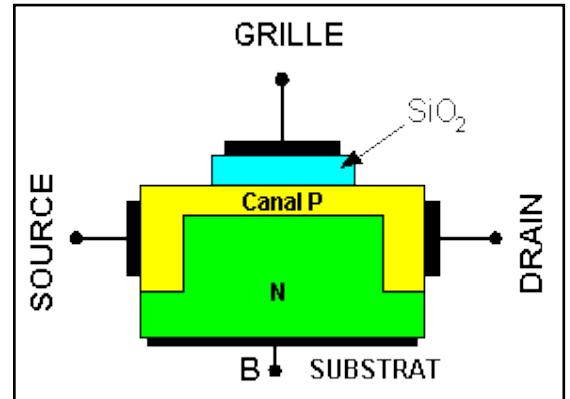
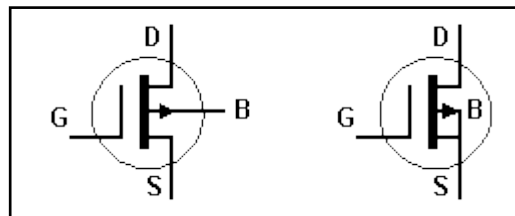


Figure II.2 : Structure D-MOS canal P



II.3.3 CMOS Complementary Metal Oxide Semi-conducteur

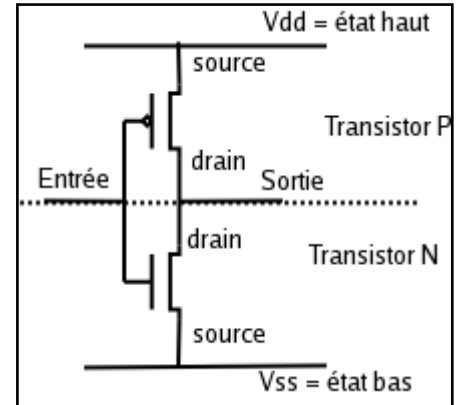
On appelle **CMOS**, ou *Complementary Metal Oxide Semiconductor*, une technologie de fabrication de [composants électroniques](#) et, par extension, les composants fabriqués selon cette technologie. Ce sont pour la plupart des [circuits logiques](#) (NAND, NOR, ...etc.) comme ceux de la famille [Transistor-Transistor logic](#) (TTL) mais, à la différence de ces derniers, ils peuvent être aussi utilisés comme résistance variable.

Dans ces circuits, un étage de sortie est composé d'un couple de transistors [MOSFET](#) N et P placés de manière symétrique et réalisant chacun la même fonction. Du fait de leur caractéristique de fonctionnement inversée, un transistor est passant alors que l'autre est bloquant (ils sont donc complémentaires, d'où l'appellation *complementary*).

❖ Fonctionnement

Pour expliquer le fonctionnement, on peut prendre par exemple le circuit le plus simple existant, l'inverseur CMOS ([fonction NON](#)), composé de deux [transistors](#), un N et un P. La [table de vérité](#) de l'inverseur est la suivante :

Si on applique à l'entrée un niveau haut, le [transistor N](#) est passant et le P est bloqué. On place ainsi la sortie au potentiel V_{ss} (la masse), c'est-à-dire à l'état bas. Inversement, quand on met l'entrée à l'état bas, le [transistor P](#) est passant et le N est bloqué. La sortie est donc à l'état haut. On a donc bien réalisé une fonction inversion.



En fonctionnement normal, il n'y a aucun chemin entre V_{dd} (l'alimentation positive) et V_{ss} (la masse) ; la consommation électrique est donc nulle en régime établi. Cependant, durant les transitions entre états (passage du niveau haut au niveau bas et inversement), les deux transistors sont simultanément conducteurs pendant un court laps de temps, ce qui entraîne une consommation d'énergie. C'est pour cela que plus la fréquence de l'horloge d'un circuit intégré CMOS est élevée, plus ce circuit consomme d'énergie. De la même manière, à une fréquence donnée, plus un circuit intégré CMOS comporte de transistors, plus il consomme d'énergie.

II.4 Simulation du NMOS

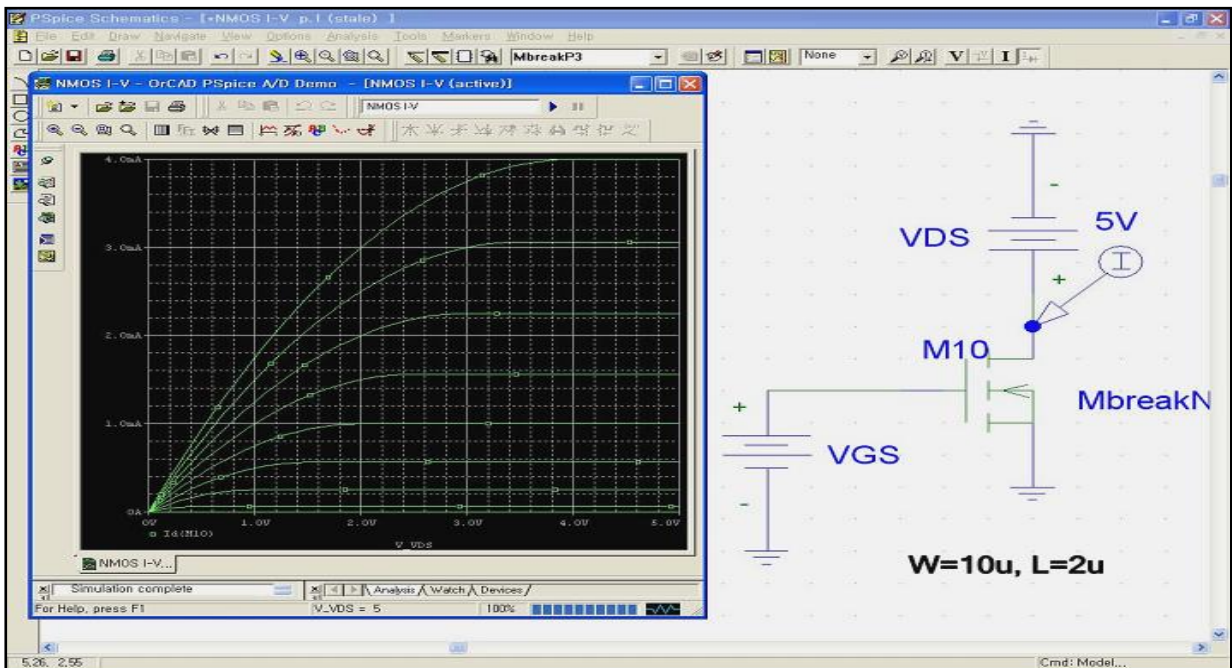


Figure II.3: courbe de représentative du courant dans MbreakN en fonction de tension

II.5 Simulation du PMOS

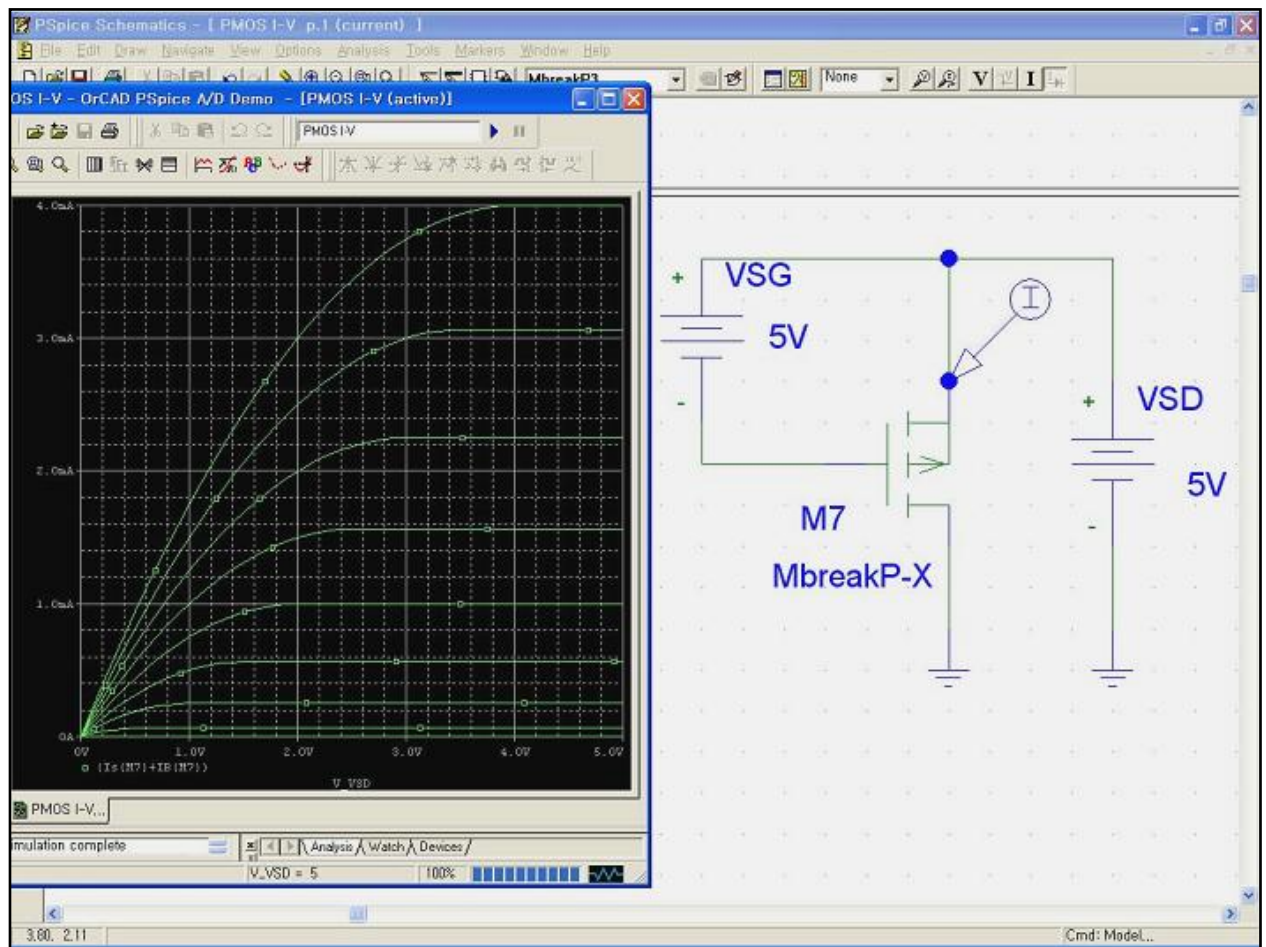


Figure II.4: courbe de représentative de le courant dans MbreakP en fonction de tension

Le rappel de l'allure des caractéristiques d'un autre transistor NMOS [25] (affichée ci-dessous) explique les résultats de notre simulation :

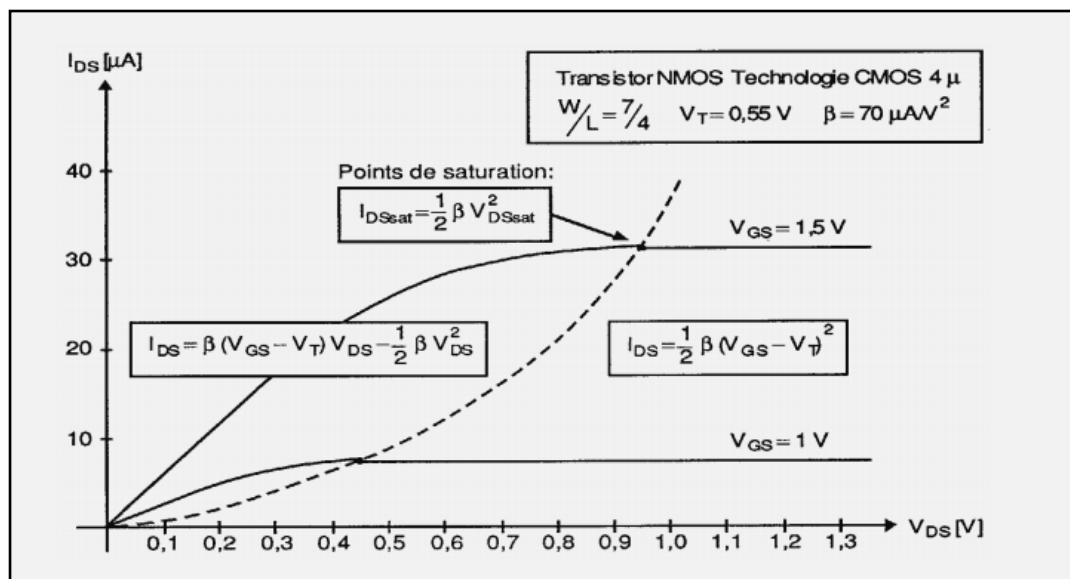


Figure II.5 : Allure des caractéristiques d'un transistor NMOS

On rappelle les équations statiques du transistor NMOS ($V_{DS} > 0$ et $V_T > 0$) :

- Régime bloqué pour $V_{GS} \leq V_T$: $I_D = 0$
- Régime "résistif" pour $V_{DS} < V_{GS} - V_T$: $I_D = \mu_n C_{ox} \frac{W}{L} \left[(V_{GS} - V_T)V_{DS} - \frac{1}{2}V_{DS}^2 \right]$
- Régime saturé pour $V_{DS} \geq V_{GS} - V_T$: $I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_T)^2$

Et les équations statiques du transistor PMOS ($V_{DS} < 0$ et $V_T < 0$) :

- Régime bloqué pour $V_{GS} > V_T$: $I_D = 0$
- Régime "résistif" pour $V_{DS} > V_{GS} - V_T$: $I_D = \mu_p C_{ox} \frac{W}{L} \left[(V_{GS} - V_T)V_{DS} - \frac{1}{2}V_{DS}^2 \right]$
- Régime saturé pour $V_{DS} \leq V_{GS} - V_T$: $I_D = \frac{1}{2} \mu_p C_{ox} \frac{W}{L} (V_{GS} - V_T)^2$

II.6 Simulation du CMOS

II.6.1 Caractéristique d'entrée-sortie

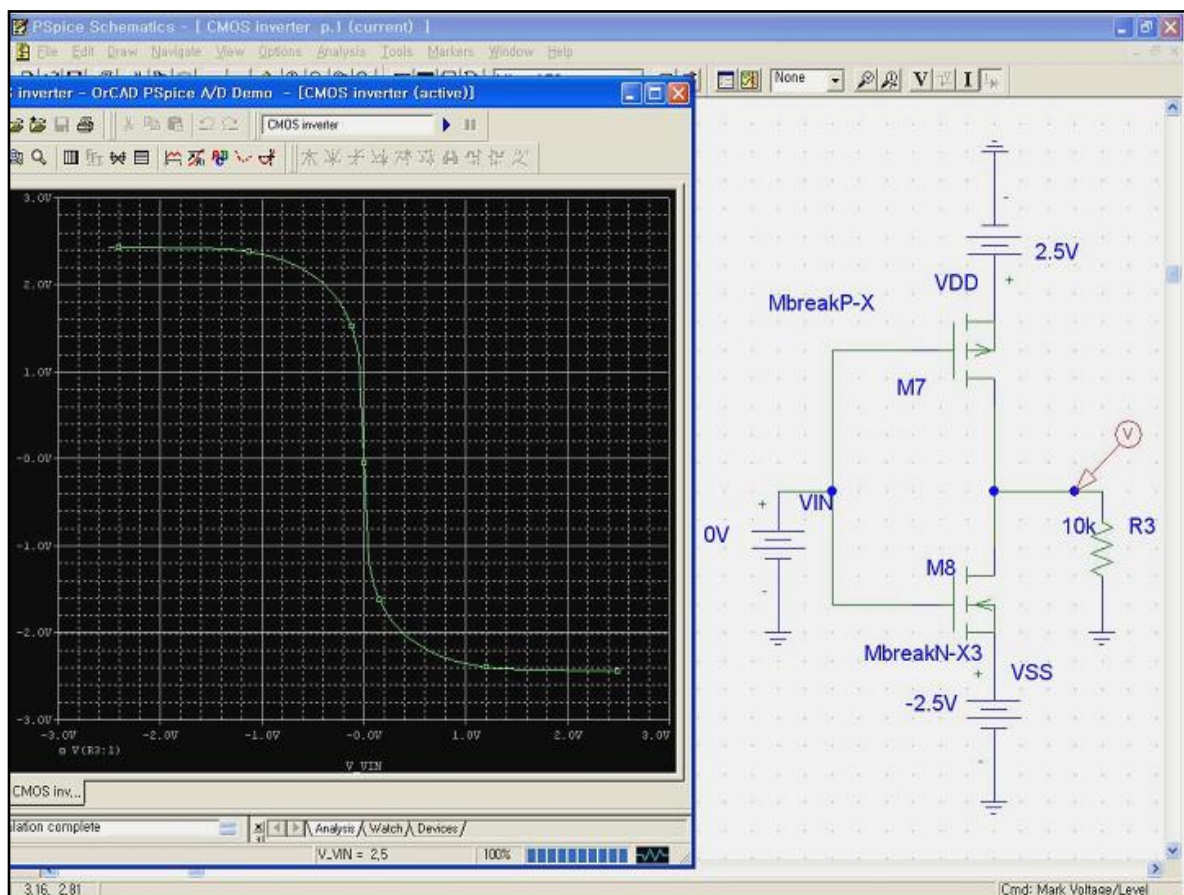


Figure II.6: Courbe représentative de la tension de sortie en fonction V-VIN

Il faut analyser le comportement de chacun des transistors en fonction de leur tension commune V_{in} :

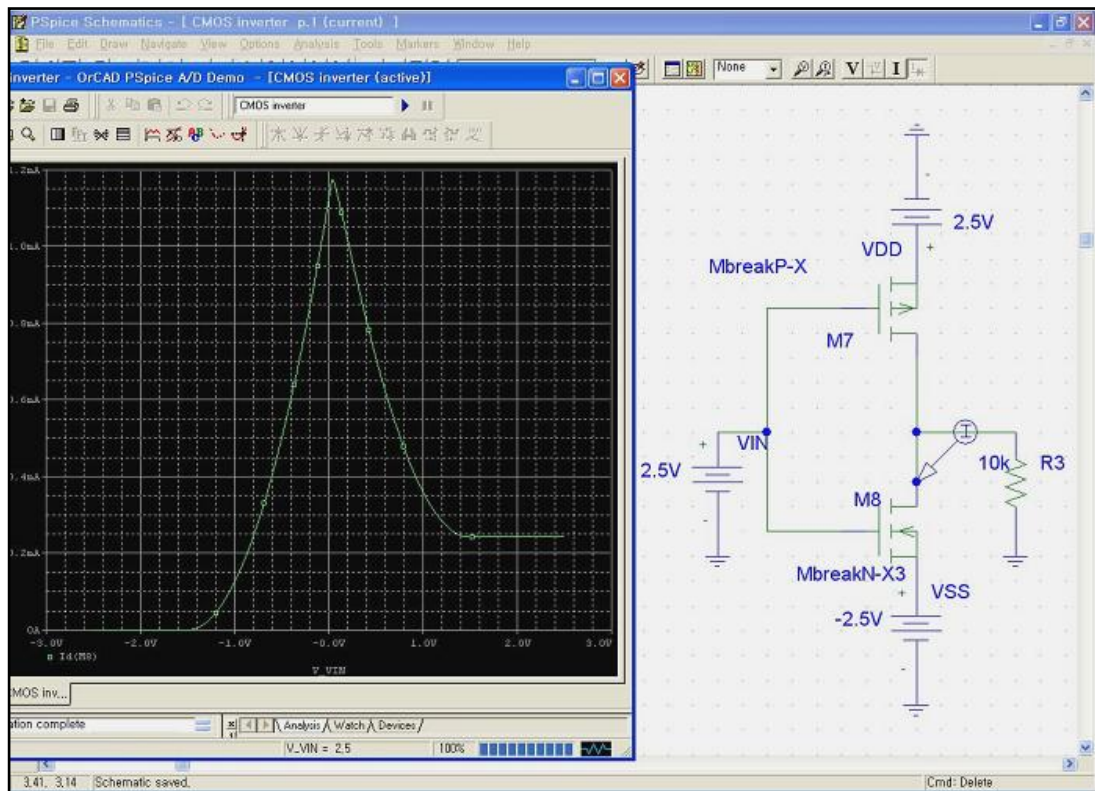


Figure II.7: Courbe représentative de la tension en fonction V-VIN

L'intrigue confirme ce que nous savions déjà - il n'y a pas de puissance dissipée lorsque l'onduleur est dans son état haut ou bas débit. La puissance est utilisée uniquement lors de la transition d'un état à l'autre.

II.7 CONCLUSION

Dans ce chapitre, on a mis une vue historique sur le PSPICE avec son utilité, les différents modèles du MOSFET. Puis, on a montré quelques exemples sur chaque modèle

**Simulation de
composants de
puissance et
applications**

**C
H
A
P
I
T
R
E
3**

Chapitre III

Simulation de composants de puissance et applications

III.1 Introduction

Il y a quelques années, le concepteur circuit était confronté à des circuits simples constitués d'un nombre restreint de portes logiques et de composants actifs. Actuellement, la densité d'intégration est telle qu'il a fallu développer un ensemble de couches d'abstractions afin de simplifier le processus de synthèse.

Dans ce chapitre, nous décrivons quelques modèles de composants de puissances tels que le transistor MOS. Le but est de créer une bibliothèque de composants de puissance réutilisable dans notre application.

Une application du modèle du TMOS en amplificateur Radio fréquence est également présentée ainsi qu'une application du transistor.

III.2 Le transistor MOS de puissance

Le modèle SPICE du TMOS que nous considérons ici, sera simulé sous différents langages (SPICE, VHDL-AMS, MATLAB) afin de justifier le choix du PSPICE comme un outil pour notre objectif.

III.2.1 Schéma équivalent et modèle électrique

La plupart des modèles de dispositifs MOS présentent le modèle basé sur le schéma électrique équivalent suivant :

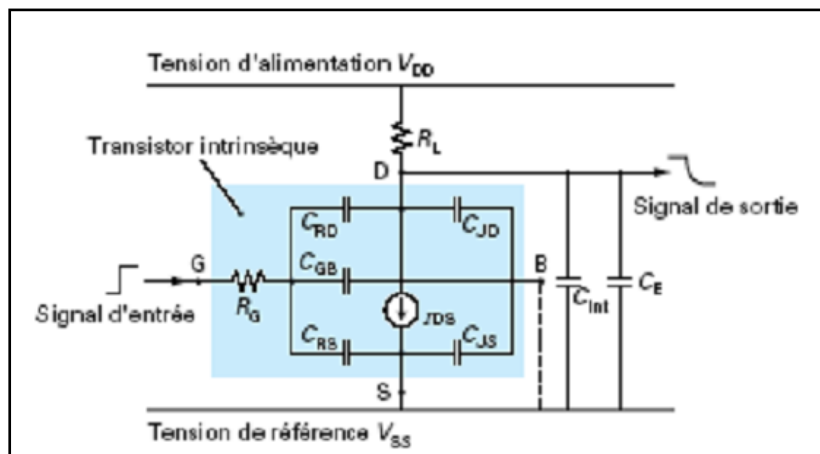


Figure III.1: Schéma équivalent d'un transistor MOS[13]

Le schéma de la figure III.1 est valable pour les dispositifs à canal N, pour le transistor MOS à canal P, on inverse la polarisation. Ce model comprend:

- Une source de courant statique drain-source I_{DS} , qui modélise le courant circulant dans le canal de conduction ;
- 3 capacités relatives à la grille C_{GD} , C_{GS} , C_{GB} , qui modélisent les interactions entre charge de grille/charge de canal côté drain, charge de grille/charge de canal côté source et charge de grille/charge de substrat ;
- 2 capacités relatives aux jonctions de substrat C_{BS} et C_{BD} ;
- 2 résistances d'accès côté source R_S et drain R_D .

III.2.2 Le modèle SPICE niveau 1 du transistor MOS

Dans tout ce qui suit, les modèles sont basés sur le schéma de la figure III.1. Le modèle SPICE du transistor MOS niveau 1 a été proposé par C.T Sah et les équations du modèle ont été ensuite modifiées pour être implantées dans le simulateur SPICE par H.Shichman et D.Hodges. La caractéristique I_{DS} est simulée dans les trois régions du domaine de fonctionnement du transistor :

➤ La première région de faible inversion: GSTH VVp On suppose qu'il n'existe pas de canal de conduction, d'où: $I_{DS}=0$

Lorsque GSTH VVf, on distingue alors deux autres régions où l'expression de la caractéristique IDS est une expression linéaire (ou quadratique) de VGS; nous les appellerons donc régions linéaires (ou de saturation)

➤ La région linéaire: $V_{GS} \geq V_{TH}$ et $V_{DS} \leq V_{DSAT}$ avec $V_{DSAT} = V_{GS} - V_{TH}$(2.1)

$$I_{DS} = \left(\frac{W}{L}\right) \cdot \left(\frac{KP}{2}\right) \cdot (1 + LAMBDA \cdot V_{DS}) \cdot V_{DS} (2 - (V_{GS} - V_{TH}) - V_{DS}) \dots\dots\dots(2.2)$$

➤ -la région de saturation: $V_{GS} \geq V_{TH}$ et $V_{DS} \geq V_{DSAT}$

$$I_{DS} = \left(\frac{W}{L}\right) \cdot \left(\frac{KP}{2}\right) \cdot (1 + LAMBDA \cdot V_{DS}) \cdot (V_{GS} - V_{TH})^2 \dots\dots\dots(2.3)$$

Le modèle présenté précédemment est le plus simple ; 7 paramètres électriques suffisent pour caractériser le comportement électrique (Tableau III.1) :

Symbole du paramètre	Définition du paramètre	unité
Paramètre du processus de fabrication		
L	Longueur de canal	m
W	Largeur de canal	m
TOX	Epaisseur de l'oxyde sous la grille	m
LD	Réduction de la longueur de canal par rapport à la valeur dessiné	m
NSUB	Dopage du substrat	AT / cm³
Paramètres électriques		
UO	Mobilité des porteurs	cm² / (V .S)
VTO	Tension de seuil à la polarisation du substrat nulle	Volts
LAMBDA	Modulation de la longueur du canal	volts⁻¹
KP	La transconductance	A / volts²
CGSO	Capacité grille source à polarisation nulle	F / m
CGDO	Capacité grille drain à polarisation nulle	F / m
CGBO	Capacité grille substrat à polarisation nulle	F / m

Tableau III.1: Les paramètres MOS du PSPICE niveau 1 [14]

Il existe d'autres modèles SPICE comme le modèle niveau 2 et niveau 3. Le modèle niveau 2 se distingue du modèle précédent par des expressions différentes du courant I_{DS} et des capacités C_{GS} , C_{GD} et C_{GB} . Ceux-ci prennent en compte des phénomènes plus fins (effet du canal étroit, canal court et limitation de vitesse des porteurs). Le modèle niveau 3 a par contre, des expressions des paramètres technologiques plus complexes par rapport au modèle niveau 1 et niveau 2. Pour notre part, le modèle du MOS niveau 1 est suffisant dans notre application d'intégration de puissance.

III.2.3 Caractéristique $I_{DS} = f(V_{DS})$ pour différentes valeurs de V_{GS}

Cette simulation consiste à décrire le comportement du composant par l'utilisation de primitives du simulateur. Pour cela nous avons choisi comme exemple le transistor de puissance **IRF150** dont les paramètres sont regroupés dans l'annexe A.

Le transistor a été polarisé par deux sources de tension DC (continue) V_{GS} et V_{DS} . L'encadré II.1 présente le net liste simulant le comportement de **IRF150**.

```
.lib " nom.lib"
*Analysais directives:
.DC LIN V_Vds 0 10 0 .001

+ LIN V_Vgs 6 9 1
.PROB V(*) I(*) W(*) D(*) NOISE(*)
.INC ".m-SCHEMATIC1.net"
* source M
V_Vds N12459 0
M_M4 N12459 N12499 0 0 IRF 150
V_Vgs N12499 0
.END
```

Encadré III.1: Net liste SPICE du modèle MOS [19]

a. Montage

Il s'agit de présenter la caractéristique $I_{DS} = f(V_{DS})$, pour différentes valeurs de V_{GS} . Pour cela, on considère le montage ci-dessous :

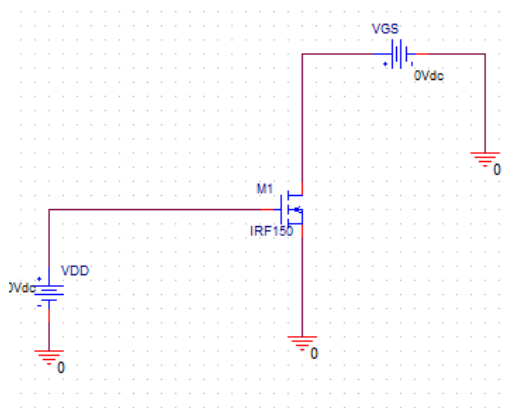


Figure III.2: Schéma du montage d'un module IRF150 par pspice [19]

b. Résultats de simulation

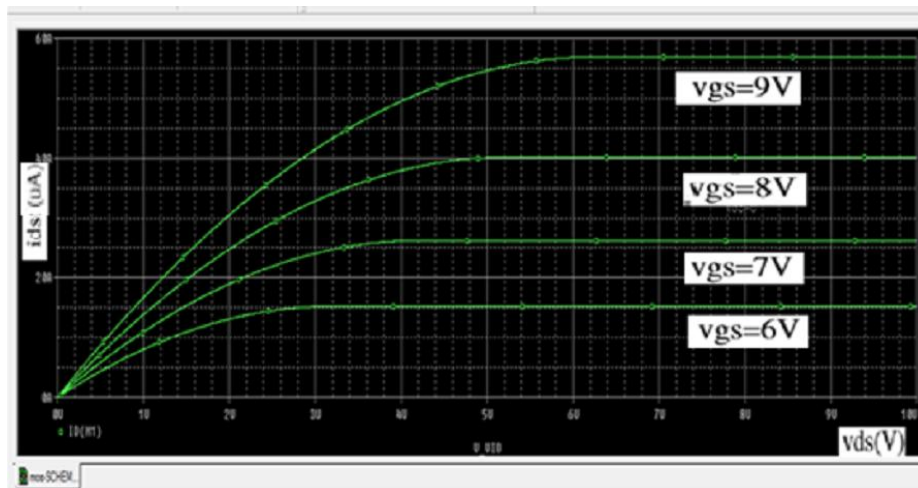


Figure III.2(a): Caractéristiques $I_{DS} = f(V_{DS})$ pour $V_{GS} = C^{te}$ [21]

La figure III.3 (a) représente la caractéristique du courant drain-source (I_{DS}) en fonction de la tension drain-source (V_{DS}) pour des tensions grille-source (V_{GS}) constantes. Quand la tension V_{DS} appliquée au drain augmente, le canal ne peut plus être considéré comme équipotentiel, car la zone de charge d'espace est variable d'un point à un autre du canal. Elle est plus importante côté drain que côté source. Au fur et à mesure que la tension V_{DS} augmente, le canal se rétrécit de plus en plus du côté drain et la conductance du canal diminue. Donc le courant I_D n'augmente plus proportionnellement avec V_{DS} . Ce qui implique que la courbe $I_D (V_{DS})$ s'incurve. Lorsque la valeur de la tension du drain devient assez importante de telle manière que l'épaisseur de la zone de charge d'espace soit égale à l'épaisseur du canal, ce dernier se pince du côté drain. Ainsi le courant n'augmente plus, nous sommes en régime de saturation.

III.2.4 Caractéristique de transition d'un transistor en régime de saturation

La figure III.3 (b) représente la caractéristique du courant drain-source (I_{DS}) en fonction de la tension grille-source avec V_{DS} Constante.

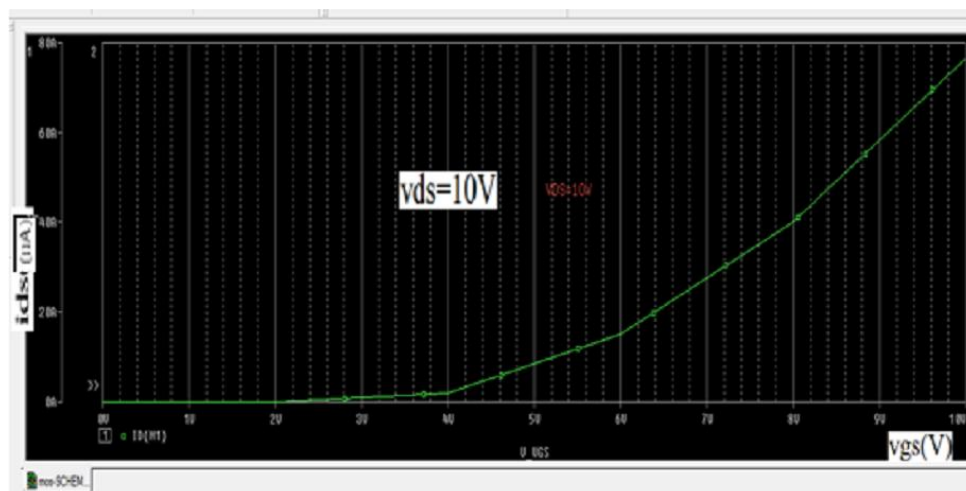


Figure III.2(b): Caractéristique $I_{DS} = f(V_{GS})$ [21]

III.3 Comparaison avec autres outils de simulation

III.3.1 Simulation du transistor MOS par le VHDL-AMS

a. Code VHDL-AMS du modèle SPICE niveau 1

La modélisation VHDL-AMS du transistor MOS de puissance est multi-abstraction entre le comportemental et le fonctionnel. Dans cette simulation, le modèle comportemental-fonctionnel du MOS est décrit en langage VHDL-AMS.

b. Caractéristiques électriques

Le transistor MOS de puissance que nous considérons dans cette étude est le même que précédemment. Les résultats de simulation sont présentés sur la figure III.3 (a) et III.3 (b).

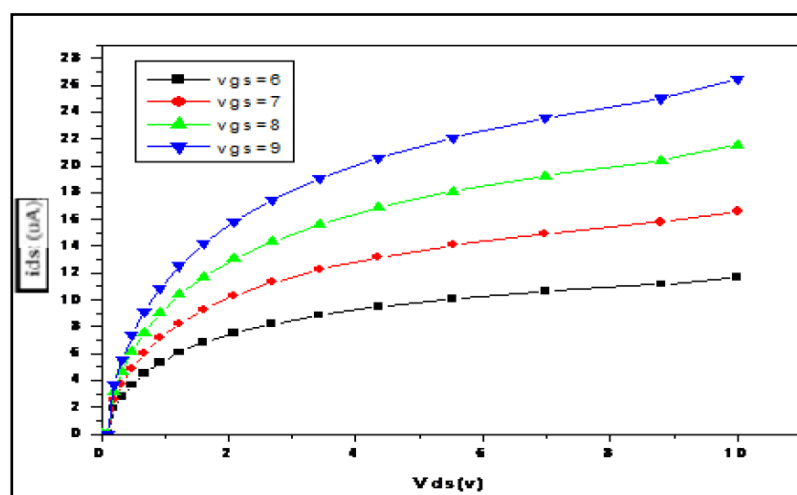


Figure III.3 (a): Caractéristique $I_{DS} = f(V_{DS})$ sous VHDL-AMS[23]

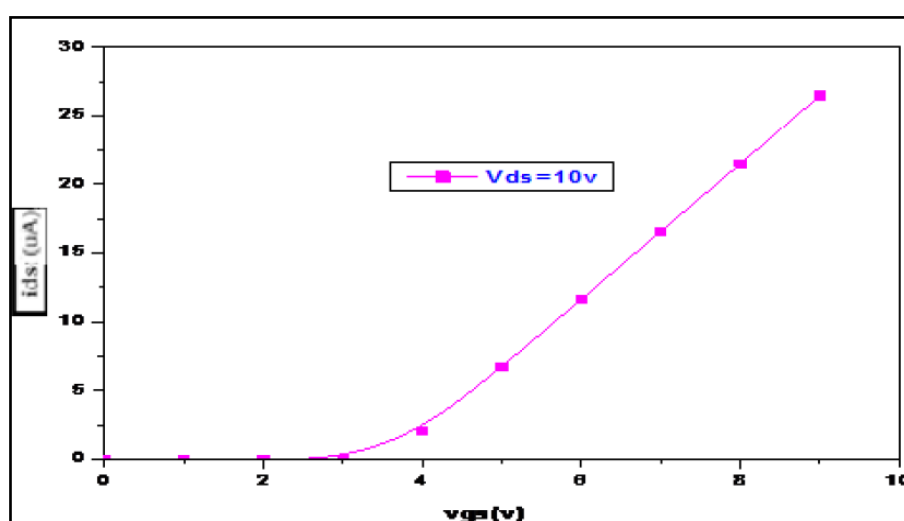


Figure III.3 (b): Caractéristique $I_{DS} = f(V_{GS})$ sous VHDL-AMS[23]

III.3.2 Simulation du transistor MOS par MATLAB :

Dans cette partie nous présentons la simulation du transistor **IRF150** avec le même stimulus. La figure III.4 (a) représente la caractéristique du courant drain-source (I_{DS}) en fonction de la tension drain-source (V_{DS}) à des tensions grille-source (V_{GS}) constantes.

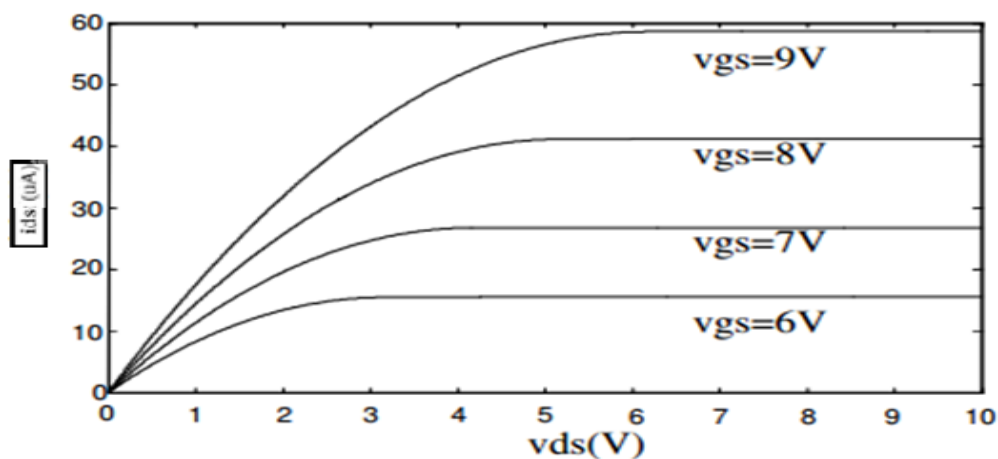


Figure III.4 (a): Caractéristique $I_{DS} = f(V_{DS})$ sous MATLAB[22]

La figure III.4 (b) représente quand à elle, la caractéristique du courant drain-source (I_{DS}) en fonction de la tension grille-source avec V_{DS} constante.

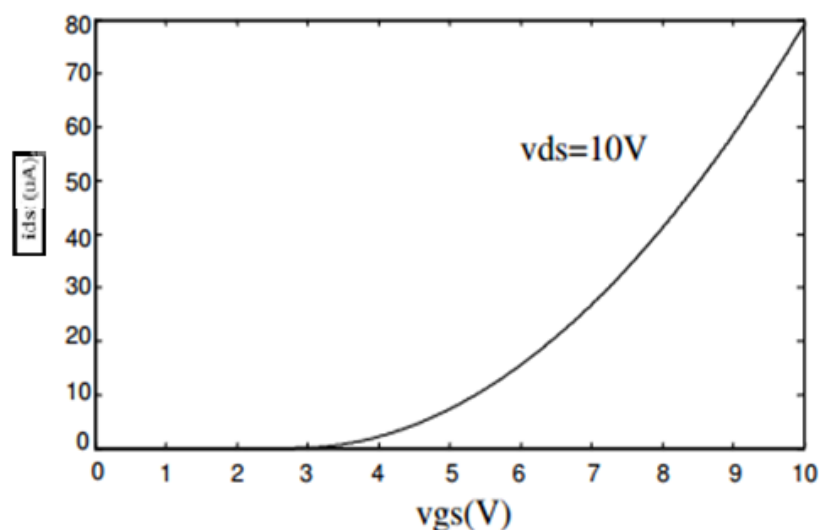


Figure III.4 (b): Caractéristique $I_{DS} = f(V_{GS})$ sous MATLAB[22]

Bien que les outils utilisés soient différents, la méthode de simulation et les résultats obtenus sont tout à fait comparables. En rajoutant à ceci l'avantage considérable que présente le PSPICE par rapport à VHDL-AMS. Cette principale conclusion nous permet de considérer dorénavant le langage PSPICE comme outil pour notre objectif d'intégration de puissance.

III.4 L'amplification de puissance micro-ondes

Le paramètre le plus important affectant le coût final d'un système est souvent la puissance de l'émetteur, qui est intimement liée aux exigences de linéarité de l'émetteur [27]. Ce paramètre est lié à la taille de l'amplificateur de puissance (PA), au boîtier (package), aux chemins thermiques et aux méthodes de refroidissement correspondantes, à l'alimentation et aux tailles des câbles d'interconnexion DC, ainsi qu'aux poids et la sécurité. Chacun de ces paramètres peut rapidement augmenter les coûts. L'analyse du niveau de puissance doit tenir compte des pertes dans les câbles et l'antenne, des gains des antennes de l'émetteur et du récepteur, des conditions de liaison comme la distance, la météo, les obstacles, etc. Les capacités des récepteurs sont essentielles pour déterminer les besoins en puissance de l'émetteur. Les paramètres clés de la conception d'un PA sont la fréquence, la bande passante, la puissance de sortie, le rendement en puissance ajouté (PAE), le rapport cyclique, la linéarité, le gain, la tension et le courant de polarisation, la puissance dissipée et la fiabilité (le temps moyen de bon fonctionnement). D'autres facteurs peuvent également être importants, tels que les pertes de retour, l'isolation, la stabilité, les variations de charge, le coût, la taille, le poids, la facilité d'entretien et de l'industrialisation, etc. [27].

III.4.1 Amplificateur radio fréquence

L'amplificateur considéré est à base du transistor MOS de puissance SXP1301. (Tableau III.2)

$KP(A/V^2)$	$VT0(V)$	$CGD (pf)$	$CGS (pf)$	$CDS (pf)$
1.02	5.46	22	17	115

Tableau III.2: Principales caractéristiques du SXP1301[27]

Les performances électriques de l'amplificateur sont mises en évidence grâce à une analyse temporelle sous PSPICE.

La polarisation continue du TMOS permet de choisir le point de fonctionnement du transistor ($V_{GS} = 10V$, $V_{DS} = 30V$).

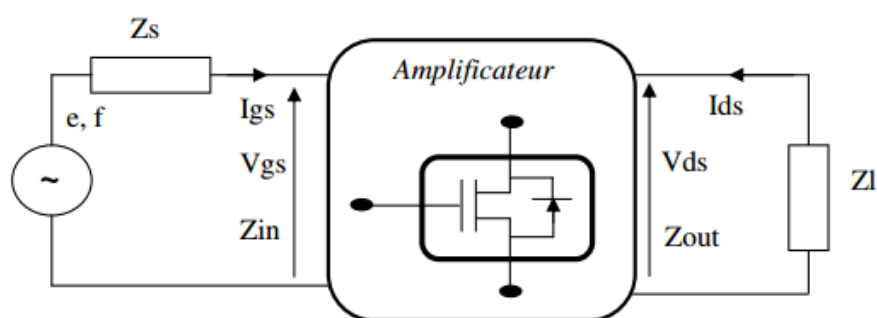


Figure III.5(a): Schéma bloc d'un amplificateur radio fréquence[13]

La figure III.5(a) présente la configuration de l'amplificateur radio fréquence. Z_s et Z_l sont les impédances de source et de charge. Elles sont déterminées pour une amplification avec un transfert maximal de puissance entre :

- i. D'une part, le générateur "source" et l'entrée du composant, c'est à dire sa grille,
- ii. D'autre part, le drain du composant et la charge en sortie. Un effet fondamental rentre en jeu

ici ; c'est l'adaptation d'impédance.

Nous avons optimisé les valeurs qui permettent de réaliser cette adaptation (Tableau III.3)[13].

Impédance de source Z_s		Impédance de charge Z_l	
RS(Ω)	LS(nH)	RL(Ω x)	LL (nH)
0.07	0.201	20	0.335

Tableau III.3: Impédances de source et de drain réalisant l'adaptation d'impédance[13]

Le support de base de cette étude est donc le modèle du transistor MOS établi précédemment. L'analyse proposée est effectuée dans le domaine temporel, modélisé à l'aide du PSPICE.

III.5 Résultats de simulation :

L'étage de l'amplification est alimenté par un signal radio fréquence sinusoïdal d'une fréquence de 950 Mhz et une amplitude de 1V.

L'amplification de puissance de l'étage est mise en évidence par l'obtention d'un gain en tension de 10, à une fréquence de 950 Mhz. La tension de sortie $V_s \approx 10V$ pour une tension d'entrée $V_e \approx 1V$.

Les simulations sont effectuées pour une période d'échantillonnage (min step size = 10ps et max step size = 10ps) avec des itérations de 20 avec une erreur de 0.1us, la figure ci-dessous présente le résultat de simulation sur 20ns.

Utilisant la méthode d'Euler comme méthode d'intégrateur et la méthode de Newton Raphson pour la linéarisation.

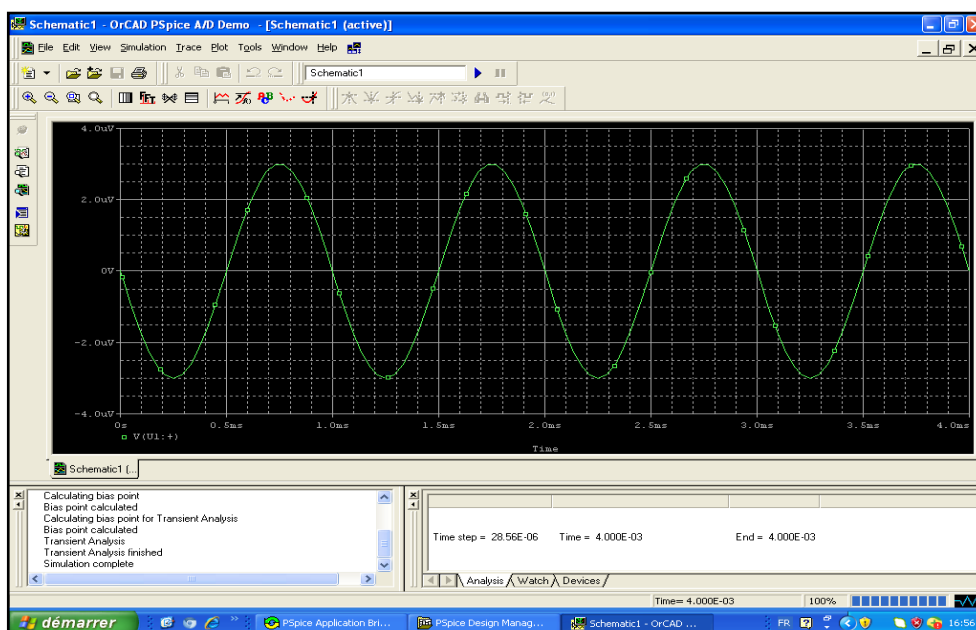


Figure III.5(b): La tension a l'entrée de l'amplificateur radio fréquence

III.6 Le transistor IGBT (*Insulated Gate Bipolar Transistor*):

III.6.1 Historique :

Un interrupteur idéal doit avoir les caractéristiques suivantes: impédance nulle à l'état fermé et infinie à l'état ouvert. De plus, la puissance consommée et le temps de commutation sont considérés nuls. On peut donc affirmer qu'un interrupteur idéal n'existe pas aujourd'hui et n'existera pas davantage demain. Les deux plus célèbres composants électroniques réalisant la fonction interrupteur sont: le transistor bipolaire et le transistor MOS. Le premier présente comme avantages une faible chute de tension à l'état passant (appelé : tension de "déchet"), et le pouvoir de commuter de forts courants, mais nécessite une puissance de commande non négligeable et sa fréquence de travail est relativement basse. Le TMOS quant à lui, connu pour des fréquences de travail plus élevées et une puissance de commande presque nulle, est limité par sa chute de tension qui est importante pour des dispositifs mettant en jeu des hautes tensions (quelques centaines de Volts). Depuis la fin des années 70, s'est développée l'idée d'intégrer sur une même puce un transistor MOS et un transistor bipolaire afin de profiter des avantages de chacun des deux dispositifs en évitant au mieux leurs inconvénients. Cet assemblage a donné naissance à une variété de dispositifs:

- IGT (Insulated Gate Transistor).
- GEMFET (Gain Enhanced MOSFET).
- COMFET (Conductivity Modulated FET).

Tous ont permis d'aboutir vers ce qu'on appelle aujourd'hui l'IGBT (Insulated Gate Bipolar Transistor). L'IGBT de part ses caractéristiques est un composant avantageux pour les applications utilisant la commutation. Sa suprématie dans le domaine de la moyenne puissance n'est plus contestée et il est de plus en plus utilisé dans les applications à forte puissance faisant concurrence au GTO (Gate Turn Off). Enfin, en faible puissance les IGBTs vont également se développer pour concurrencer les MOSFETs dans certains domaines. La figure II.7 représente l'enveloppe des applications de l'IGBT, en fréquence et en puissance, et ses éventuelles évolutions, et compare ses performances à ceux des autres dispositifs.

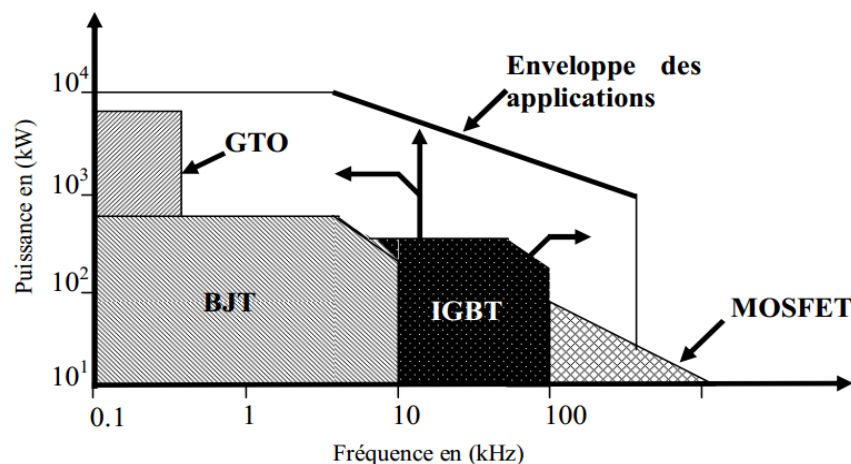


Figure III.6: *Domaine d'application de l'IGBT et des autres dispositifs de commutation concurrents[18]*

III.6.2 Le schéma équivalent :

La figure III.3 représente le circuit équivalent du transistor IGBT. La grille de la structure MOS permet de créer un canal en surface entre la couche n^{++} et la couche N^- . La jonction Pn étant normalement polarisée en inverse, un effet JFET apparaît alors du fait de l'existence des zones de charge d'espace. Par la suite, nous négligerons cet effet qui est minime et nous ne le représenterons plus dans le schéma équivalent. La présence de la couche P^+ (anode) implique l'existence d'un transistor PNP ayant pour base la couche N épaisse et peu dopée et pour jonction collecteur-base la jonction $N-P^+$ normalement polarisée en inverse. Les trois couches $n^{++}PN$ constituent une structure de transistor bipolaire NPN provoquant avec le $PN-P^+$ un effet thyristor parasite. Afin d'éliminer les effets de cet élément parasite, un contact en surface est réalisé technologiquement entre les couches n^{++} et P par la cathode, court-circuitant ainsi la jonction émetteur-base du transistor NPN.

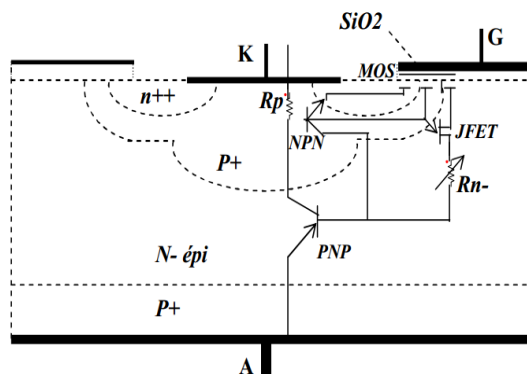


Figure III.7: *Structure de l'IGBT avec son schéma équivalent déduit d'une demi-cellule[18]*

La résistance R_p correspond au puits P situé en dessous de la couche n^{++} . Sa valeur doit être rendue la plus faible possible afin d'éviter le déclenchement du thyristor parasite. La résistance R_{N-} , symbolisant la couche épitaxie N^- , est modulée par l'injection de porteurs minoritaires (trous) depuis la couche P^+ (Anode). Sa valeur est alors rendue très faible comparée à celle d'un MOS de puissance d'un calibre équivalent. R_{N-} ne constitue plus qu'une résistance d'accès à la base du transistor PNP. En tenant compte des simplifications technologiques précisées ci-dessus, le schéma équivalent d'un IGBT se réduit alors à celui de la figure III.7. L'effet thyristor apparaît quand la tension aux bornes de R_p atteint la tension V_{bi} (seuil de la jonction base émetteur du NPN). Dans ce cas, cette jonction est polarisée en direct et le transistor NPN est conducteur, ce qui entraîne le déclenchement de l'effet thyristor. Dans les IGBTs modernes, cette résistance est rendue suffisamment faible pour que le thyristor ne soit plus déclenché dans le domaine de fonctionnement garanti par le constructeur. Le transistor NPN n'a alors plus d'influence sur le fonctionnement de l'IGBT dans ce domaine et le schéma équivalent se réduit alors à un transistor bipolaire PNP commandé par un MOSFET dans une configuration "pseudo-Darlington". La figure III.5 symbolise alors le fonctionnement normal de l'IGBT.

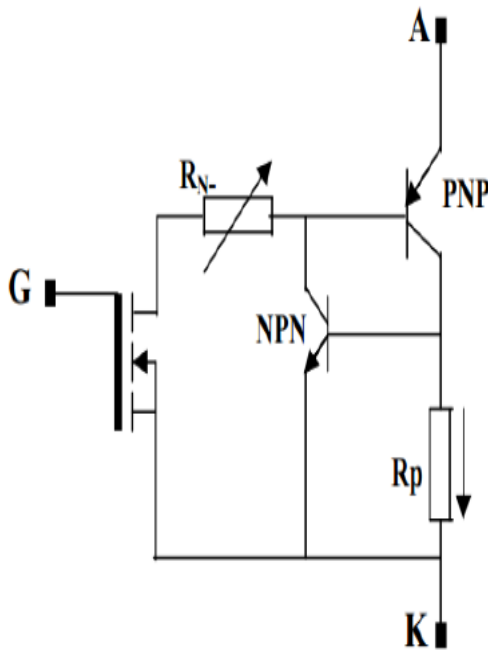


Figure III.8: Circuit équivalent d'un IGBT
le transistor bipolaire NPN parasite

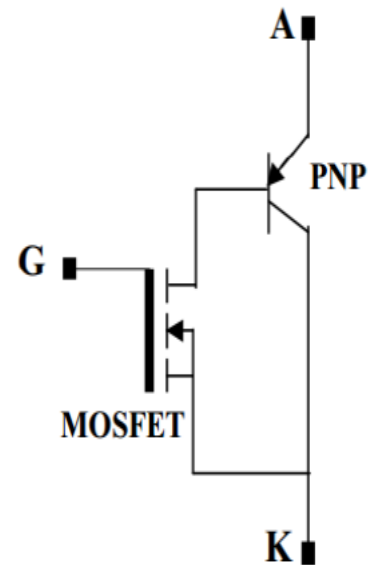


Figure III.9: Circuit incluant
équivalent simplifié

III.6.3 Principe de fonctionnement

En fonctionnement normal, la cathode d'un IGBT à canal n (Figure III.7) est reliée à la masse et une tension positive est appliquée sur la grille pour créer une couche d'inversion dans le puits P sous l'électrode de la grille formant ainsi un canal type n. Pour une tension d'anode suffisamment grande, des électrons sont injectés depuis la source n++ vers la région N- à travers le canal créé, et des trous sont injectés dans la région N- depuis le substrat P+ (anode).

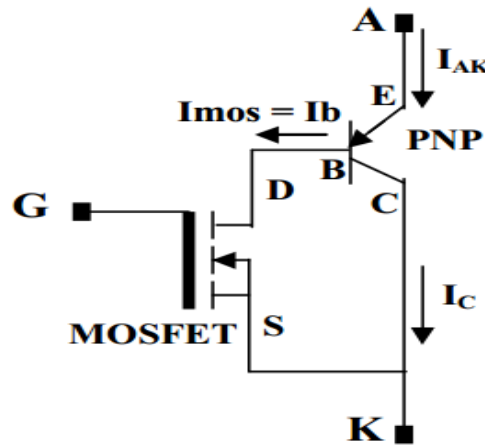


Figure III.10: Circuit équivalent montrant le sens des différents courants dans l'IGBT[18]

Le courant d'électrons, transitant par le canal est le courant drain-source (I_{mos}) du MOSFET, il représente également le courant de base du transistor PNP (I_b) (Figure III.10). Le courant de trous constitue le courant du collecteur du transistor PNP (I_c). Le courant total de l'IGBT (I_{AK}) est la somme des courants de trous et d'électrons.

$$I_{AK} = I_{mos} + I_c = I_c + I_b \quad (2.1)$$

L'équation (2.1) peut se réécrire en introduisant le gain en courant. $\beta = I_c/I_b$, du transistor bipolaire PNP:

$$I_{AK} = (\beta + 1)I_b = (\beta + 1)I_{mos} \quad (2.2)$$

Le courant I_{mos} peut être explicité en utilisant comme première approximation l'équation simplifiée gouvernant le fonctionnement du MOSFET en régime de conduction ohmique:

$$I_{mos} = \frac{Z}{L} C_{ox} \left(V_{GS} - V_{th} \frac{V_{DS}}{2} \right) V_{DS} \quad (2.3)$$

$$\text{Avec } V_{DS} = V_{AK} - V_{EB} \quad (2.4)$$

Où : Z : largeur du canal

L : longueur du canal

C_{ox} : capacité d'oxyde sous grille à la surface de grille

V_{th} : tension de seuil ; m : mobilité effective

Comme on peut le constater sur le circuit équivalent (Figure III.9), la chute de tension aux bornes de l'IGBT, VAK, peut être modélisée par la somme des deux composantes. La première liée à la chute de potentiel dans la jonction P+N- (base-émetteur du PNP). La seconde correspond à la chute de tension dans le canal du MOSFET. Ainsi, contrairement au MOSFET de puissance, la chute de tension aux bornes d'un IGBT en polarisation directe ne peut pas descendre en dessous de la tension de seuil de la diode. Si cette limitation peut être un inconvénient en basse tension, elle devient vite négligeable pour des tensions élevées. La présence de la couche P+ dans le cas de l'IGBT permet de moduler sa conductivité et ainsi réduire la tension de déchet. L'absence de cette couche sur le transistor MOS de puissance amène une chute de potentiel plus importante aux bornes de la couche épitaxie N-.

III.6.4 Modélisation du transistor IGBT par le VHDL-AMS et caractéristiques :

III.6.4.1 Code VHDL-AMS du modèle fonctionnel de l'IGBT :

Le présent code décrit le modèle fonctionnel de l'IGBT. Celui-ci est basé sur l'utilisation de l'équation (2.1). Nous avons choisi comme exemple d'IGBT l'IRG4RC10K (cfannexe A)

```

Entity igbt is
  port terminal p,m electrical
  end entity igbt
  architecture behavioral of igbt is
    quantity Vaq: real;
    quantity ids: real;
    quantity Vgk : real 100.0e-6
    constant i . real 100.0e-6
    constant kp . real = 0.580427
    constant lambda . real = 00
    constant vbe . real= 0.6
    begin
      vgk==15.0
      vak== 1000.08
      if vak<vbe use
        ids == 0.00

```

Encadré III.2: Code VHDL-AMS de la modélisation fonctionnel du transistor IGB[17].

III.6.4.2 Caractéristiques électriques :

La figure III.11 montre un réseau de caractéristiques courant-tension $I_{AK}=f(V_{AK}, V_{GK})$ obtenu pour l'IGBT **IRG4RC10K**. On peut constater, que le courant dans l'IGBT reste pratiquement nul tant que la tension V_{AK} est inférieure à V_{bi} . En effet, d'après les équations (2.2) et (2.3) le courant I_{AK} n'apparaît que si $V_{DS} > 0$, ce qui correspond à (équation 2.4) à des tensions $V_{AK} > V_{EB}$

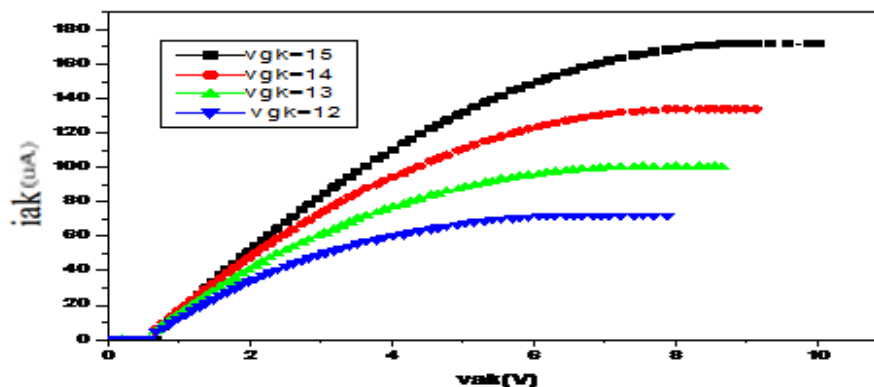


Figure III.11: Caractéristique $I_{AK} = f(V_{AK})$ sous VHDLAMS[19]

III.6.5 Modélisation du transistor IGBT par MATLAB :

Dans cette partie nous présentons la simulation de l'IGBT **IRG4RC10K** avec le même stimulus que précédemment. La figure III.12 représente la caractéristique du courant I_{AK} en fonction de la tension V_{AK} à des tensions V_{GK} constantes

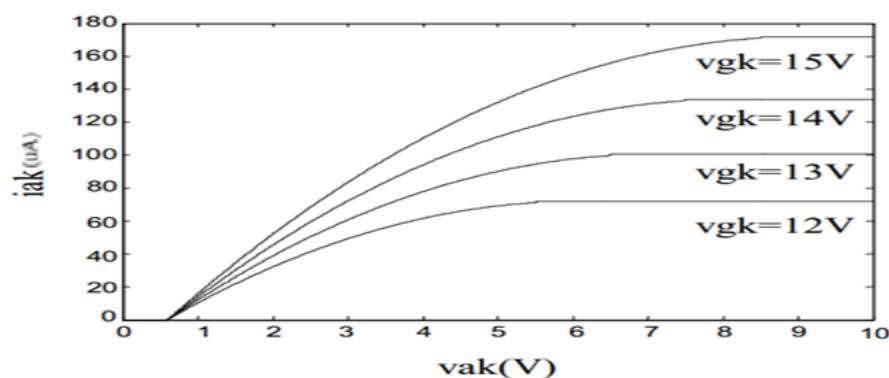


Figure III.12: Caractéristique $I_{AK} = f(V_{AK})$ sous MATLAB[22]

III.6.6 Simulation du transistor IGBT sous SPICE-ORCAD :

La simulation de l'IGBT sous SPICE-ORCAD se fait suivant la net liste présenté dans l'encadré III.5. Les caractéristiques électriques obtenues alors pour l'IGBT **IXGH40N60 NIG** (cf annexe) sont présentées sur la figure III.13

```
.lib " nom.lib"
*Analysais directives:
.DC LIN V_Vds 0 10 0 .001
+ LIN V_Vgs 6 9 1
.PROB V(*) I(*) W(*) D(*) NOISE(*)
.INC ".m-SCHEMATIC1.net"
* source M
V_Vds N12459 0
M_M4 N12459 N12499 0 0 IRF 150
V_Vgs N12499 0
.END
```

Encadré III.3: Net liste SPICE du modèle MOS[19]

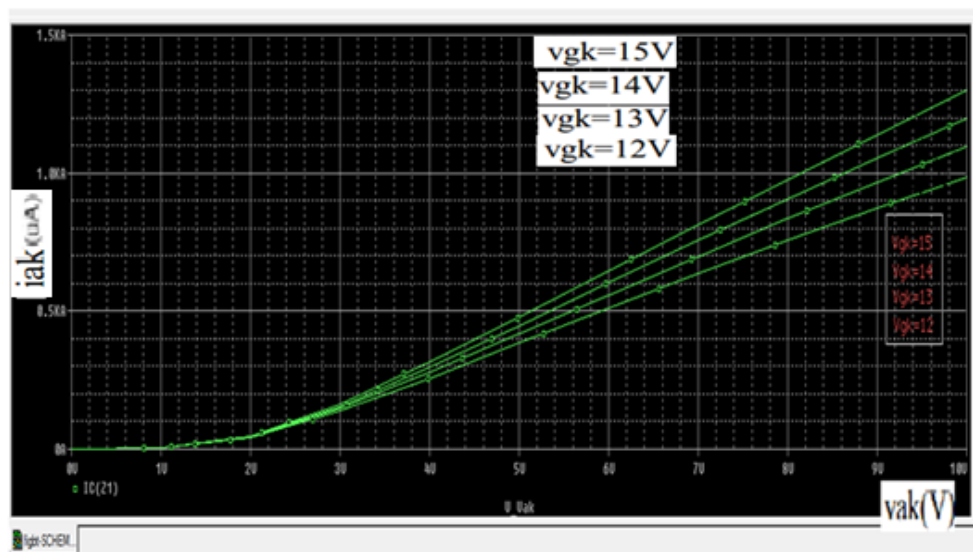


Figure III.13 : Caractéristique $I_{AK} = f(V_{AK})$ sous SPICE[21]

Les mêmes conclusions que celles relatives au MOS sont à considérer ici les caractéristiques obtenues sous VHDL-AMS et SPICE sont comparables, mais pour des raisons de transportabilité, nous considérons dorénavant VHDL-AMS.

III.6 Conclusion

A partir des résultats obtenus au cours de ce chapitre de la modélisation Transistor soit par (PSPICE, VHDL-AMS, MATLAB), nous avons constaté que tous les résultats sont identiques, et concluent qu'il est le programme de PSPICE très idéal dans la modélisation.

Conclusion générale

Conclusion générale

L'objectif principal de ce travail était de simuler le transistor MOS par le logiciel PSPICE. Les transistors MOS ont vu une telle croissance de leurs performances RF qui, aujourd'hui, leur permet d'être utilisés dans la réalisation de circuits en hyperfréquences.

La construction d'un modèle de transistor MOSFET, utilisé pour la simulation RF nécessite une caractérisation. Ceci a fait l'objet de la deuxième partie de notre travail.

Dans la dernière partie de ce travail, nous avons présenté nos différents résultats simulés de notre composant de puissance. En effet, les divers résultats de comparaison montrent, d'une manière générale, que l'objectif visé a été atteint.

Généralement Dans ce travail, nous devons proposer un modalisation de transistor MOSFET Par Logiciel Pspice-Orcad dans le but d'une étude attentive par des courbes propres , parce que Le MOSFET est aujourd'hui le transistor le plus utilisé en microélectronique , et il est le marché des télécommunications et leur raison d`être.

Références
Bibliographiques

Les Références bibliographiques :

- [1] Olivier BON, « Conception de Transistors Haute Tension Complémentaires en Technologie 65nm sur Substrat Silicium sur Isolant Fin pour Applications RF et Conversion de Puissance », Thèse de Doctorat de l'Université Paul Sabatier – Toulouse III, France, Mars 2008.
- [2] Alexandre SILIGARIS, « Modélisation Grand Signal de MOSFET en Hyperfréquences : Application à l'Etude des non Linéarités des Filières SOI », Thèse de Doctorat de l'Université des Sciences et Technologies de Lille, France, Décembre 2004.
- [3] Emmanuel BOUHANA, « Analyse du Comportement Petit Signal du Transistor MOS : Contribution à une Nouvelle Approche d'Extraction et de Modélisation pour des Applications RF », Thèse de Doctorat de l'Université des Sciences et Technologies de Lille, France, Octobre 2007.
- [4] S. POLI, S. REGGIANI, G. BACCARANI, E. GNANI, A. GNUDI, M. DENISON, S. PENDHARKAR & R. WISE, « Hot-carrier Stress Induced Degradation in Multi-STI-Finger LDMOS: An Experimental and Numerical Insight », *Solid-State Electronics*, Vol. 65-66, pp. 57-63, 2011.
- [5] J. ALVARADO, V. KILCHYTSKA, E. BOUFOUSS & D. FLANDRE, « Characterization and Modelling of Single Event Transients in LDMOS-SOI FETs », *Microelectronics Reliability*, Vol. 51, pp. 2004-2009, 2011.
- [6] Mitiko MIURA-MATTAUSCH, Hans Jürgen MATTAUSCH & Tatsuya EZAKI, « The Physics and Modeling of MOSFETs - Surface-Potential Model HiSIM », World Scientific Publishing Co. Pte. Ltd, 2008.
- [7] Thomas SKOTNICKI, « Transistor MOS et sa Technologie de Fabrication », E2430, Techniques de l'Ingénieur, Traité Électronique, 2000.
- [8] Dominique FLEURY, « Contribution à l'Etude Expérimentale du Transport Dans les Transistors de Dimensions Deca-Nanométriques des Technologies CMOS Sub 45nm », Thèse de Doctorat de L'Institut Polytechnique de Grenoble, France, Décembre 2009.
- [9] S. M. SZE & Kwok K. NG, « Physics of Semiconductor Devices », John Wiley & Sons, Inc., 2007.
- [10] Kurt HOFFMANN, « System Integration - From Transistor Design to Large Scale Integrated Circuits », John Wiley & Sons Ltd., 2004.
- [11] Jean Pierre COLINGE, Cynthia A. COLINGE, « Physics of Semiconductor Devices », Kluwer Academic Publishers, 2002.

- [12] Robert DOERING, Yoshio NISHI, « Handbook of Semiconductor Manufacturing Technology », CRC Press, Taylor and Francis Group LLC, 2008.
- [13] Sandrine BERNARDINI, « Modélisation des Structures Métal-Oxyde-Semi-conducteur (MOS) : Applications aux Dispositifs Mémoires », Thèse de Doctorat de l'Université d'Aix-Marseille I, France, Octobre 2004.
- [14] Clifton G. FONSTAD, « Microelectronic Devices and Circuits », McGraw-Hill, 2006.
- [15] Thomas MOREL, « Développement de Procèdes de Gravure de Grille Métallique W, WN pour les Noeuds Technologiques sub-45 nm », Thèse de Doctorat de l'Université Grenoble I - Joseph Fourier, France, Mai 2009.
- [16] Olivier WEBER, « Etude, Fabrication et Propriétés de Transport de Transistors CMOS Associant un Diélectrique Haute Permittivité et un Canal de Conduction Haute Mobilité », Thèse de Doctorat de l'Institut National des Sciences Appliquées de Lyon, France, Décembre 2005.
- [17] Donald A. NEAMEN, « Semiconductor Physics and Devices - Basic Principles », McGraw-Hill, 2003.
- [18] Harry VEENDRICK, « Deep-Submicron CMOS ICs – From Basics to ASICs », Kluwer academic publishers, 2000.
- [19] Neil H. E. WESTE, Kamran ESHRAGHIAN, « Principles of CMOS VLSI Design - A Systems Perspective », Addison-Wesley Publishing, 1988.
- [20] Nicolas BREIL, « Contribution à l'Etude de Techniques de Siliciuration Avancées pour les Technologies CMOS Décanométriques », Thèse de Doctorat de l'Université des Sciences et Technologies de Lille, France, Mai 2009.
- [21] Frank SCHWIERZ, Juin J. LIOU, « RF Transistors: Recent Developments and Roadmap », Solid-State Electronics, Vol. 51, pp. 1079-1091, 2007.
- [22] Daniel GRUNER, Roland SORGE, Olof BENGTTSSON, Ahmed AL TANANY & Georg BOECK, « Analysis, Design, and Evaluation of LDMOS FETs for RF Power Applications up to 6 GHz », IEEE Transactions on Microwave Theory and Techniques, Vol. 58, No. 12, pp. 4022-4030, December 2010.
- [23] Ickjin KWON & Kwyro LEE, « An Accurate Behavioral Model for RF MOSFET Linearity Analysis », IEEE Microwave and Wireless Components Letters, Vol. 17, No. 12, pp. 897-899, December 2007.

- [24] : H.S Bennett, R. Brederlow, J.C.Costa.P.E. Cottrell, W.M.Huang, A.A. Immorlica, Jr., J.-E. Mueller, M.Racanelli, H. Shichijo, C.E. Weitzel, and B . Zhao, "Device and Technology Evolution for Si-Based RF “, IEEE Transactions on Electron Devices, Vol .52, no. 7,pp.1235-1258,Jul.2005.
- [25] : Majeure de "Micro-Nano-Optoélectronique" Cours : "Circuits électroniques" Petite Classe N°1 *Eléments de correction*. Année 2006 (X2003)
- [26]: Xavier LETARTRE LEOM - ECOLE CENTRALE DE LYON xavier.letartre@ec-lyon.fr
<http://leom.ec-lyon.fr/cgi-user/leom/dea.cgi> (*lecture conseillée : Physics of SC devices, S.M. Sze, Wiley*)
- [27]: Mike GOLIO & Janet GOLIO, « RF and Microwave Circuits, Measurements and Modeling », CRC Press, Taylor and Francis Group LLC, 2008.

Résumé

Dans ce travail, nous avons développé un modèle non-linéaire pour les transistors MOS en boîtier utiles pour des applications en hyperfréquences. Le modèle développé reproduit, de manière très précise, les caractéristiques hyperfréquences des transistors MOS, tant en régime petit-signal qu'en régime grand-signal. Il prend en compte l'effet du boîtier, présent dans les composants discrets. Le modèle a été validé à travers des mesures grand-signal à l'aide d'un analyseur de réseaux vectoriel. L'extraction des paramètres du modèle est très rapide et son implémentation dans un simulateur de circuits commercial est très simple. A l'aide de ce modèle, un amplificateur de puissance a été conçu et réalisé en technologie LDMOS .

Mots-Clés:

MOSFET, LDMOS, boîtier, RF, modélisation grand-signal, caractérisation micro-ondes, non-linéaire, amplificateur de puissance.

Abstract

In this work, a non-linear model for MOS transistors for RF applications has been developed. This model reproduces accurately the RF characteristics of MOS transistors in small signal as well as in large signal regime. It takes into account the effect of package, which is present in discrete transistors. The model has been validated through large signal measurements, using a vectorial network analyzer. The model's parameter extraction is very fast and its implementation in a circuit commercial simulator is very easy. As an application, a power amplifier is designed and realized in LDMOS technology.

Key words:

MOSFET, LDMOS, package, RF, large-signal modeling, microwave characterization, non-linear, power amplifier.