

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE
MINISTERE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA RECHERCHE SCIENTIFIQUE
UNIVERSITE MOHAMED BOUDIAF - M'SILA

FACULTE DE TECHNOLOGIE
DEPARTEMENT D'ELECTRONIQUE

N° :



DOMAINE : SCIENCE ET TECHNOLOGIE

FILIERE : ELECTRONIQUE

OPTION : MICRO-ELECTRONIQUE.

**Mémoire présenté pour l'obtention
Du diplôme de Master Académique**

Par: Graine Douaa Yassmine

Et

Moussai Nacira

Intitulé

**Etude et simulation LTSPICE d'une cellule
mémoire 6T SRAM CMOS**

Soutenu devant le jury composé de:

N.Guermat	Université Mohamed Boudiaf M'sila	Président
F.Saada khalkhal	Université Mohamed Boudiaf M'sila	Rapporteur
A.Kahlouche	Université Mohamed Boudiaf M'sila	Examineur

Année universitaire : 2022 / 2023

Sommaire

Remerciement

Dédicace

Dédicace

Introduction générale.....1

Chapitre I: Etat de l'art des mémoires électroniques

1-1.Introduction.....	3
1-2.Généralité sur les mémoires électroniques... ..	3
1-2-1.Définition.....	4
1-2-2. Caractéristiques principales des mémoires.....	5
1-3. Structure générale d'une mémoire	5
1-4. Catégories de mémoires semi-conducteurs	7
1-4-1. Mémoires non volatile.....	7
1-4-1-1. La NOVRAM	8
1-4-1-2. La famille de ROM	8
a).Principe général de ROM.....	8
b).les types de ROM.....	9
1-4-2. Les mémoires volatile RAM.....	10
1-4-2-1. Caractéristiques techniques de la RAM	11
1-4-2-2. DRAM (Dynamic Random Access Memory)	11
a).Principe de fonctionnement de DRAM.....	12
b).les opérations de DRAM.....	14
1-4-2-3. La mémoire statique SRAM.....	15
a).Structure général de la mémoire SRAM.....	16
b).Fonctionnement d'une cellule SRAM.....	17
1-5. Conclusion	19

Chapitre II: Etude de la cellule mémoire 6T SRAM

Sommaire

2-1 Introduction	20
2-2- Structure et fonctionnement du transistor NMOS	20
2-3- Diagramme de bandes de la structure MOS	21
2-3.Régimes de fonctionnement.....	22
2-3-1. Le régime statique.....	23
2-3-1-1. Régime de faible inversion	23
2-3-1-2. Régime de forte inversion.....	24
2 4- Le régime dynamique	25
2-4-1. Modèle petit signal en zone de conduction.....	26
2-4-2. Modèle petit signal en zone de saturation.	26
2-4-3. Modèle petit signal moyenne fréquence.....	26
2-5. La logique CMOS.....	27
2-6. L'inverseur CMOS.....	28
2-6-1.Définition.....	28
2-6-2. Principes de fonctionnement de l'inverseur	28
2-7. La cellule SRAM	30
2-7-1. Etude de la cellule de base 6T SRAM	29
2-7-2. Fonctionnement de la cellule élémentaire 6T-SRAM.....	31
2-7-3. La stabilité du point mémoire 6T.....	33
2-7-4. La dimensionnement des transistors.....	33
2-7-5.Autre types de mémoire statique.....	34
2-7-5-1.la cellule 8T SRAM.....	34
2-7-5-2.la cellule 9T SRAM.....	35
2-8.Les périphériques de SRAM.....	36
2-8-1.Le circuit pré-charge.....	37
2-8-2.Circuit de commande d'écriture.....	38

Sommaire

2-8-3.Circuit d'amplificateur de détection.....	39
2-9. Conclusion.....	40
Chapitre III : Résultats de simulation de la cellule 6T SRAM	
3-1. Introduction.....	41
3-2. la cellule 6T simulée.....	41
3-3. dimension de transistors.....	42
3-4.Résultats de la simulation.....	42
3-4-1.Fonctionnement de la cellule mémoire 6T en mode d'écriture.....	42
3-4-2. Test fonctionnement d'une matrice de 16 bits.....	43
3-4-3. Montage complet de la cellule 6T.....	45
3-4-4. Consommation de courant en phase d'écriture.....	47
3-4-5. RSNM (Read static noise margin.....	48
3-4-5-1. Influence de VDD sur la RSNM.....	49
3-4-5-2. Influence de la température sur la RSNM.....	49
3-4-5-3. Influence de CR (cell ration) sur la RSNM.....	51
3-4-6. WSNM (write static noise margin).....	51
3-4-6-1 Influence de vdd sur la WSNM.....	52
3-4-6-2. Influence e PR sur la WSNM.....	53
3-4-7. HSNM (hold static noise margin)	55
3-5 .Conclusion.....	56
Conclusion général.....	57

Bibliographies

Liste figures

Figure 1-1: différent types de mémoires actuelles.....	4
figure 1-2 : classement des différentes familles de mémoires.....	5
figure 1-3 : structure interne d'une mémoire.....	6
figure 1-4 : l'organisation matricielle de la mémoire.....	7
figure 1-5: mémoire ROM à diodes.....	9
figure 1-6: exemples des cellules mémoires volatiles [13].....	10
figure 1-7: cellule de mémoire RAM dynamique DRAM.....	12
figure 1-8: mémorisation dynamique d'un état 1.....	13
figure 1-9: la cellule de mémoire SRAM élémentaire.....	16
figure 1-10: Schéma synoptique des blocks constituant la mémoire SRAM.....	17
Figure (2.1) : Représentation schématique d'un transistor MOS.....	20
figure (2.2) : Diagramme de bandes d'énergie d'une structure MOS pour un [27].....	22
Figure (2.3) : Représentation schématique des différents régimes de fonctionnement d'un NMOSFET [12].....	25
Figure (2.4) Modèle petit signal moyenne fréquence du transistor MOS en régime de forte inversion et en Zone de saturation [11].....	27
Figure (2.5) implémentation de la fonction inverseur CMOS.....	28
Figure (2.6) schéma électrique de la cellule 6T SRAM.....	31
Figure (2.7) le mode de lecture dans la SRAM.....	32
Figure (2.8) courbe en papillon de la SNM.....	33
figure (2-9) : Schéma du point mémoire 6T conçu en prenant en compte le dimensionnement. [35].....	34
figure (2-10) : Schéma de base de la cellule 8T SRAM.....	35
Figure (2-11) : Schéma de base de la cellule 9T SRAM.....	36
figure (2-12) : Schéma synoptique complet de la cellule SRAM.....	36
figure (2-13) : circuit de précharge.....	37

Figure (2-14) : circuit de commande d'écriture.....	38
Figure (2-15) : circuit de d'amplificateur sense.....	39
Figure 3-1: cellule mémoire 6T simulée en utilisant LTspice.....	41
Figure 3-2: cellule 6T en mode écriture et mémorisation.....	42
figure 3-3: temps de monté et de descente.....	43
figure 3-4: Structure de mémoire 16 bits à base de cellules 6T.....	44
figure 3-5: test de fonctionnement de la matrice 16bits.....	45
figure 3-6: schéma complet de la cellule 6T simulée.....	46
figure 3-7: Chronogrammes de lecture et d'écriture de la 6T-SRAM.....	47
figure 3-8: courbe de consommation de courant.....	47
figure 3-9: circuit test de la RSNM.....	48
figure 3-10: RSNM de notre cellule à 300T et VDD de 2V.....	48
figure 3-11: variation de la RSNM en fonction de Vdd.....	49
figure 3-12: courbe transfert VTC en fonction de T.....	50
figure 3-13: courbe transfert VTC en fonction de T.....	50
figure 3-14: variation de RSNM en fonction de CR.....	51
figure 3-15: circuit test banche de la WSNM.....	51
figure 3-16: WSNM de notre cellule à 300T et VDD de 2V.....	52
figure 3-17: variation de la WSNM en fonction de Vdd.....	53
figure 3-18: variation de la WSNM en fonction de PR.....	54
figure 3-19: courbe en papillon de la HSNM.....	55

Remerciement

Je remercie en premier lieu mon Dieu de nous donner la santé et la patience pour avoir terminé ce travail.

Ainsi je tiens également à exprimer mes vifs remerciements à notre encadreur Ms. Saada khelkhal Fayçal pour avoir d'abord proposé ce thème, Pour son suivi continué tout le long de la réalisation de ce mémoire et qui n'a pas cessée de me donner ses conseils et remarques. Je tient à remercie également les membres du jury d'avoir accepté d'examiner ce travail; Ainsi que tous mes enseignants du Département d'électronique.

Je veux également remercier ma famille pour leur soutien moral particulièrement mes parents pour leur soutien inconditionnel tout au long de mes longues années d'études.

Je tiens également à remercier tous mes collègues étudiants pour leur soutien moral.

Enfin j'adresse mes plus sincères remerciement à tous mes proches.

Dédicace

Je dédie ce mémoire ;

À mon père et ma mère, qui n'ont jamais cessé de me soutenir et de m'épauler pour que je puisse atteindre mes objectifs.

À mes chères frères : Ayoub et Amine pour ses soutiens moral et leurs conseils précieux tout au long de mes études.

À mes chères sœurs, Imane et Nesrine.

A mon cœur et mon raison de sourire, à mon bébé Mouenes Tamim.

A mes tantes Sara, Hadjira et Hassina.

À ma chère binôme Nacira pour sa entente et sa sympathie.

À mon professeur Ms Saada khelkhal Fayçal pour son aide et ses conseils.

À mes chères cousines

Et toutes mes copines : Manar, Aroua, Aya, Omaima, Houda, fati, sara et Razika pour leurs aides et supports dans les moments difficiles.

À mes collègues Anis, Abdelhak et Imad pour m'aider et leur soutien continu.

À toute la famille : Graine et Bahache.

À tous mes professeurs du primaire jusqu'à l'université.

Dédicace

Je dédie ce mémoire ;

À mon père et ma mère , qui n'ont jamais cessé de me soutenir et de m'épauler pour que je puisse atteindre mes objectifs .

À mes chères frères : Mabrouk, Khaled, Rabeh, Amine et souliman pour ses soutiens moral et leurs conseils précieux tout au long de mes études.

À mes chères sœurs , Zakiya et Wahiba

À mon chère binôme Douaa pour sa entente et sa sympathie.

À mon professeur Ms Saada khelkhal Fayçal pour son aide et ses conseils .

À mes chères cousines et amies : Roumaïssa ; Asma ; Hanan ; Samiha ; Saàida et Donia pour leurs aides et supports dans les moments difficiles .

À ma grand-mère Massaouda , qui m'a soutenu par ses prières et son soutien.

À mes tentes REBEH et saliha ,qui ont été toujours derrière moi et m'ont encouragé à terminer mes études

À toute la famille : Moussai et AZIZI

À tous mes professeurs du primaire jusqu'à l'université .

Introduction générale:

Depuis l'invention du transistor, un grand nombre de composants microélectroniques a été développé dans des laboratoires universitaires ou dans des sociétés de semi-conducteurs. Le composant de base qui est actuellement utilisé pour l'intégration à très grande échelle des circuits VLSI (Very Large Scale Integration), tels que les microprocesseurs et les mémoires, est le transistor MOS (Metal-Oxyde-Semiconductor). La technologie CMOS (Complementary Metal-Oxyde-Semiconductor) est devenue dominante et a été choisie historiquement en raison de sa propriété de faible consommation de puissance comparée aux autres technologies.

Plus de 80% des circuits VLSI récents sont fabriqués avec la technologie CMOS. Les tendances générales en microélectronique sont à la réduction de la géométrie des transistors qui permet d'obtenir une augmentation des performances et de la densité d'intégration des dispositifs. D'autres priorités dans ce domaine sont la réduction de la consommation, l'amélioration de la fiabilité et la réduction du coût des systèmes électroniques[1].

La mémoire SRAM (Static Random Acces Memory) est une mémoire vive associée a un circuit électronique numérique. Elle est fabriquée en technologie CMOS standard, ce qui permet de l'incorporer aisément on-chip avec la logique, an d'augmenter la vitesse d'accès et de réduire la consommation totale du circuit. Elle est la mémoire principale des systèmes embarqués, car elle peut aussi bien contenir les lignes de code et les données du programme, que remplir le rôle de mémoire cache de niveau un ou deux. Cependant, les prévisions affirment que la mémoire SRAM est le principal frein a l'amélioration des performances des circuits, alors qu'elle occupera la plus grande partie de la surface des systèmes intègres sur puce (SoC) et représentera leur principale source de consommation[2].

Dans ce travail, une cellules de mémoire conventionnelle SRAM à 6 transistors sera étudiée en vue tester son bon fonctionnement et de s'interroger sur sa stabilité.

ce mémoire est composé de trois chapitres:

dans le premier chapitre nous passons en revue la mémoire électronique en générale, en parlons de sa structure générale, de ses caractéristique, des différents types de mémoire et des différences entre elles.

INTRODUCTION GENERALE

Le deuxième Chapitre présentera tout d'abord le fonctionnement du transistor MOS classique, le composant de base utilisé pour réaliser tous les composants numériques notamment les mémoires, Ensuite, on exposera une étude détaillée sur la cellule de base 6T SRAM. En fin, dans le troisième chapitre nous présenterons nos résultats de simulation LTspice de la cellule 6T.

CHAPITRE1 : ETAT DE L'ART DES MÉMOIRES ÉLECTRONIQUES

1-1.Introduction

Pour faire fonctionner un système numérique, il y a une exigence de mémoire électronique. La mémoire de l'ordinateur est l'un des composants importants du système informatique. Par conséquent, il est nécessaire d'avoir des connaissances de base sur ce qu'est une mémoire d'ordinateur et sur le nombre de types de mémoires d'ordinateur.

La mémoire est une partie essentielle du système informatique car un ordinateur ne peut traiter aucune tâche sans elle. La mémoire est utilisée pour stocker des données et des instructions pour effectuer des tâches spécifiques sur le système informatique. La mémoire de l'ordinateur est généralement un espace de stockage capable de stocker et de récupérer des données. Dans le présent chapitre nous allons examiner un état de l'art des mémoires électroniques utilisées dans tous systèmes numériques.

1-2. Généralités sur les mémoires

1-2-1. Définition

Les mémoires servent à stocker de l'information numérique sous forme de bits (Binary digIT) pendant une certaine durée. Cette information peut être stockée sous forme de champs magnétiques rémanents (comme dans un disque dur par exemple), sous forme de modifications des propriétés optiques d'un matériau (comme dans un CD-ROM), sous forme d'une combinaison des deux effets précédents (comme dans un disque magnéto-optique) ou bien enfin sous forme de tensions et de courants dans un semi-conducteur [3]. Ce dernier type de mémoire fait l'objet de ce chapitre. L'organigramme de la figure (1-1) montre les différentes mémoires existant à ce jour :

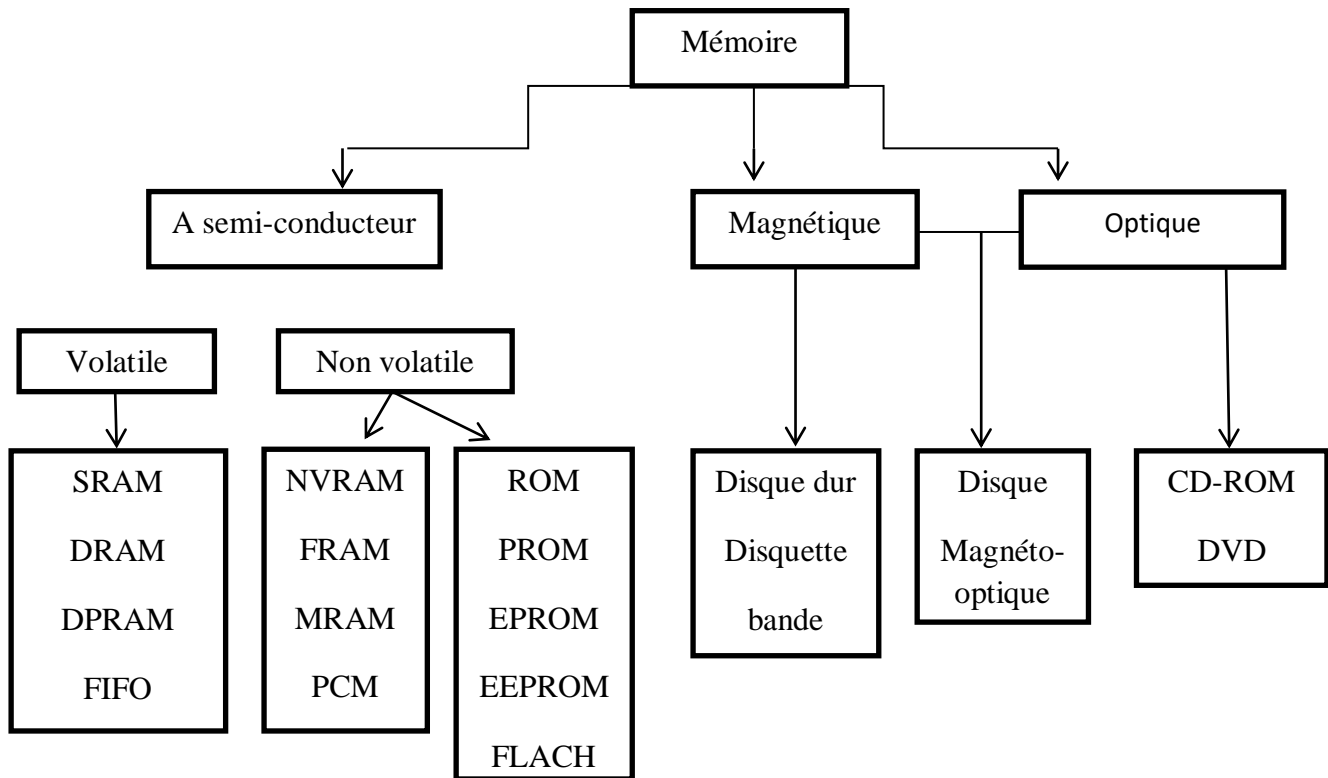


Figure 1-1: différent types de mémoires actuelles

1-2-2. caractéristiques principales des mémoires

Les mémoires possèdent deux caractéristiques principales, leur capacité et leur temps d'accès :

- La capacité d'une mémoire est définie par le nombre de bits d'information que l'on peut y stocker. Cette capacité s'exprime en Kbits ou K (1 kilobits = 210 bits = 1024 bits) ou en Mbits ou MEG (1 Mbits = 220 bits = 1048576 bits) ou encore en Gbits (1 Gbits = 230 bits = 1073741824 bits). Par exemple, une mémoire 256K a une capacité de 256x1024 bits. Le mot stocké dans une case de la mémoire n'est pas forcément 1 bit unique. Il peut aussi être codé sur 4, 8, 16 ou 32 bits. Par exemple, une mémoire 8 M x 8 a une capacité égale à 8 Méga-octets.
- Le temps d'accès d'une mémoire est l'intervalle de temps qui sépare la présentation de l'adresse de la donnée à l'entrée du circuit et l'apparition effective de cette donnée en sortie. Il s'agit du temps qu'il faut pour accéder à cette donnée.

Le diagramme de la figure (1-2) présente un classement des différentes familles de mémoires en fonction de leur capacité et de leur temps d'accès :

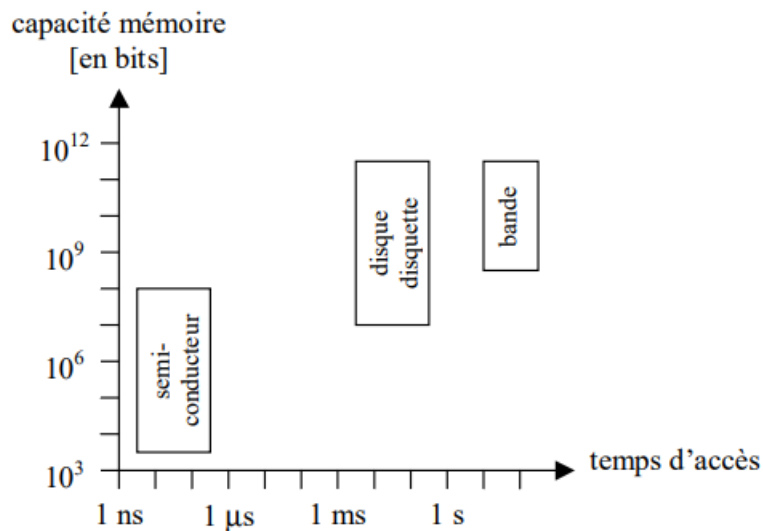


figure 1-2 : classement des différentes familles de mémoires.

On choisit le type de mémoire en fonction de la quantité d'information à stocker, du prix de l'octet et du temps d'accès. Les mémoires centrales des ordinateurs sont à semi-conducteurs à cause de leur temps d'accès de quelques dizaines de nanosecondes. On stocke les informations à traiter sur des disques (optique, magnétique ou magnéto-optique) de bien plus grande capacité ayant des temps d'accès de l'ordre de quelques millisecondes (à quelques dizaines). La sauvegarde des disques et le stockage de longue durée utilisent des bandes magnétiques qui ont une bonne fiabilité mais un temps d'accès séquentiel de l'ordre de la minute. [4]

1-3. Structure générale d'une mémoire :

Une mémoire comprend 4 classes de broches :

1. Une ou plusieurs broches pour les données (nommées généralement D0, D1, ..., Dk-1).
2. Un bus d'adresses. La capacité de la mémoire doit être égale à $2^{\text{largeur du bus}}$. Par exemple, une mémoire morte 256K nécessite 18 broches d'adresses car $2^{18} = 256K$.

3. Une ou plusieurs broches pour sélectionner le boîtier. Ces broches sont généralement nommées CS0, CS1, ... (Chip Select) ou bien CE0, CE1... (Chip Enable). Si le boîtier n'est pas sélectionné, le bus de données reste à l'état haut impédance.

4. Des broches de commande comme par exemple l'autorisation de lecture ou d'écriture. Ce signal peut exister sous la forme d'une seule broche, le signal de lecture/écriture R/W (Read/Write) qui vaut 1 en lecture et 0 en écriture, ou bien de deux broches, le signal d'autorisation d'écriture WE (Write Enable) et le signal d'autorisation de lecture OE (Output Enable).

La structure interne d'une mémoire est composée de trois parties (figure (1-3)). Les circuits d'entrées-sorties et de contrôle (buffer d'entrées et de sorties, gestion de la sélection du boîtier et gestion des opérations de lecture/écriture), le décodeur d'adresses (qui permet à partir de l'adresse de sélectionner la bonne case mémoire) et la zone de stockage proprement dite (où sont effectivement stockées les informations binaires).

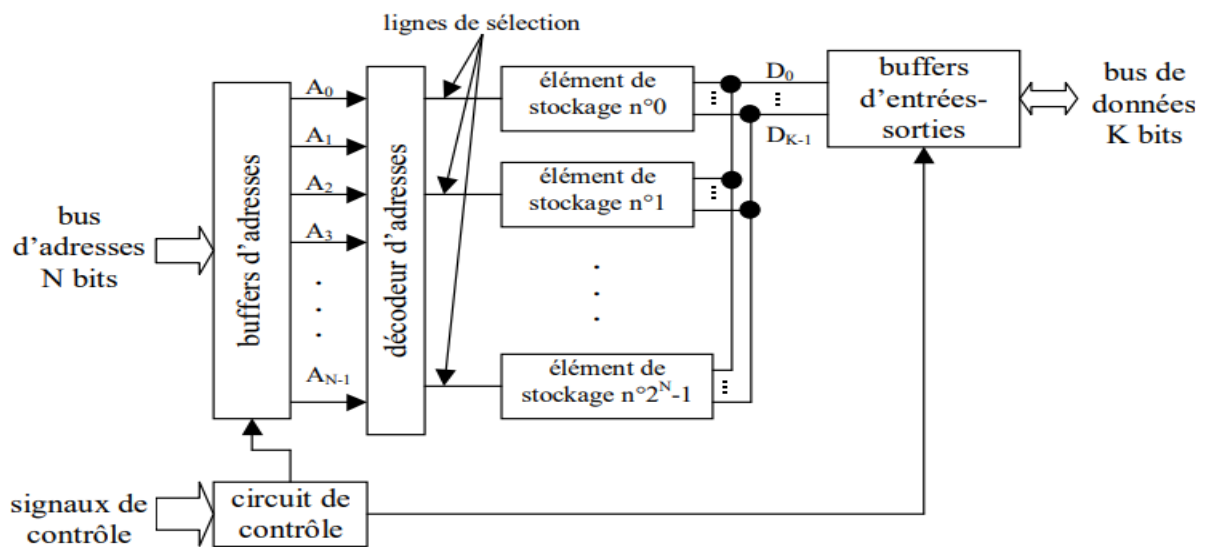


figure 1-3 : structure interne d'une mémoire.

En fait, cette structure simplifiée n'est utilisée que pour les mémoires de petites tailles. Quand la capacité augmente, le nombre de portes utilisées pour réaliser le décodeur devient beaucoup trop élevé. On utilise donc, comme sur la figure (1-4), une organisation matricielle pour ranger les éléments de stockage et deux décodeurs d'adresses : un décodeur de lignes X_n et un décodeur de colonnes Y_n. [5]

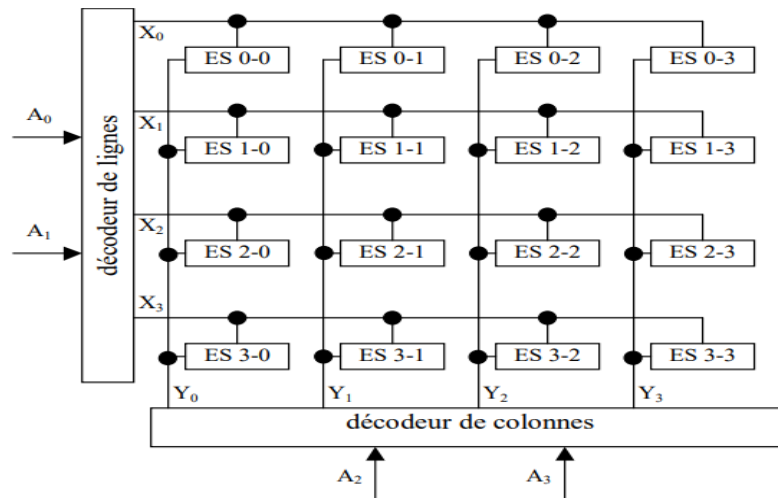


figure 1-4 : l'organisation matricielle de la mémoire

1-4. Catégories de mémoires semi-conducteurs :

Les circuits intégrés mémoire ou les puces mémoires sont utilisées comme zones de stockage internes dans un ordinateur. La mémoire de l'ordinateur fait référence au stockage de programmes ou de données sur une base temporaire ou permanente.

Ainsi, les dispositifs de mémoire peuvent principalement être classés en deux groupes : volatile et non-volatile. [6]

1-4-1. Mémoires non volatile :

Contrairement aux mémoires volatiles, les mémoires non volatiles conservent les informations même en l'absence d'alimentation : c'est leur principal intérêt. De manière générale, la mémoire non volatile est considérée selon trois critères : les limitations imposées par la technologie, les besoins des utilisateurs, et enfin les contraintes économiques. Dans ce paragraphe, nous allons présenter en détail les trois générations de mémoire non volatile apparues successivement sur le marché. La mémoire non volatile peut être divisée en deux catégories : la mémoire non volatile de type ROM (Read Only Memory) et la mémoire non volatile de type NOVRAM. [7]

1-4-1-1. La NOVRAM :

Cependant, la NOVRAM offre une faible densité d'intégration en raison de la surface importante occupée par la cellule SRAM et la cellule EEPROM. La NOVRAM (Non Volatile

RAM) allie dans la même structure la non installée des EEPROM (Electrically Erasable and Programmable Read Only Memory) et la très grande vitesse d'écriture et de lecture des SRAM. Lorsque la SRAM détecte un début de coupure d'alimentation, des circuits spéciaux copient rapidement (en quelques millisecondes) les données de la SRAM vers l'EEPROM, prévenant ainsi la perte des données [8].

1-4-1-2. La famille de ROM :

La mémoire non volatile est un autre type de mémoire informatique qui conserve son contenu enregistré même lorsque le système est éteint.

Il s'agit d'un type de mémoire principale à partir de laquelle les informations peuvent uniquement être lues.

Par conséquent, elle est également appelée "mémoire en lecture seule". Le processeur peut accéder directement à la ROM.

Ce type de mémoire principale stocke l'heure et les paramètres du système informatique même lorsque l'alimentation est coupée [9].

a). Principe général de ROM :

Une ROM est une mémoire à lecture seule qui est définitivement programmée au moment de sa fabrication. Seule une très grande série permet d'en amortir le coût.

S'il correspond à une valeur 1, l'élément de stockage réalise la connexion entre la ligne et la colonne correspondant à une adresse. Dans le cas de la diode figure (1-5), si la ligne vaut 1, alors la diode conduit et le niveau 1 se trouve appliqué sur la colonne. Si la cathode de la diode n'est pas reliée à la colonne, alors l'élément binaire mémorisé vaut 0. La connexion ou l'absence de connexion est réalisée par masque lors de la fabrication du circuit intégré. Dans les mémoires bipolaires, on remplace la diode par un transistor bipolaire. La ligne est alors reliée à la base et le collecteur à Vcc. Dans le cas d'un bit à 1, l'émetteur est relié à la colonne alors qu'il est en l'air dans le cas d'un bit à 0.

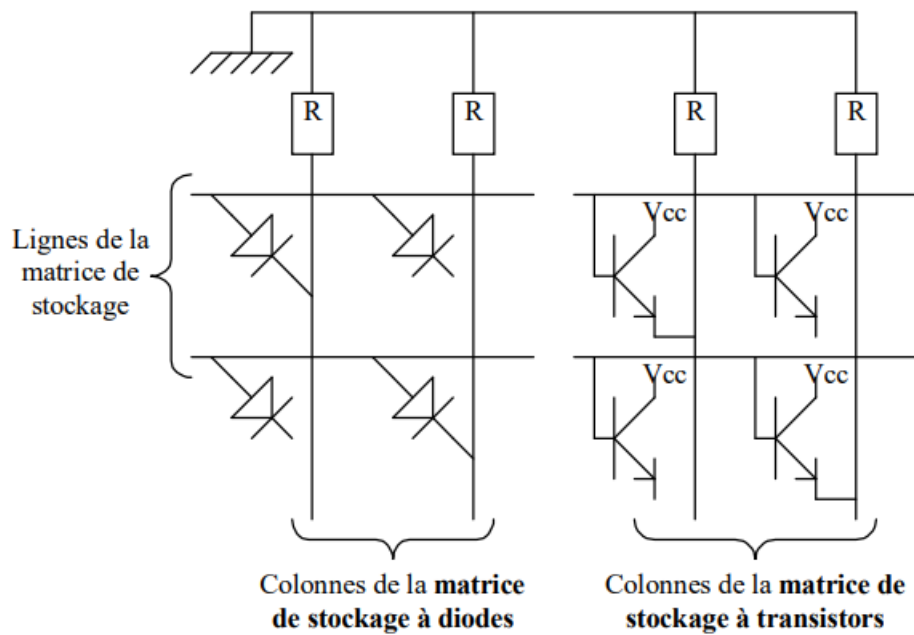


figure 1-5: mémoire ROM à diodes

Les ROM sont aujourd'hui principalement réalisées en technologie CMOS (il suffit de remplacer le transistor bipolaire dans le dessin ci-dessus par un transistor MOSFET). Dans le cas de prototypes ou de petites séries, il n'est pas rentable de faire fabriquer une ROM chez un fondeur. On préfère alors utiliser une ROM programmable sur site. [3]

b). Les types de ROM :

- PROM (Programmable Read Only Memory) : est un type de mémoire à semi-conducteurs qui peut être programmé une seule fois avec des données permanentes. Contrairement à d'autres types de mémoires, comme les RAM (Random Access Memory), la PROM ne peut pas être réécrite après sa programmation initiale. Une fois que les données sont programmées dans la PROM, elles restent fixées en permanence. [11]L'ouvrage "Digital Design and Computer Architecture" de David Harris et Sarah Harris, chapitre 6, section 6.2.
- EPROM (Electrically Programmable Read Only Memory) : Une mémoire EPROM est écrite électriquement mais peut être effacée avec des rayons ultraviolets. Quant à la phase d'effacement, elle nécessite plus de 20 minutes d'exposition aux rayons ultraviolets. La phase d'écriture peut durer de 100µs à 1ms. [12]

- EEPROM (Electrically Erasable Programmable Read Only Memory) : est similaire à la cellule EPROM, mais une deuxième grille recouvre la première grille flottante. Les électrons piégés dans la première grille sont tunnel déchargé par effet. En revanche, le boîtier est effacé électriquement en appliquant une tension suffisante sur la deuxième grille. [12]
- Flache EEPROM (Cette solution non volatile serait idéale silles PLD basés sur la mémoire Flash n'avaient pas deux générations de retard sur les PLDbasé sur la mémoire SRAM (pour des raisons de procédé de fabrication). Comme pour la cellule EEPROM, la cellule flash se programme électriquement par injection d'électrons et s'efface électriquement par effet tunnel. En revanche, la dimension de la cellule beaucoup plus réduite. [12]

1-4-2. Les mémoires volatile RAM:

Une définition couramment utilisée pour la RAM est la suivante :

"La RAM est une mémoire volatile qui fonctionne en tant que lieu de stockage temporaire pour les données et les instructions en cours d'exécution par un ordinateur. Elle offre un accès rapide et aléatoire, permettant au processeur d'accéder instantanément aux informations nécessaires pour effectuer ses opérations."[14]

Les types de mémoire volatile nécessitent une alimentation électrique continue pour le bon traitement des opérations informatiques. La mémoire volatile est classée en deux types différents de RAM : SRAM et DRAM. Sur la figure (1-6) on présente un exemple de mémoires volatile:

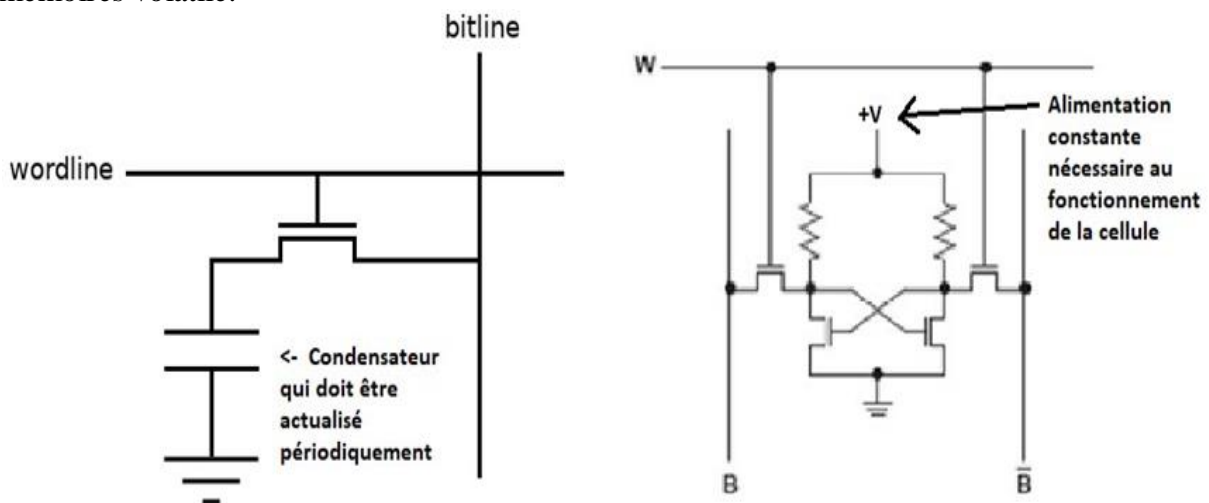


figure 1-6: exemples des cellules mémoires volatiles [13]

1-4-2-1. Caractéristiques techniques de la RAM :

- Le temps d'accès : Le temps d'accès est le délai entre le moment où le dispositif mémoire reçoit une adresse et le moment où les données de cette adresse sont disponibles à la sortie de la mémoire, Ceci est parfois aussi appelé temps de lecture. Le temps d'accès est généralement constant pour un périphérique de mémoire vive (RAM) particulier et peut être considéré comme une spécification de la vitesse du périphérique RAM.
- Bande passante : c'est la quantité d'informations pouvant être envoyée de la mémoire au processeur en un temps donné. Ceci est souvent mesuré en mégabits par seconde.
- Capacité : La capacité d'un module de mémoire ou d'un système est simplement le nombre maximum de bits, d'octets ou de mots dans le module ou le système. Exemple une mémoire de 2K x 4 peut stocker 2K ($K = 1024 = 2^{10}$) mots contenant chacun 4 bits de données ou un total de $2 \times 1024 \times 4 \text{ bits} = 8192 \text{ bits}$.
- Temps d'un cycle : En général, le temps de cycle est l'intervalle de temps pendant lequel un ensemble d'opérations est répété régulièrement dans la même séquence. Dans le domaine des ordinateurs, le temps de cycle est le temps total nécessaire à une instruction de programme pour référencer un emplacement mémoire.
- Débit des données : c'est les données qui peuvent être lues à partir d'un périphérique de stockage. C'est la vitesse à laquelle les données sont transférées d'un appareil à un autre et généralement mesuré en mégabits par seconde (Mbps) ou en mégaoctets par seconde (MBps).
- Densité : la densité est le nombre de bits qui peuvent être stockés sur un périphérique de stockage. La densité d'une barrette de mémoire est déterminée par le nombre de puces noires contenues sur la barrette [15].

1-4-2-2. DRAM (Dynamic Random Access Memory):

Les RAM dynamiques (DRAM) forment le principal marché de mémoires avec les FLASH. Les DRAM sont utilisés dans la mémoire centrale de tous les ordinateurs, ce qui représente un marché de masse. La notion de coût est donc ici essentielle.

La DRAM (mémoire dynamique à accès aléatoire) est un type de mémoire ayant une structure simple, (figure (1-7)), plus petite et d'une densité plus élevée que les autres types de mémoire. Le condensateur contient des données binaires. La présence ou l'absence de charge stockée dans le condensateur détermine la valeur du bit stocké.

Lorsque la charge stockée dans le condensateur varie en raison d'un chemin de fuite entre la source et le substrat, appelé dynamique, les informations stockées dans le condensateur se dégradent. [16]

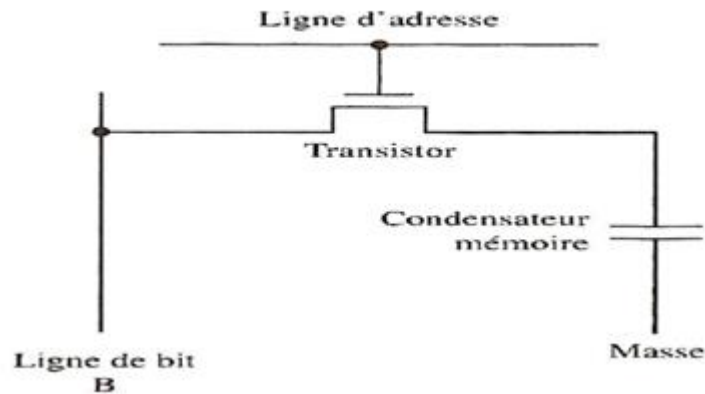


figure 1-7: cellule de mémoire RAM dynamique DRAM.

a). Principe de fonctionnement de DRAM :

Le principe de fonctionnement de la DRAM (Dynamic Random Access Memory) repose sur la capacité des condensateurs à stocker des charges électriques, qui représentent les données binaires. Chaque cellule de mémoire dans la DRAM est composée d'un condensateur et d'un transistor.

Lorsque les données doivent être écrites dans la DRAM, le transistor est activé, ce qui permet à un courant de circuler entre le condensateur et la ligne de données. Cela entraîne la charge du condensateur avec une tension correspondant à la valeur binaire à stocker.

Lorsqu'il est nécessaire de lire les données, le transistor est à nouveau activé et la tension du condensateur est mesurée. Si la tension est élevée, cela indique que la charge est présente et correspond à un "1" binaire. Si la tension est basse, cela indique l'absence de charge et correspond à un "0" binaire.

Le processus de rafraîchissement est également essentiel dans la DRAM. Comme les condensateurs ont tendance à perdre leur charge au fil du temps en raison de fuites, les données doivent être régulièrement rafraîchies pour éviter toute perte d'information.

➤ *Mémorisation dynamique :*

Nous rappelons qu'un circuit RC attaqué par un signal échelon unité à l'instant $t=0$ a une sortie qui correspond à l'équation:

$$S = V (1 - e^{-t/RC}) \tag{1-1}$$

et qu'un circuit RC attaqué par le signal échelon unité complémentaire a une sortie qui est donnée par l'équation:

$$S = V .e^{-t/RC} \tag{1-2}$$

Les résistances R correspondent en fait à la résistance équivalente d'un transistor MOS, lorsqu'il est passant (R_{on}) et lorsqu'il est bloqué (R_{off}). R_{on} est de l'ordre de quelques $k\Omega$, et R_{off} de plusieurs $M\Omega$, soit $R_{on} \ll R_{off}$. La Figure (1-8) illustre la mémorisation dynamique d'un état 1 dans une capacité. Lorsqu'on veut mémoriser un état 1 (par exemple), on applique une tension V , via le transistor passant, sur la capacité C , qui se charge avec la constante de temps $R_{on}.C$. Puis, on bloque le transistor. La capacité ne peut alors se décharger qu'à travers la résistance R_{off} (transistor bloqué). Si l'on mémorise l'état haut avec une amplitude V , la sortie reste supérieure à $V/2$ jusqu'au temps $t_{V/2}$ dont la valeur est $t_{V/2} = R_{off}.C \ln 2 \approx 0,7 R_{off}.C$. [17]

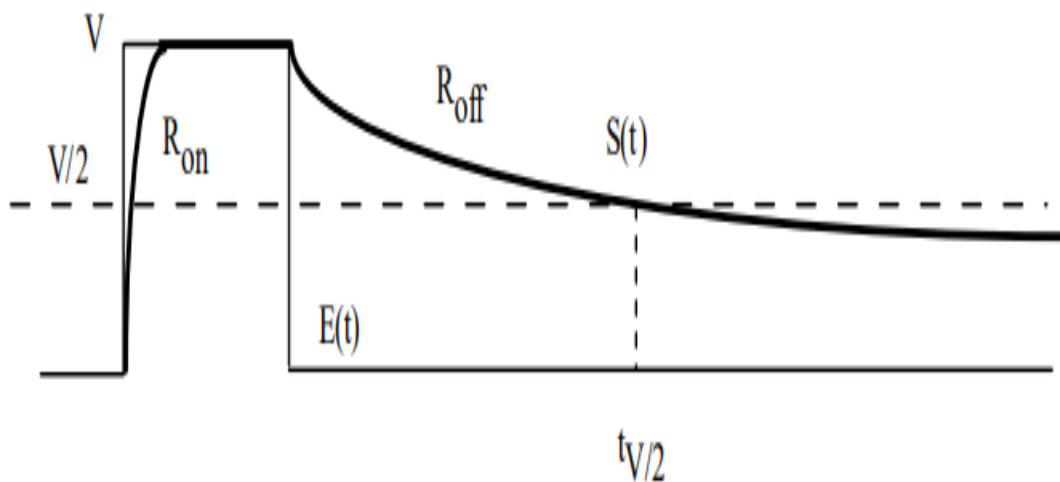


figure 1-8: mémorisation dynamique d'un état 1.

Le point mémoire dynamique est constitué d'une capacité et d'un transistor, ce qui donne une surface équivalente à celle de 1,5 transistor MOS.

b). Les opérations de DRAM :

Dans la DRAM (Dynamic Random Access Memory), les opérations de lecture et d'écriture sont essentielles pour accéder et manipuler les données stockées dans les cellules de mémoire.

➤ *Opération de lecture :*

Lors d'une opération de lecture, le condensateur de la cellule DRAM est accédé et la charge stockée est détectée pour déterminer la valeur du bit stocké. La charge est amplifiée et détectée, et la tension résultante est comparée à une tension de référence pour déterminer si elle représente un bit "1" ou "0". [18]

➤ *Opération d'écriture :*

Lors d'une opération d'écriture, une nouvelle valeur est écrite dans la cellule DRAM en appliquant une tension spécifique au condensateur. La tension appliquée charge ou décharge le condensateur, représentant ainsi la valeur du bit souhaitée. [19]

c). Les différents types de DRAM :

Il existe deux types principaux de mémoire dynamique qui se distinguent par leur façon de communiquer avec le processeur. Les premières mémoires dynamiques étaient *asynchrones* alors que les mémoires actuelles sont *synchrones*. Ces dernières sont appelées SDRAM pour *Synchronous Dynamic RAM*.

Lorsque le processeur lit une donnée dans une mémoire asynchrone, celui-ci lui envoie l'adresse puis attend que celle-ci lui retourne la donnée à cette adresse. Plusieurs cycles horloge peuvent s'écouler avant que la donnée ne parvienne au processeur. Après réception de la donnée, le processeur peut à nouveau demander une autre donnée à la mémoire. À chaque requête à la mémoire, le processeur reste inactif en attendant que la donnée n'arrive.

Dans le cas de mémoire synchrone, le processeur peut envoyer à la mémoire une nouvelle requête de lecture ou d'écriture avant que celle-ci n'ait fini de traiter la première requête. Les demandes successives sont alors exécutées séquentiellement par la mémoire. Chaque requête est reçue pendant un cycle d'horloge et les données sont délivrées quelques cycles d'horloge plus tard. Le nombre de cycles d'horloge entre la requête et la donnée est fixe. De cette

manière, le processeur peut déterminer à quelle requête correspond chaque donnée. Le principe de fonctionnement d'une mémoire synchrone est identique au *pipeline* utilisé pour réaliser un processeur. La mémoire est organisée comme une chaîne où sont traitées les requêtes. La mémoire traite simultanément plusieurs requêtes qui se trouvent à des étapes différentes de la chaîne. Le traitement d'une seule requête prend plusieurs cycles d'horloge mais une requête est traitée à chaque cycle.

Parmi les mémoires synchrones, on distingue encore plusieurs variantes. Les mémoires SDR SDRAM pour *Single Data Rate SDRAM* reçoivent une requête à chaque cycle d'horloge. Les mémoires DDR SDRAM pour *Double Data Rate DRAM* permettent de doubler le débit de données entre le processeur et la mémoire. Une requête est encore traitée à chaque cycle d'horloge mais chaque requête concerne deux mots consécutifs en mémoire. Le premier mot est transmis sur le front montant du signal d'horloge alors que le second est transmis sur front descendant du signal d'horloge. Les mémoires DDR2 SDRAM doublent encore le débit de données en traitant quatre mots consécutifs en mémoire à chaque requête. [20]

1-4-2-3. La mémoire statique SRAM (*Static Random Access Memory*):

La cellule SRAM est une cellule mémoire permettant de stocker une donnée sous forme de bits. Cette cellule constitue l'élément de base de circuits SRAM pouvant regrouper plusieurs millions de cellules élémentaires.

C'est un type de semi-conducteur. Il peut stocker chaque bit grâce à l'utilisation d'une logique de verrouillage bistable. Lorsque la mémoire n'est pas alimentée, les données sont perdues dans la SRAM. Dans la SRAM, il n'y a pas de rafraîchissement périodique et elle est plus coûteuse. Elle est généralement utilisée pour le cache du processeur. Une cellule SRAM est composée de 6 MOSFETs [21]. (Figure (1-9))

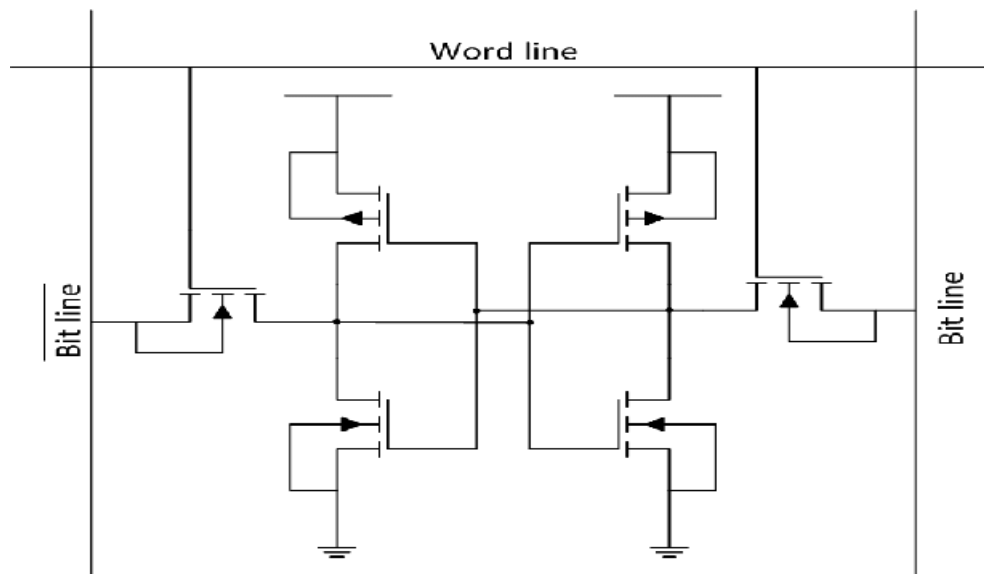


figure 1-9: la cellule de mémoire SRAM élémentaire.

Chaque bit dans la SRAM est stocké sur deux inverseurs couplés formés par quatre transistors et possède deux états stables qui sont utilisés pour représenter 0 et 1. Deux transistors d'accès supplémentaires servent à contrôler une cellule de stockage pendant les opérations de lecture et d'écriture. L'accès à la cellule est activé par la ligne de mot (WORDLINE sur la figure) qui contrôle les deux transistors d'accès M5 et M6. La cellule dispose également de deux lignes de bits qui contrôlent à la fois l'entrée et la sortie des données de la cellule. [22].

a). Structure générale de la mémoire SRAM :

La figure (1-10) montre le schéma synoptique du bloc de la SRAM conçu avec les différents modules le constituant.

Comme il est indiqué sur cette figure, la mémoire SRAM se compose d'un module constitué de 32x32 points mémoires disposés en lignes et en colonnes, d'un module décodeur de rangées 5 bits qui permet de sélectionner l'une des lignes appelées Word Line allant de WL_0 à WL_31, d'un module décodeur de colonnes adressé par 5 bits permettant le partage du bloc de l'amplificateur différentiel (Sense Amplifier) entre les colonnes C_0 à C_31, et d'un module de contrôle pour la lecture et l'écriture des données dans la mémoire, ainsi qu'un buffer de sortie. [23]

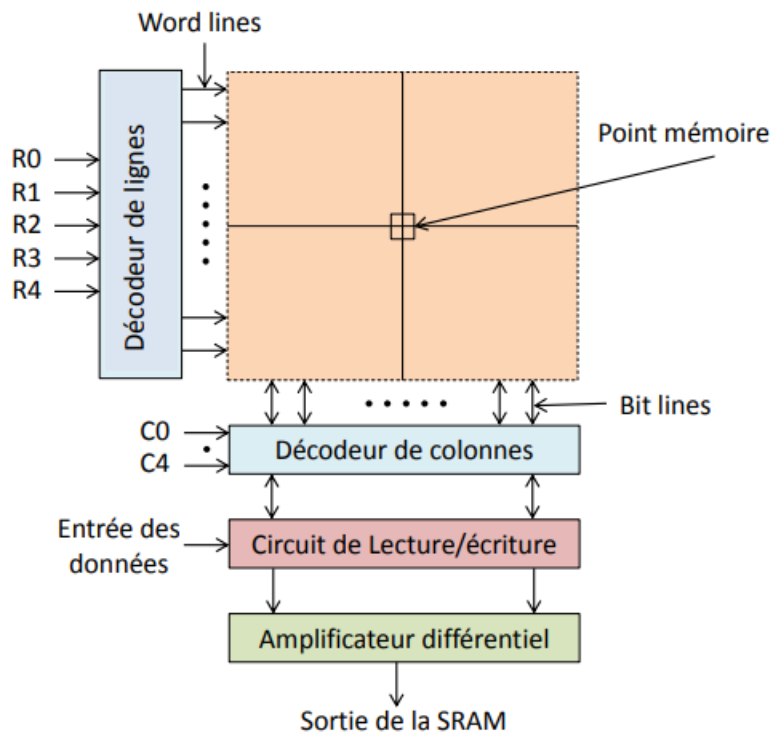


figure 1-10: Schéma synoptique des blocs constituant la mémoire SRAM.

b). Fonctionnement d'une cellule SRAM:

La cellule SRAM possède trois modes de fonctionnement :

- **Le mode Rétention :** dans lequel une information a été stockée dans un des nœuds de la cellule mémoire. Par exemple, un 1 est stocké sur le nœud L et un 0 sur le nœud R. Cette information doit être conservée tant que l'alimentation Vdd des transistors est appliquée. Dans cette configuration, la Word Line n'est pas alimentée et les transistors d'accès AC1 et AC2 sont donc bloqués.
- **Le mode de Lecture :** dans lequel on cherche à lire l'information stockée dans la cellule. La Word Line est alimentée et les transistors d'accès AC1 et AC2 sont passants. L'information stockée dans un des nœuds de la cellule peut être lue par l'intermédiaire des Bit Lines. L'information stockée dans le nœud L est lue par la BLL et l'information stockée dans le nœud R par la BLR.
- **Le mode d'écriture :** dans lequel on cherche à encoder une information dans la cellule. La Word Line est alimentée à Vdd, les transistors d'accès sont passants et l'information peut être écrite par l'intermédiaire des Bit Lines. [24]

Comparaison entre DRAM et SRAM :

La comparaison entre la DRAM (Dynamic Random-Access Memory) et la SRAM (Static Random-Access Memory) est un sujet courant dans le domaine des technologies de mémoire.

- **Vitesse d'accès :** La SRAM est généralement plus rapide que la DRAM en termes de temps d'accès aux données. La SRAM ne nécessite pas de rafraîchissement périodique, ce qui la rend plus rapide et plus réactive pour les opérations de lecture/écriture. En revanche, la DRAM nécessite un rafraîchissement constant pour maintenir les données, ce qui introduit une latence supplémentaire.
- **Densité de stockage :** La DRAM est plus dense que la SRAM, ce qui signifie qu'elle peut stocker plus de données sur une surface donnée. Cela est dû à la structure plus compacte de la DRAM, qui utilise des condensateurs pour stocker les charges électriques représentant les bits de données.

La SRAM, quant à elle, utilise des bascules de type flip-flop, qui occupent plus d'espace.

- **Consommation d'énergie :** La SRAM consomme généralement plus d'énergie que la DRAM. Cela est dû à la conception de la SRAM, qui nécessite une rétroaction constante pour maintenir l'état des bits de données. En revanche, la DRAM ne nécessite pas cette rétroaction constante, ce qui réduit sa consommation d'énergie.
- **Complexité de la conception :** La SRAM a une conception plus complexe que la DRAM. La SRAM nécessite plus de transistors par bit de données, ce qui la rend plus coûteuse et plus difficile à fabriquer en grandes quantités. La DRAM, avec sa structure plus simple basée sur des condensateurs et des transistors, est plus facile à intégrer dans les circuits et à produire en masse.

Donc, la SRAM offre une vitesse d'accès plus rapide, tandis que la DRAM permet une plus grande densité de stockage. La SRAM consomme plus d'énergie et a une conception plus complexe que la DRAM. Le choix entre les deux dépendra des exigences spécifiques de l'application, en termes de vitesse, de densité de stockage et de consommation d'énergie. [25]

1-5.Conclusion :

Les principales catégories de mémoires comprennent la RAM (Random-Access Memory) et la ROM (Read-Only Memory). La RAM offre une mémoire volatile pour stocker les données en cours d'utilisation, tandis que la ROM contient des données permanentes et non modifiables. Différents types de mémoires RAM, tels que la DRAM et la SRAM, offrent des compromis entre capacité, vitesse d'accès et consommation d'énergie. Les avancées technologiques ont permis d'augmenter les capacités de stockage, d'améliorer les performances et d'optimiser l'efficacité énergétique des mémoires. En combinant différentes mémoires dans un système, il est possible d'obtenir une hiérarchie de mémoires pour répondre aux besoins de traitement des données dans les applications numérique.

CHAPITRE2 : ETUDE DE LA CELLULE MÉMOIRE 6T SRAM

2-1. Introduction

on a vu dans le chapitre précédent que la SRAM (Static Random Access Memory) est un type de mémoire volatile utilisée dans les ordinateurs et d'autres dispositifs électroniques pour stocker des données temporaires qui nécessitent un accès rapide. Contrairement à la DRAM (Dynamics Random Access Memory), qui est une autre forme courante de mémoire volatile, la SRAM ne nécessite pas de rafraîchissement régulier des données. Elle est capable de maintenir les données stockées tant que l'alimentation électrique est maintenue.

Dans ce chapitre une introduction a la cellule mémoire élémentaire 6T SRAM est présentée.

2-2. Structure et fonctionnement du transistor NMOS

La structure de base d'un transistor MOS à canal n est constituée d'un substrat de silicium de type P (impuretés acceptrices), de résistivité élevée dans lequel ont été réalisées, par diffusion ou implantation ionique, deux zones, appelées drain et source de profondeur X_j , fortement dopées et de type opposé à celui du substrat. Une capacité MOS de longueur L_g est réalisée sur le substrat entre la source et le drain où l'électrode de commande constitue la grille du transistor. La région entre les deux jonctions de source et drain est appelée la région du canal, elle est définie par sa longueur L et sa largeur W . Le transistor comprend donc quatre contacts : le drain, la grille, la source et le substrat. La structure basique d'un transistor nMOS est présentée à la figure (2.1).

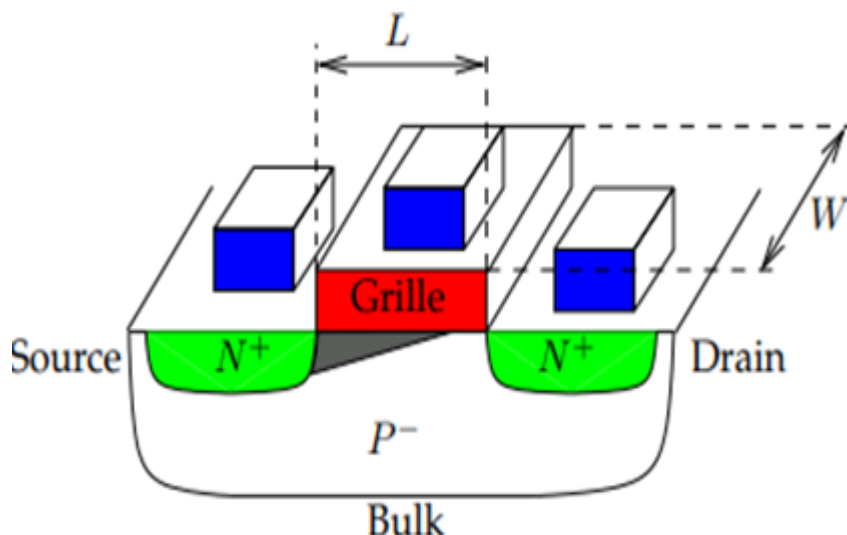


Figure (2.1) : Représentation schématique d'un transistor MOS

La zone active du transistor MOS est la région semi-conductrice (substrat) située entre la source et le drain près de l'interface oxyde-semi-conducteur. Donc l'application d'une tension suffisante entre la grille et le substrat V_{gs} génère un champ électrique, un canal de conduction est créé à l'interface oxyde-semi-conducteur. Cela permet la circulation des porteurs minoritaires dans le canal entre la source et le drain. [26]

2-3. Diagramme de bandes de la structure MOS

Les propriétés électroniques d'un semi-conducteur étant contrôlées par la position du niveau de Fermi dans le gap, nous allons donc nous intéresser à la structure de bandes du MOS. La plus simple des structures MOS est la capacité MOS qui consiste en un empilement métal-oxyde-semi-conducteur. E_c et E_v représentent respectivement les niveaux d'énergie de la bande de conduction et de la bande de valence. E_i représente le niveau de Fermi intrinsèque. Le niveau de Fermi du métal est E_{Fm} .

Supposons tout d'abord que la source et le drain soient à la masse ($V_{db}=V_{sb}=0$ V). Nous rappelons le principe des différents modes de fonctionnement du transistor MOS sur la figure(2.2)[27].

Lorsqu'une tension V_{gs} est appliquée, la structure de bande, près de l'interface Semi-conducteur-Oxyde est modifiée. Trois situations peuvent être considérées (dans la région du canal) : accumulation, déplétion et inversion. Pour une tension de grille négative, les porteurs majoritaires (trous) sont attirés à l'interface du semi-conducteur et une très fine couche de charges positives (la couche d'accumulation) est alors formée (figure (2.2.a)). Avec l'augmentation de la tension de grille V_{gs} , la courbure des bandes devient plus faible, jusqu'à une certaine valeur où il n'y a plus de courbure des bandes. Cette valeur particulière de tension de grille est appelée la tension des bandes plates V_{FB} (flat-band potential).

Au-delà de ce point, la courbure de bandes est opposée à celle en accumulation, une charge négative est en train de se former. En fait, la charge positive de la grille repousse les trous de la surface du semi-conducteur et fait apparaître une charge négative (due aux ions accepteurs immobiles), appelée charge de déplétion (figure (2.2.b)). Quand la tension de la grille augmente encore plus, la courbure des bandes vers le bas devient plus prononcée (figure (2.2.c)). Dans cette situation, la surface du semi-conducteur se comporte comme un matériau de type N, d'où le nom de région d'inversion. On parle d'inversion forte lorsque la

concentration des porteurs minoritaires en surface devient supérieure à la concentration des majoritaires dans le volume.

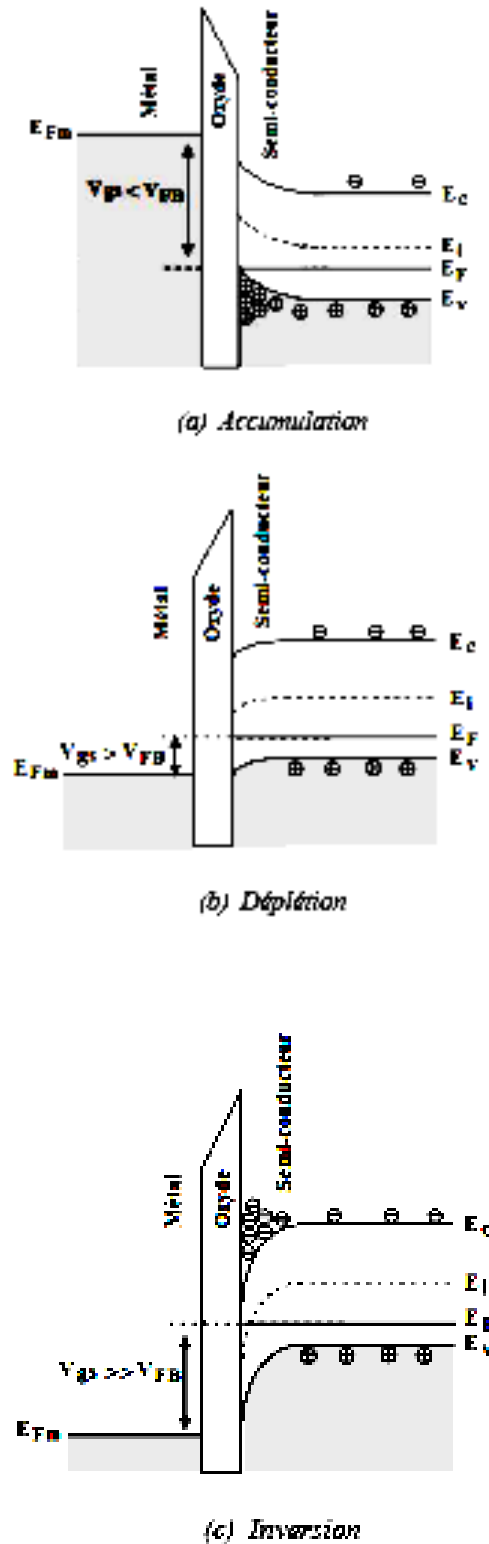


figure (2.2) : Diagramme de bandes d'énergie d'une structure MOS pour un [27]

2-3. Régimes de fonctionnement [28]

2-3-1. Le régime statique

Le régime statique du transistor MOS permet de définir son mode d'opération (point de fonctionnement) ainsi que son équation d'état qui donne l'intensité du courant drain I_D en fonction des paramètres géométriques (W , L) et des tensions appliquées à ses bornes (V_{GS} , V_{DS} , V_{BS}). Nous définissons ainsi deux types de **régime de fonctionnement** en fonction de la tension grille-source V_{GS} appliquée aux bornes du transistor (figure(2-3)) :

- Le régime de *faible inversion* : dès lors que la tension grille-source V_{GS} est inférieure ou voisine à la tension de seuil V_{th} du transistor : $V_{GS} < V_{th}$.
- Le régime de *forte inversion* : dès lors que la tension grille-source V_{GS} est supérieure à la tension de seuil V_{th} du transistor : $V_{GS} > V_{th}$.

Pour chaque régime de fonctionnement (faible inversion ou forte inversion), nous définissons deux types de **zone de fonctionnement** en fonction de la tension drain-source V_{DS} appliquée aux bornes du transistor :

- La zone de *conduction* ou zone *ohmique* : dès lors que la tension drain-source V_{DS} est inférieure à la tension de saturation du canal avec $V_{DSsat} = V_{GS} - V_{th}$.
- La zone de *saturation* ou zone « *source de courant* » : dès lors que la tension drain source V_{DS} est supérieure à la tension de saturation du canal V_{DSsat} .

2-3-1-1. Régime de faible inversion

L'expression du courant drain I_D en régime de faible inversion en zone de saturation est donnée par l'expression [28] :

$$I_D = I_{D0} \left(\frac{W}{L} \right) \exp \left(\frac{V_{GS}}{n \cdot uT} \right) \quad (2-1)$$

Où

$n=1+(qN_{fs}/C_{ox}) + (CB/C_{ox})$ représente la pente de la courbe $I_D(V_{GS})$ en régime de faible inversion (avec C_{ox} , la capacité surfacique d'oxyde de grille ; N_{fs} , la densité d'états de surface ; q , la charge de l'électron ; et $CB=\delta QB/\delta V_{BS}$) et uT représente la tension thermodynamique.

2-3-1-2. Régime de forte inversion

a) Zone de Conduction (ou Ohmique)

L'expression du courant drain I_D en régime de forte inversion en zone de conduction est donnée par :

$$I_D = K \frac{W_{eff}}{L_{eff}} \left(V_{GS} - V_{ds} - \frac{V_{DS}}{2} \right) V_{DS} \quad (2.2)$$

- $K = \mu_0 C_{ox}$; (avec μ_0 , la mobilité nominale des porteurs)
- $W_{eff} = W - 2W_{int}$ représente la largeur de grille effective (avec W_{int} largeur de recouvrement entre grille et îlots de diffusion)
- $L_{eff} = L - 2L_{int}$ représente la longueur de grille effective (avec L_{int} longueur de recouvrement entre grille et îlots de diffusion).

b) Zone de Saturation (ou Source de Courant)

L'expression du courant drain I_D en régime de forte inversion en zone de saturation est donnée par :

$$I_D = \frac{K W_{eff}}{2 L_{eff}} (V_{GS} - V_{ds})^2 (1 + \lambda V_{DS}) \quad (2.3)$$

λ est un paramètre représentatif de la modulation de la longueur du canal.

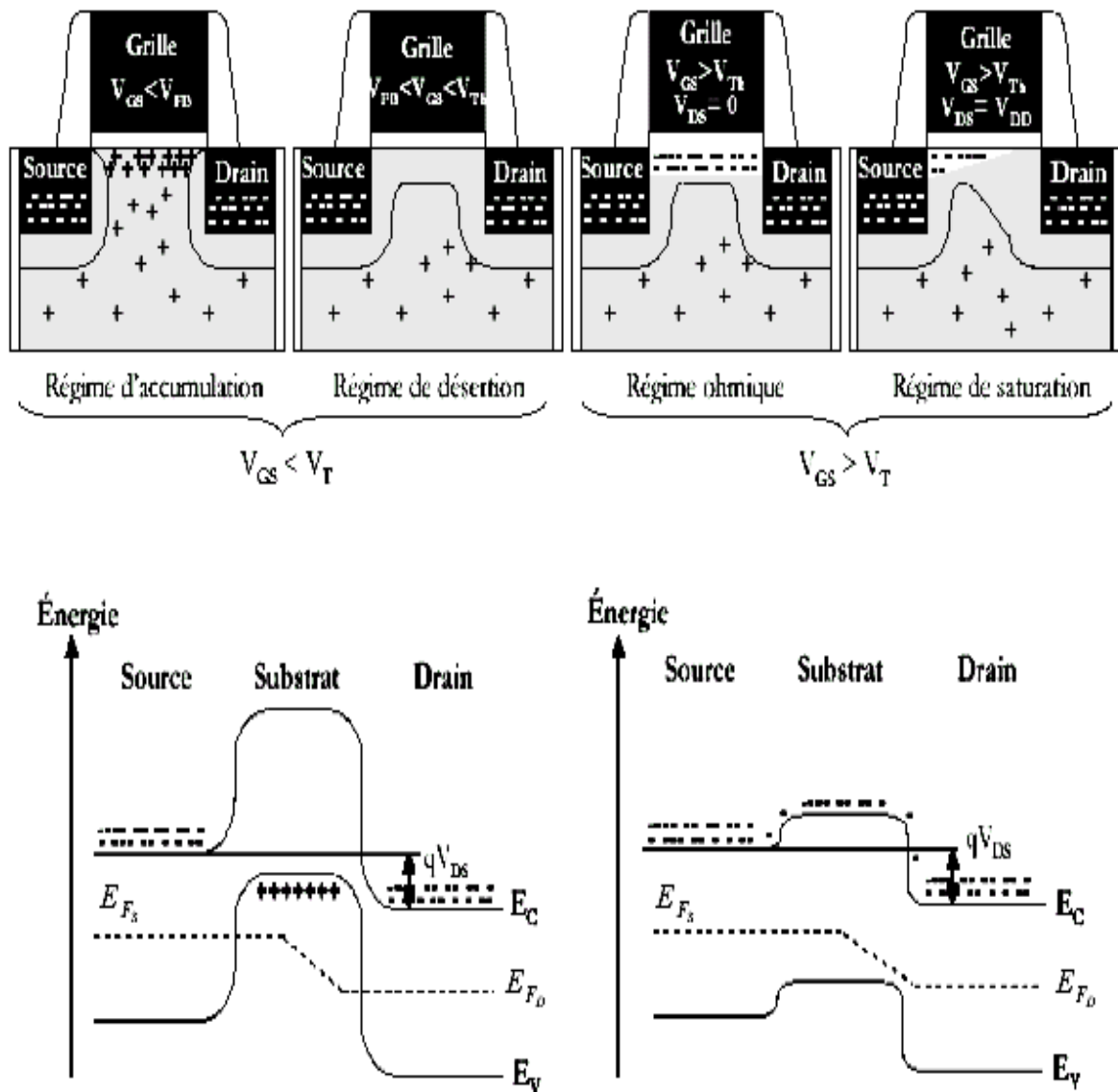


Figure (2.3) : Représentation schématique des différents régimes de fonctionnement d'un NMOSFET [12]

2-4. Le régime dynamique

Par la suite, nous ne modéliserons le transistor MOS qu'en régime de forte inversion, en zone de conduction et en zone de saturation.

2-4-1. Modèle petit signal en zone de conduction

Le transistor MOS en régime de forte inversion et en zone de conduction peut être modélisé par une simple conductance g_{DS} entre drain et source, raison pour laquelle on nomme parfois cette

zone « zone linéaire ». En utilisant l'équation (2-4) donnant le courant drain I_D en zone de conduction, nous pouvons exprimer la conductance équivalente du transistor dans ce mode de fonctionnement :

$$g_{DS} = \frac{1}{r_{DS}} - \frac{dI_D}{dV_{DS}} = K \frac{W_{eff}}{L_{eff}} (V_{GS} - V_{th} - V_{DS}) \quad (2-4)$$

Pour des tensions drain-source $V_{DS} \ll (V_{GS} - V_{th}) = V_{DSsat}$, l'expression précédente se simplifie :

$$g_{DS} = \frac{1}{r_{DS}} - K \frac{W_{eff}}{L_{eff}} (V_{GS} - V_{th}) \quad (2-5)$$

2-4-2. Modèle petit signal en zone de saturation

En régime de forte inversion et en zone de saturation, le transistor MOS peut être modélisé en fonction de la gamme de fréquences dans laquelle il est utilisé. Nous distinguerons pour cette raison deux gammes de fréquences : les « moyennes » fréquences et les hautes fréquences. Dans le domaine des moyennes fréquences, nous négligerons les capacités parasites du transistor MOS et les résistances d'accès série.

2-4-3. Modèle petit signal moyenne fréquence

Le modèle petit signal dans la gamme des moyennes fréquences est représenté par la figure(2.4). Ce modèle est simplement composé de deux sources de courants liées proportionnellement aux transconductances de grille g_m et de substrat g_{mb} , et d'une conductance g_{DS} entre les îlots de source et de drain.

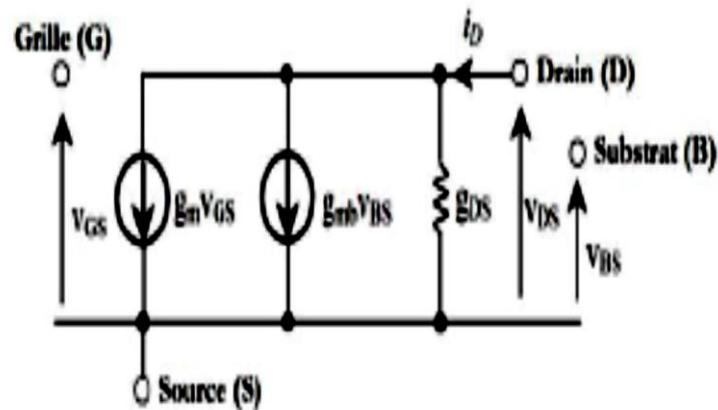


Figure (2.4) Modèle petit signal moyenne fréquence du transistor MOS en régime de forte inversion et en Zone de saturation [11]

2-5. La logique CMOS :

Les deux transistors MOS complémentaires utilisés sont à enrichissement. Les courants consommés aux niveaux haut et bas sont nuls. La consommation statique et basse fréquence est très faible (< au micro-ampère).

L'excursion de sortie est maximale ($V_{OH} = U$, $V_{OL} = 0$). Les deux transistors ayant le même I_{DSS} , les temps de commutation de la porte sont identiques pour les deux niveaux.

On peut considérer que l'entrée d'une porte CMOS est une capacité pure de l'ordre de quelques pF. La sortie d'une porte ne voit donc qu'une capacité C représentant les capacités d'entrées des portes connectées plus la capacité de la ligne.

Ce phénomène a une importance capitale et représente un des intérêts majeurs de cette technologie. La vitesse de fonctionnement de la porte CMOS est quasiment déterminée par la valeur de cette capacité. Or, l'augmentation de la densité d'intégration a pour conséquence automatique la diminution de cette capacité de charge.

Ainsi donc, les performances de la logique CMOS s'améliorent au fur et à mesure de la progression de la technologie de réalisation des circuits intégrés. Aujourd'hui, les performances de la CMOS ont largement dépassé celles de la TTL qui n'a plus évolué depuis le début des années 1990. De plus, l'intégration des transistors bipolaires est bien moins facile que l'intégration des transistors CMOS. [29]

2-6. L'inverseur CMOS :

2-6-1. définition:

Un inverseur CMOS est un circuit logique de base utilisé dans la conception de circuits intégrés. Il est composé de deux transistors MOS (Metal-Oxide-Semiconductor) complémentaires, un transistor de type N (NMOS) et un transistor de type P (PMOS), qui sont connectés en série entre l'alimentation et la masse. L'entrée du circuit est connectée à la grille du transistor NMOS, tandis que la sortie est prise à la jonction entre les deux transistors. La figure (2-5) présente l'implémentation de la fonction inverseur en technologies CMOS

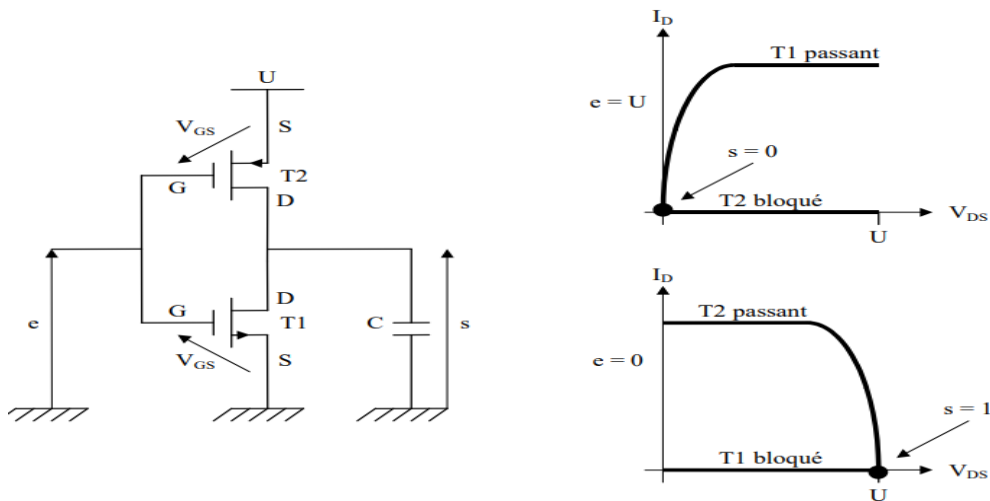


Figure (2.5) implémentation de la fonction inverseur CMOS

2-6-2. Principe de fonctionnement de l'inverseur:

La fonction logique la plus simple est celle de l'inverseur. Elle peut être décrite par la table de vérité qui décrit l'état de sortie (OUT) en fonction de l'état d'entrée (IN).

IN	OUT
0	1
1	0

Lorsque IN est en état haut ($V_{th}=V_{DD}$) la tension grille-source du PMOS est nulle :

$V_{GS} = V_{IN} - V_{DD} = 0$, il est alors bloqué. En même temps, le NMOS est conducteur, car sa tension V_{GS} est maximale : $V_{GS} = V_{IN} - 0 = V_{DD}$.

La sortie est donc court-circuitée à la masse par le NMOS présentant une résistance très faible. A l'opposé, lorsque IN est en état bas, c'est le PMOS qui court-circuite la sortie de l'alimentation (état haut), le NMOS restant bloqué.

Ce principe de fonctionnement dégage tout de suite quelques particularités intéressantes de l'inverseur CMOS :

- La puissance dissipée en régime statique est nulle (dans le cas des technologies supérieures exp : 1 μ m, 0.6 μ m... pour les technologies inférieure, la consommation en statique devient importante vue que le courant de fuite est de la même grandeur que le courant de conduction); un des transistors restant toujours bloqué, il n'y a pas de passage de courant.
- Les transistors conduisent uniquement au cours des commutations, il s'ensuit que la dissipation de puissance dynamique augmentera avec la fréquence de commutation
- La marge de variation de la tension de sortie est maximale et égale à V_{DD} , par conséquent, l'immunité au bruit est meilleure. Par contre, le dessin de masque de l'inverseur, dit layout, consomme plus de surface de silicium en technologie CMOS. D'autres inconvénients sont les suivants : augmentation des capacités parasites et

accroissement du nombre d'étapes technologiques. Ces inconvénients sont toutefois largement compensés par la réduction de la puissance dissipée et la meilleure immunité au bruit, ce qui explique la domination de la technologie CMOS. [30]

2-7. La cellule SRAM :

Les mémoires vives statiques (Static Random Access Memory, SRAM) sont considérées comme l'une des technologies de mémoire les plus fondamentales et essentielles aujourd'hui. En raison de leur rapidité, de leur robustesse et de leur facilité de fabrication dans des processus logiques standards, elles se trouvent quasiment toujours sur la même puce que les microcontrôleurs et les microprocesseurs. Les mémoires caches et les systèmes sur puce basés sur la SRAM sont couramment utilisés en raison de leur vitesse élevée. En raison de la réduction de la taille des composants, la conception de SRAM à l'échelle nanométrique présente plusieurs défis. La conception de SRAM à faible consommation d'énergie est cruciale, car elle représente une grande partie de la consommation totale d'énergie et de la surface de la puce dans les processeurs haute performance. Une cellule SRAM doit satisfaire aux exigences de fonctionnement dans les plages submicroniques/nanométriques. La réduction de la technologie CMOS a un impact significatif sur les fluctuations aléatoires des caractéristiques électriques de la cellule SRAM et sur les courants de fuite importants.

2-7-1. Etude de la cellule de base 6T SRAM :

Maintenant, nous allons parler de la cellule la plus couramment utilisée et qui constitue la base de notre étude. La cellule 6T-SRAM.

La mémoire 6T-SRAM est constituée par 6 transistors. Son schéma électrique est donné par la figure (2-6). Elle comporte 2 inverseurs montés en tête-bêche et 2 transistors d'accès. Cette cellule permet de stocker une donnée (0 ou 1) codée sur un bit. Cette donnée peut transiter à l'intérieure (régime d'écriture) ou à l'extérieure (régime de lecture) de la cellule grâce à la paire de lignes nommées respectivement BL et BLB.

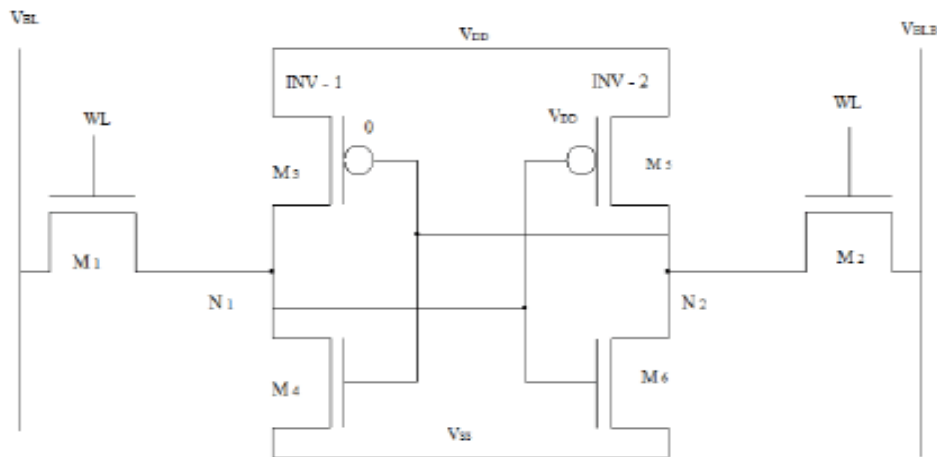


Figure (2.6) schéma électrique de la cellule 6T SRAM

L'autorisation de la lecture ou de l'écriture se fait par la ligne WL qui est connecté aux grilles des deux transistors d'accès et commande ainsi leur état. L'activation de cette ligne de commande WL sature les transistors d'accès et connecte ainsi la cellule à la paire de lignes BL, BLB et au reste du circuit. Par contre, sa désactivation bloque les transistors d'accès et sépare la cellule du reste du circuit extérieur ce qui permet de stocker la donnée dans les deux inverseurs tant que cette cellule est polarisée par une tension Vdd. [31]

2-7-2. Fonctionnement de la cellule élémentaire 6T-SRAM :

La cellule SRAM possède trois modes de fonctionnement : Le mode Rétention, le mode de lecture, le mode d'écriture.

à). Le mode de lecture :

Opération de lecture (Read opération) : Considérons le nœud Y comme le nœud de référence de la cellule SRAM. La cellule est considérée comme stockant un "1" si le nœud Y est élevé à VDD et que le nœud Y-bar est à 0V. Dans des conditions de tension inverses, la cellule est considérée comme stockant un zéro. Supposons que la cellule stocke un "1". Avant le début de l'opération de lecture, les lignes BL et BLbar sont pré chargées à VDD/2. Lorsque la WL est activée, le courant circule à travers M5 et M6. Maintenant, le courant de VDD circule à travers M1 et M5, chargeant la capacité de la ligne de bit, disons CBL. La capacitance existante sur la ligne BLbar, disons CBLbar, se décharge à travers les transistors M6 et M4.

Ce processus crée une différence de tension entre le nœud Y et le nœud Ybar, qui est détectée par l'amplificateur de détection pour la reconnaître comme un "1". De même, un "0" dans la cellule est également détecté par l'amplificateur de détection. [32] Selon la figure (2-7):

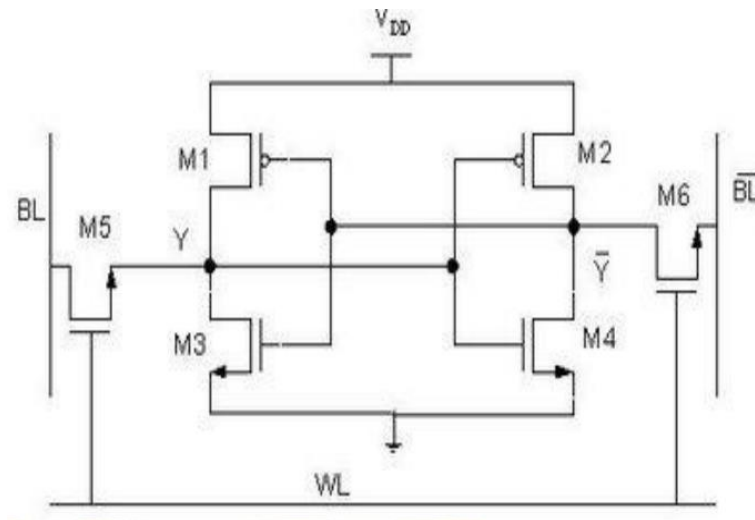


Figure (2.7) le mode de lecture dans la SRAM.

b). Le mode d'écriture :

Prenons en compte l'opération d'écriture d'un zéro dans une cellule qui stocke une valeur de 1. Pour cela, les amplificateurs de détection et les circuits de pré charge sont désactivés, La cellule est sélectionnée en activant le signal WL correspondant, Pour écrire un zéro dans la cellule, la ligne BL est maintenue basse et la ligne BLbar est élevée à VDD par le circuit d'écriture. Ainsi, le nœud Ybar est tiré vers le haut vers $VDD/2$ tandis que le nœud Y est tiré vers le bas jusqu'à $VDD/2$. Lorsque la tension franchit ce niveau sur les deux nœuds, l'action de rétroaction débute. Les capacités parasites développées par M3, M5 et M4, M6 se chargent et se déchargent respectivement.

Finalement : le nœud Y se stabilise à la valeur 1. Étant donné que ces capacités parasites offertes par les transistors sont comparativement beaucoup plus faibles que les capacités de la ligne de bit, l'opération d'écriture est plus rapide que l'opération de lecture. [33]

c). Le mode rétention :

En mode de rétention, les lignes de bits sont pré chargées à VDD et la WL est réglée sur GND. Les données sont ensuite stockées dans la cellule de bit. Dans ce mode, la cellule de bit doit être alimentée en continu pour maintenir les données et compenser le courant de fuite

I_{leak} . Dans ce mode, la consommation d'énergie est égale à $I_{leak} \times V_{DD}$, ce qui est appelé consommation d'énergie statique. La consommation d'énergie statique augmente avec la tension d'alimentation V_{DD} , donc la technique généralement utilisée pour réduire la consommation d'énergie est l'échelle de tension V_{DD} .

La cellule de bit SRAM 6T nécessite une tension d'alimentation minimale pour maintenir les données. On l'appelle la tension de rétention des données (DRV, Data-Retention Voltage).

2-7-3. La stabilité du point mémoire 6T :

Une des caractéristiques principales de la stabilité du point mémoire 6T est la marge de bruit statique appelée SNM (Static Noise Margin). La SNM permet de déterminer la capacité d'une cellule SRAM à conserver une donnée et de résister aux perturbations, particulièrement en phase de lecture qui est la plus sensible en termes de conservation de la donnée. La SNM est représentée par la longueur du côté du plus grand carré tracé à l'intérieur dans l'une des deux boucles de la courbe en forme de papillon associée à la cellule mémoire,[34] comme la montre la figure (2-8) :

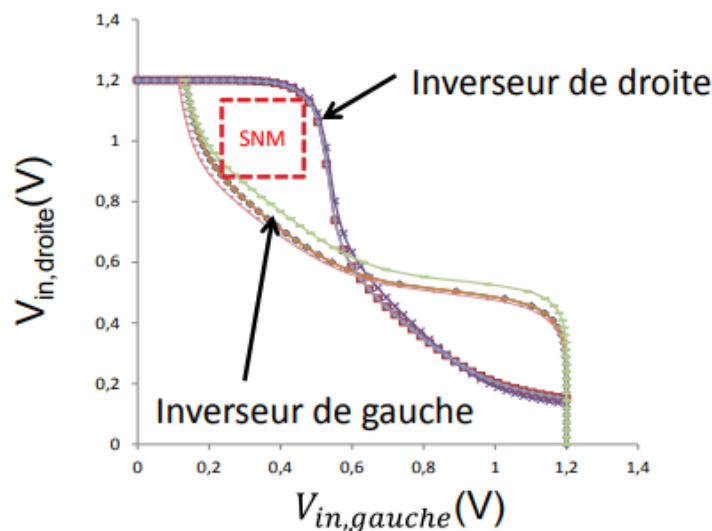
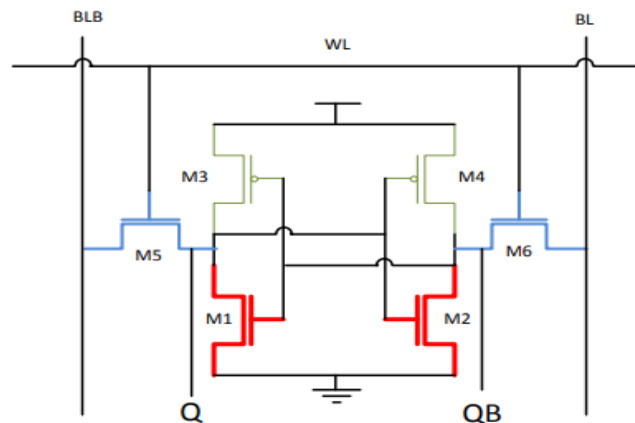


Figure (2.8) courbe en papillon de la SNM

2-7-4. Le dimensionnement des transistors :

Le dimensionnement des transistors de la cellule SRAM joue un rôle primordial dans la stabilité des données stockées dans la cellule, cette stabilité peut être détériorée pendant le mode de lecture et d'écriture. Afin de maintenir la stabilité en phase de lecture, la longueur de grille "L" des transistors M1 et M2 (NMOS) doit être supérieure par rapport aux transistors d'accès M5 et M6 (NMOS). Pour la stabilité en mode d'écriture la longueur de grille des transistors M5 et M6 doit être plus grande que celle des transistors M3 et M4 (PMOS) [35]. (Figure 2-9)



figure(2-9) :Schéma du point mémoire 6T conçu en prenant en compte le dimensionnement. [35]

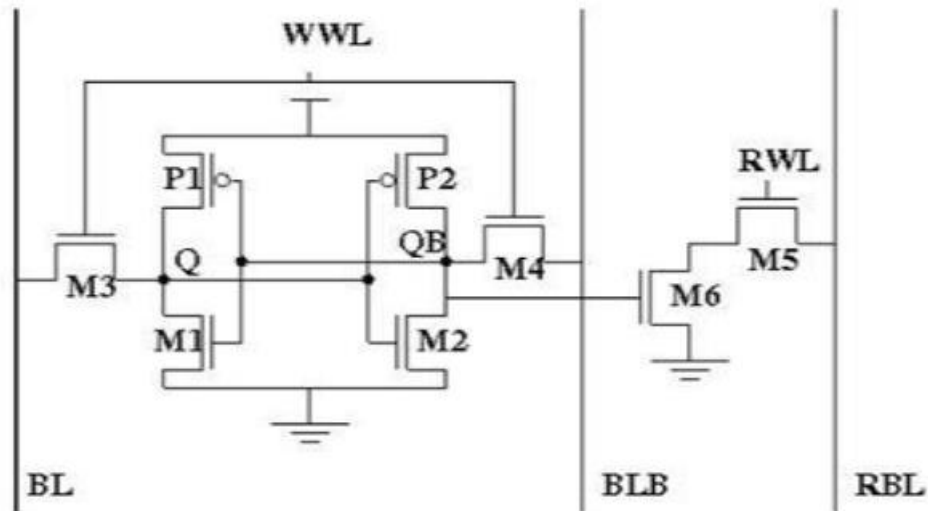
2-7-5. Autre type de mémoire statique

2-7-5-1. La cellule 8T SRAM :

À de faibles tensions d'alimentation en raison des limitations de stabilité de la cellule 6T SRAM, nous utilisons la cellule 8T SRAM pour les applications de transmission rapide. Elle ressemble à la cellule 6T SRAM avec un chemin découplé de lecture composé des transistors M5 et M6, (figure (2-10)). Le fonctionnement de la SRAM 8T se déroule comme suit. [35]

Opération d'écriture : L'opération d'écriture de la cellule 8T SRAM est identique à celle de la SRAM 6T conventionnelle. L'opération d'écriture dans la SRAM 8T est effectuée comme indiqué et discuté ci-dessous:

L'opération d'écriture '0' consiste à appliquer zéro volt à la ligne de bit et VDD à la ligne de bit barre (BLbar). L'activation de la ligne de mot d'écriture active les transistors M3 et M4, stockant ainsi la valeur de



figure(2-10) :Schéma de base de la cellule 8T SRAM.

la ligne de bit dans Q, ce qui correspond à un '0' stocké dans Q. De manière similaire, lors de l'opération d'écriture '1', une valeur VDD est appliquée à la ligne de bit, tandis que la ligne de bit barre reçoit zéro volt. Lorsque la ligne de mot d'écriture est activée, les valeurs des lignes de bit sont stockées dans les nœuds respectifs, ce qui conduit à une valeur logique '1' pour Q et une valeur logique '0' pour Qbar. L'opération d'écriture n'est pas modifiée par rapport à l'opération de base de la SRAM.

- **Opération de lecture :** L'opération de lecture est initiée en préchargeant la ligne de lecture de bit à VDD, comme cela est requis dans la méthode conventionnelle. [35]

2-7-5-2. La cellule 9T :

Le schéma de la cellule SRAM 9T est illustré dans la Figure (2-11). Ce circuit présente une consommation réduite de courant de fuite et une stabilité accrue des données. La cellule SRAM 9T isole complètement les données des lignes de bit lors d'une opération de lecture. Les cellules SRAM 9T inactives sont placées en mode veille super coupé, ce qui réduit la consommation de courant de fuite par rapport aux cellules SRAM 6T standard.

Le dimensionnement optimal des transistors pour cette cellule SRAM 9T est pris en compte. Un schéma d'équilibrage des lignes de bit d'écriture est proposé pour réduire le courant de fuite de la cellule SRAM. Une structure 9T est utilisée pour améliorer la marge de stabilité (SNM) en séparant les structures d'accès en lecture de la cellule 6T d'origine, ce qui rend la SNM de lecture égale à la SNM de maintien. Un schéma innovant de pré charge et d'équilibrage des lignes de bit pour l'opération d'écriture de la cellule SRAM 9T est également proposé pour maximiser les économies d'énergie en mode veille dans un ensemble de SRAM. [36] en termes de stabilité, de consommation d'énergie et de retard.

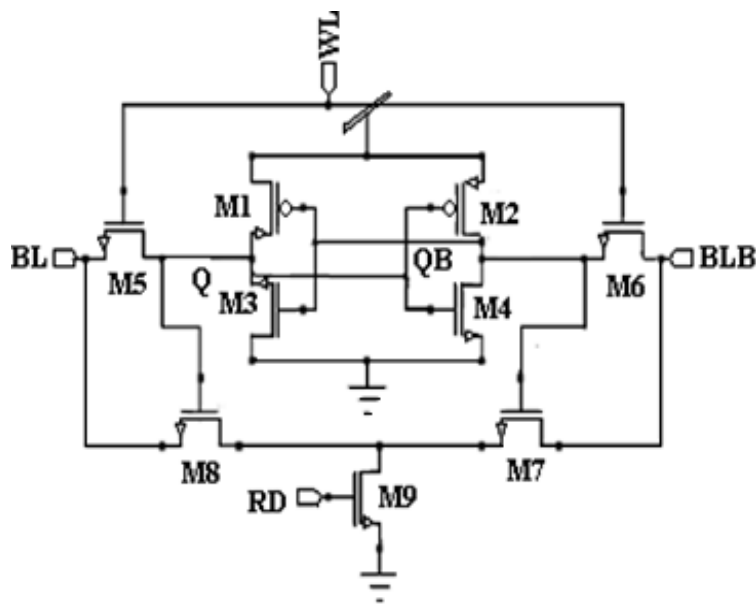
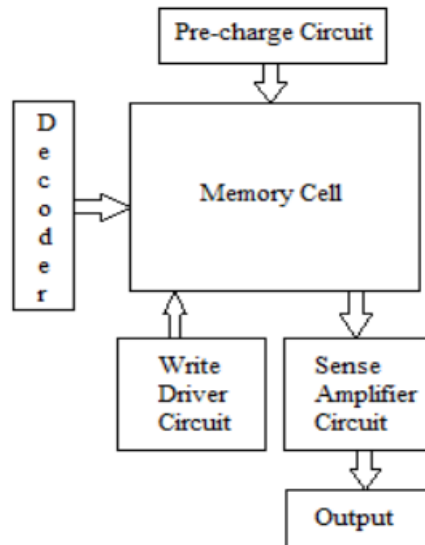


Figure (2-11) : Schéma de base de la cellule 9T SRAM

2-8. Les Périphériques de SRAM :

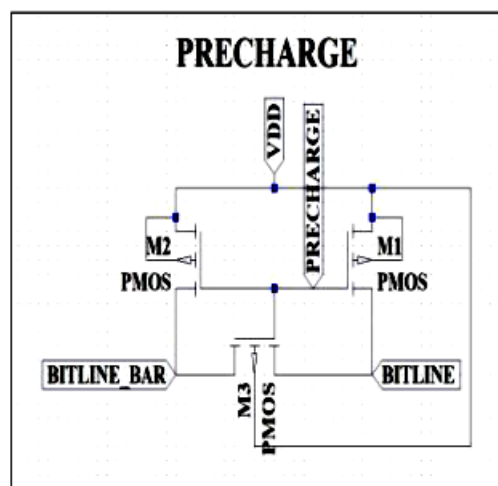
Pour obtenir la fréquence de fonctionnement requise, des périphériques efficaces doivent être conçus, car le cœur de mémoire échange des performances et une fiabilité contre une diminution de la surface. Le plan de mémoire dépend fortement du matériel périphérique pour récupérer à la fois la vitesse et l'intégrité électrique. La figure (2-12) montre une cellule de mémoire avec une connectivité périphérique monolithique.



figure(2-12) :Schéma synoptique complet de la cellule SRAM

2-8-1. Le circuit pré-charge :

Le circuit de précharge est l'un des composants essentiels constamment utilisé dans la cellule SRAM. La fonction de la précharge est de charger la ligne de bits (bit-line) et la ligne de bits barre (bit-line bar) à V_{DD} . Comme illustré à la Figure (2-13), les transistors M1 et M2 préchargent les lignes de bits tandis que le transistor M3 les égalise pour garantir que les deux lignes de bits d'une paire soient au même potentiel avant que la cellule ne soit lue.



figure(2-13) :circuit de précharge .[37]

Le circuit de précharge permet aux lignes de bits d'être constamment chargées à un niveau élevé, sauf pendant les opérations de lecture et d'écriture. Un circuit de précharge unique est utilisé pour chaque section. [38]

2-8-2. Circuit de commande d'écriture :

Le circuit de commande, également connu sous le nom de circuit de commande d'écriture, est l'un des composants de base du circuit de conception de mémoire. Le rôle du circuit de commande est de ramener la ligne de bits et la ligne de bits barre à un potentiel de terre, qui est initialement chargé avec la tension d'alimentation maximale VDD à l'aide d'un circuit de pré charge. Le circuit de commande est activé par le signal d'activation d'écriture (Write Enable), qui est connecté dans la partie supérieure comme indiqué dans la figure(2-14). La fonction du circuit de commande d'écriture de SRAM est d'écrire les données d'entrée sur les lignes de bits lorsque le signal Write Enable (WRITE_EN) est activé ; sinon, les données ne sont pas écrites sur les lignes de bits. Il est composé de deux transistors nMOS connectés dos à dos de manière fascinante, ainsi que de deux inverseurs dans la partie supérieure. Les deux logiques sont données aux deux points de la jonction des nMOS, c'est-à-dire 0 et 1. La ligne de bits qui est plus proche de la logique 0 se décharge en premier, puis sa logique s'inverse. De cette manière, la ligne de bits et la ligne de bits barre sont déchargées jusqu'à la terre.

La différence de tension entre la ligne de bits et la terre, ainsi que la ligne de bits barre et la terre, est nulle. Une autre donnée peut être facilement récupérée par la cellule mémoire lorsqu'une plus grande quantité de données doit être consultée. [39]

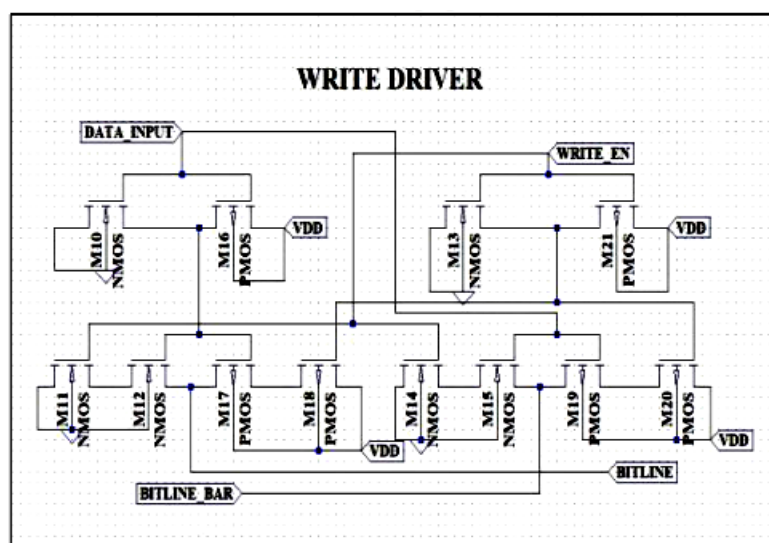


Figure (2-14) : circuit de commande d'écriture. [37]

2-8-3. Circuit d'amplificateur de détection :

Les amplificateurs de détection sont des composants essentiels dans la conception de mémoire. Leur rôle principal est d'amplifier la différence de tension produite sur la ligne de bits et la ligne de bits barre lors de l'opération. Ils détectent la ligne de bits et la ligne de bits barre pour une surveillance appropriée. Ils améliorent la vitesse de lecture et d'écriture de la cellule mémoire. Leur autre fonction est de réduire la puissance nécessaire pour l'opération. Un amplificateur de détection est présent dans chaque colonne de la matrice SRAM. [20] ce circuit utilise deux inverseurs couplés en croix et des transistors d'accès reliant les entrées de l'inverseur aux lignes de bits. L'opération de lecture commence par le pré charge et l'égalisation des deux lignes de bits, tout en polarisant simultanément l'amplificateur de détection de type bascule dans la région métastable à gain élevé en pré chargeant et en égalisant ses entrées. Ensuite, pour lire un mot spécifique dans la matrice SRAM, la ligne correspondante est sélectionnée en activant la ligne de mot.

Une fois qu'une différence de tension suffisante est établie entre les lignes de bits, l'amplificateur de détection est activé par le signal d'activation de lecture (READ_EN). L'amplificateur de détection détectera quelle ligne de bits se dirige vers une tension élevée et quelle ligne de bits se dirige vers un potentiel de terre, puis une variation complète de tension est obtenue en sortie. Figure (2-15). [40]

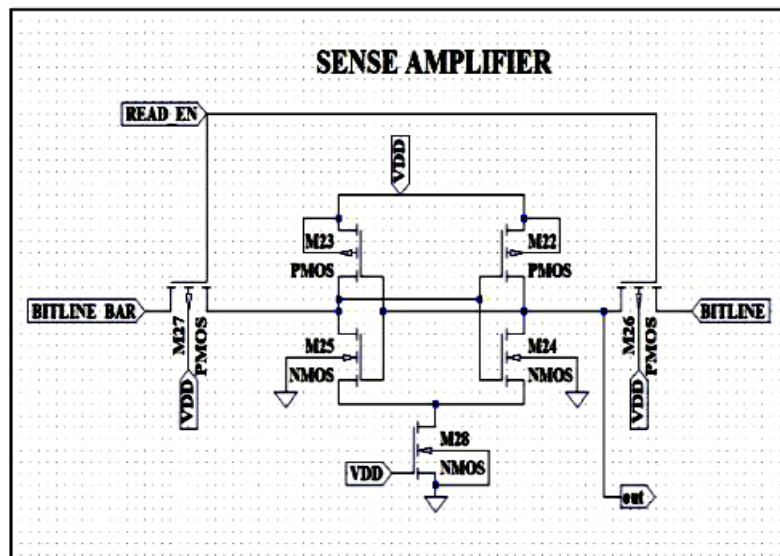


Figure (2-15) : circuit d'amplificateur sense. [37]

2-9. conclusion:

En conclusion, notre étude approfondie de la cellule SRAM nous a permis de comprendre en détail son fonctionnement et son rôle essentiel dans les circuits de mémoire. Nous avons examiné les différentes composantes de la cellule SRAM, telles que le circuit de commande d'écriture, l'amplificateur de détection et les lignes de bits, ainsi que les signaux associés à chaque opération (lecture/écriture).

La cellule SRAM offre des avantages significatifs en termes de vitesse d'accès et de consommation d'énergie. Sa conception repose sur des éléments clés tels que les transistors NMOS et les inverseurs, qui permettent un stockage stable et une récupération rapide des données.

**CHAPITRE3 : RÉSULTATS DE LA
SIMULATION DE LA CELLULE 6T
SRAM**

3-1. introduction

Static Random Acces memory SRAM est une mémoire rapide et à faible consommation si l'on compare à d'autre types de mémoire. une cellule 6T est composée de deux inverseurs et peut mémoriser 1 bit de données, dans le présent chapitre nous avons reportés nos résultats de simulation LTspice de la cellule 6T CMOS. notre étude a traité, d'un coté le fonctionnement général de la cellule, et de l'autre coté sa stabilité, par la simulation de la marge du bruit statique SNM dans la phase d'écriture et de lecture de la cellule.

3-2. la cellule 6T simulée:

la figure (3-1) montre la structure de base de la cellule mémoire 6T simulée. les deux inverseurs sont composés de couple: (M1,M3) et (M2,M4), les transistors d'accès sont les deux transistors de type NMOS: M5 et M6. L'opération d'écriture est l'opération de stockage de données, et l'opération de lecture est le processus de récupération de la donnée. ces opérations sont contrôlées par la ligne WORDLINE (WL).

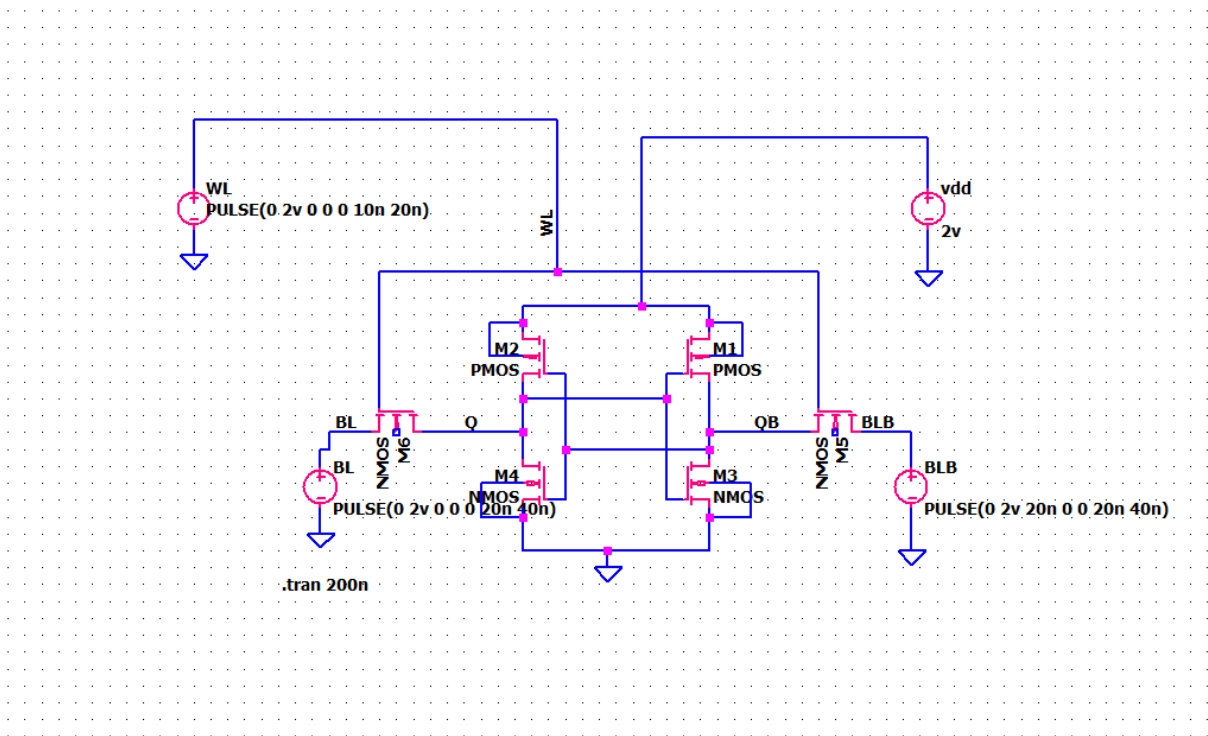


Figure 3-1: cellule mémoire 6T simulée en utilisant LTspice

3-3. dimensionnement des transistors:

il y a de stricts contraintes concernant le dimensionnement des transistors[], et ce pour maintenir les données stables et fonctionnelles. pour une cellule 6T standard la conception est typiquement caractérisée par la CR (cell ratio) et la PR (pull up ratio). cependant, pour maintenir l'opération d'écriture W_{M3} et W_{M4} doivent être supérieurs aux W_{M5} et W_{M6} , d'autre part pour maintenir l'opération de lecture, W_{M5} et W_{M6} doivent être supérieurs aux W_{M1} et W_{M2} .

ces exigences sont satisfaites par le dimensionnement choisi du tableau suivant;

Transistors	M1 et M2 (PMOS)	M3 et M4 (NMOS)	M5 et M6 (NMOS)
dimensions	L=120nm, W=270nm	L=120nm, W=600nm	L=120nm, W=290nm

3-4. Résultats de la simulation:

3-4-1. fonctionnement de la cellule mémoire 6T en mode écriture:

La figure (3-2) montre un test du fonctionnement de notre cellule dans la phase d'écriture et de rétention:

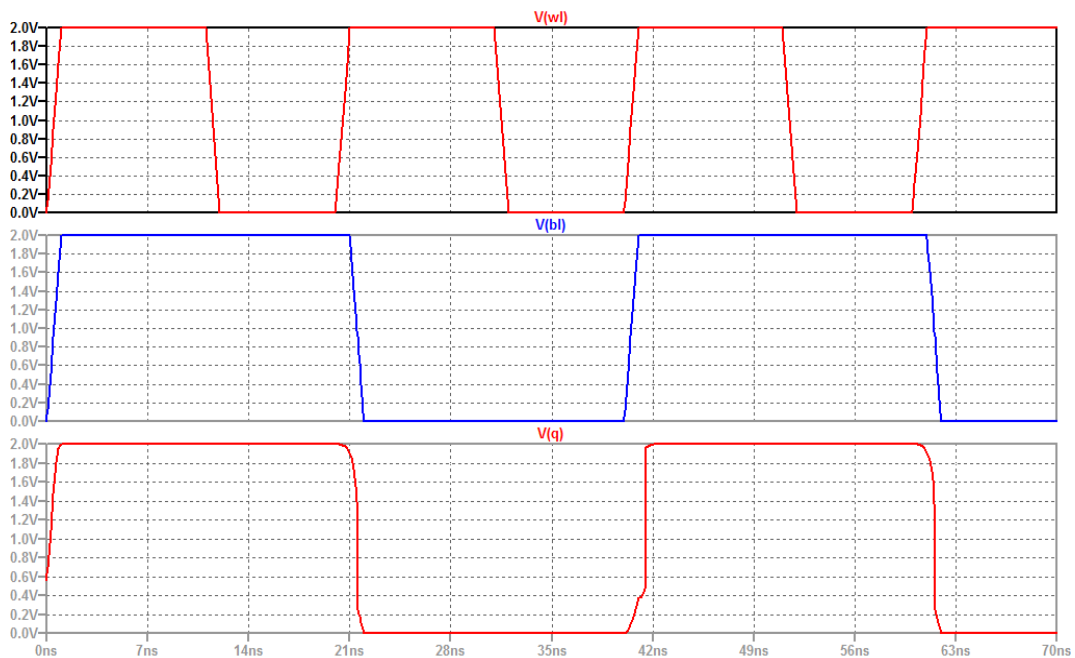


Figure 3-2: cellule 6T en mode écriture et mémorisation

Sur cette figure nous pouvons voir le comportement de notre cellule de mémorisation. Comme expliqué précédemment, lorsque WordLine sera à 1 on sera en mode écriture et donc Data changera d'état suivant l'état courant de BitLine. Lorsque WordLine est à 0 il y a un effet mémoire, la cellule semble donc se comporter comme souhaité.

Une information intéressante est également le temps de montée et de descente de notre cellule mémoire, à savoir respectivement **1.2ns** et **0.48ns** comme indiqué sur la figure (3-3).

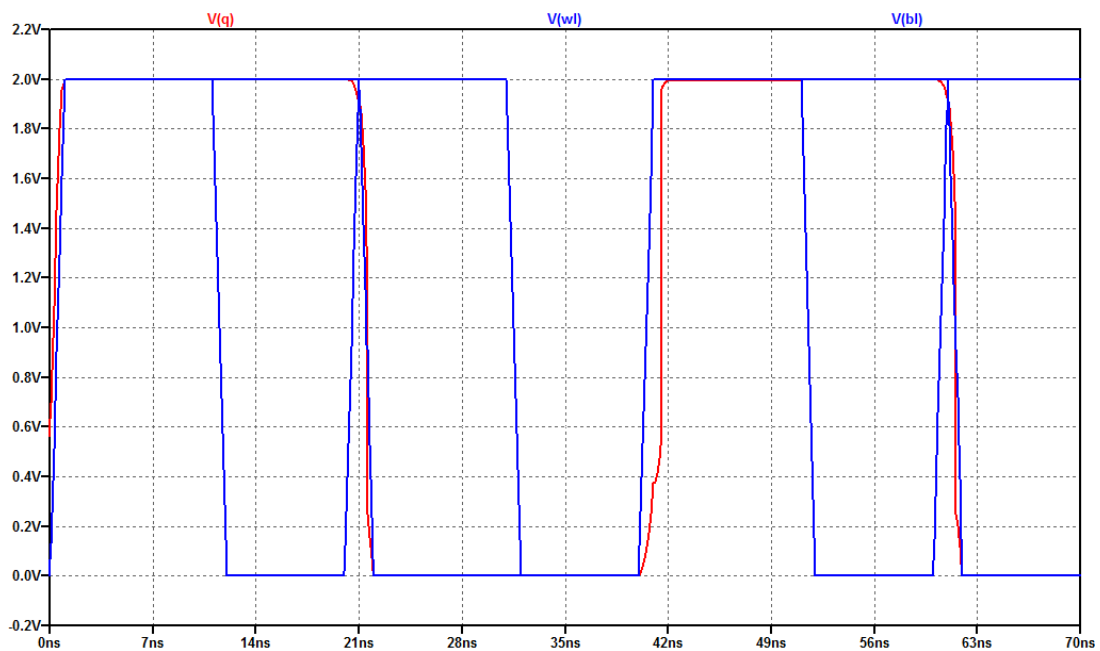


figure 3-3: temps de montée et de descente

on peut constater que l'écriture de 1 est plus lente que l'écriture de 0, ça est du au temps que prendrons les transistors d'accès de type NMOS pour passer de l'état bloqué à l'état passant.

3-4-2. test de fonctionnement d'une matrice de 16bits:

la figure (3-4) montre l'organisation interne de la partie de stockage de la mémoire 16 bits constituée autour de 16 cellule 6T.

chaque ligne est connectée à 1 des quatre Wordline, et chaque colonne est connectée à 1 des quatre Bitline et Bitlinebarre. les wordlines sont activées pour sélectionner un mots

de donnée de mémoire. les bitlines s'exécutent verticalement, et sont connectées donc à des cellules d'adresse différentes.

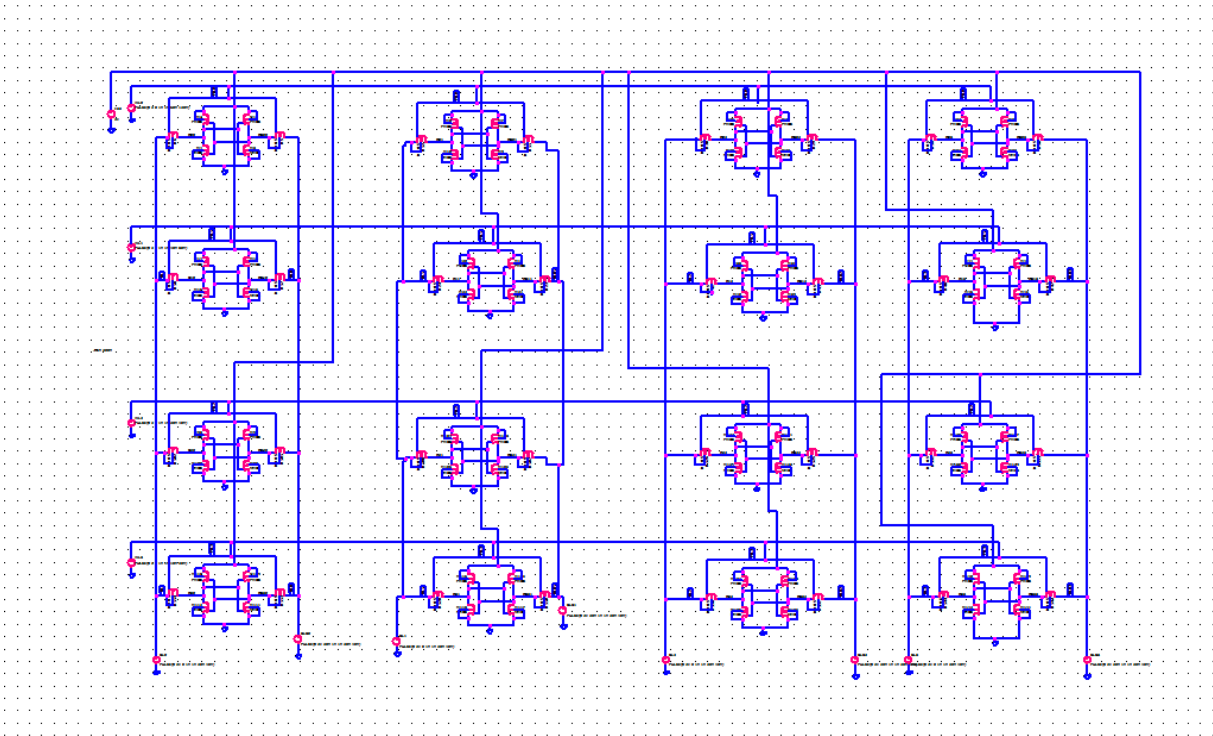


figure 3-4: Structure de mémoire 16 bits à base de cellules 6T

Pour vérifier le bon fonctionnement de cette matrice on propose de montrer les opérations d'écriture et de mémorisation d'une cellule particulière en observant si elle suit les signaux de commande la concernant. On veut par exemple tester la cellule placée sur WordLine0 et BitLine2. la figure(3-5) montre ce test:

Initialement WordLine3 est à 1, il y a donc recopie de BitLine2 sur Data. Data recopie donc 1 de 0ns à 20ns puis passe à 0 de 20ns à 40ns. On vient de prouver par cette observation que Data recopie bien BitLine2 et pas un autre BitLine.

A 60ns WordLine3 passe à 0 ce qui fait que Data ne recopie plus BitLine2 jusqu'au retour de WordLine3 à 1 et BitLine2 à 0 => la mémorisation est également respecté.

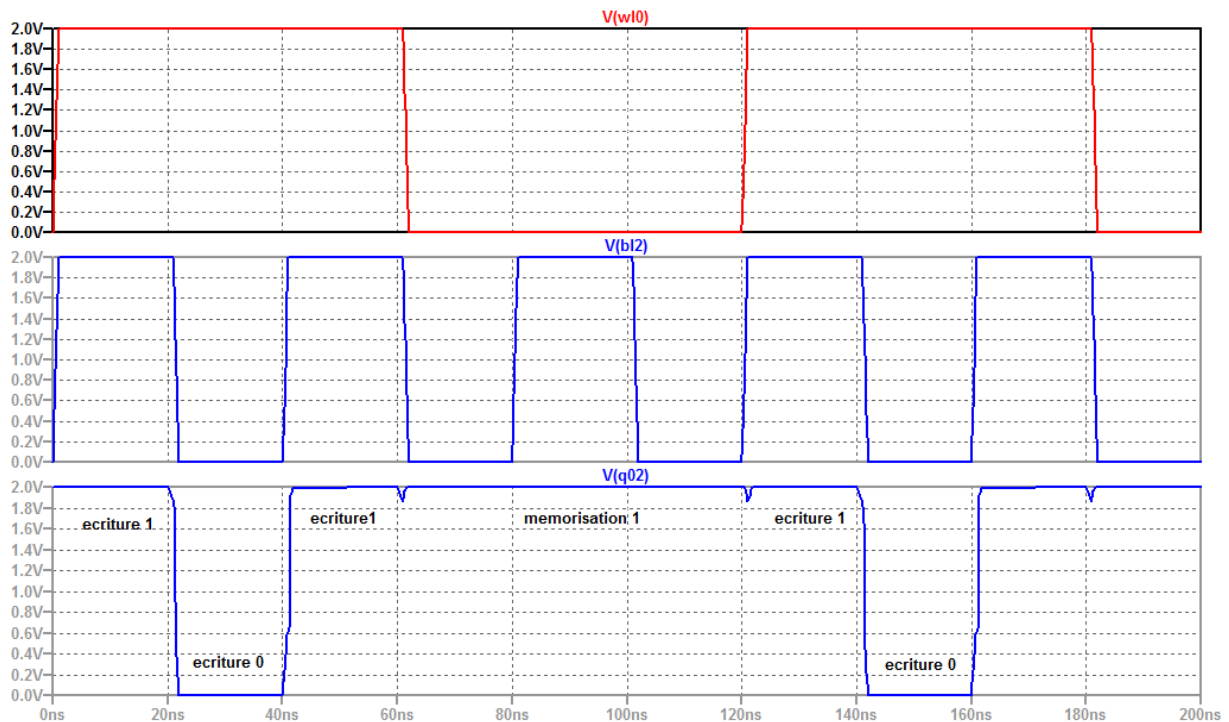


figure 3-5: test de fonctionnement de la matrice 16bits

3-4-3. montage complet de la cellule 6T

comme il a été mentionner, pour pouvoir simuler simultanément les deux régimes de fonctionnement a savoir l'écritures et la lecture, il faut rajouter à la cellule de base d'autres circuits.

Le schéma électrique complet de la cellule mémoire 6T-SRAM qui a été simulé dans ce paragraphe réunissant les trois sous-circuits (cellule 6T-SRAM, circuit de pré-charge et circuit de l'amplificateur de sortie) est donné par la figure 3.6.

les signaux utilisés dans la simulation sont:

signal issu du circuit pré charge, Wordline issu de la cellule de memorisation 6T, les signaux Write En et Read En qui correspond à l'activation des opération écrire et lire, les signaux Bitline et Bitlinebarre qui agissent comme entrées/sortis, et les signaux de sorties Q stockée dans la cellule et V(out) issue de l'amplificateur différentiel de sortie.

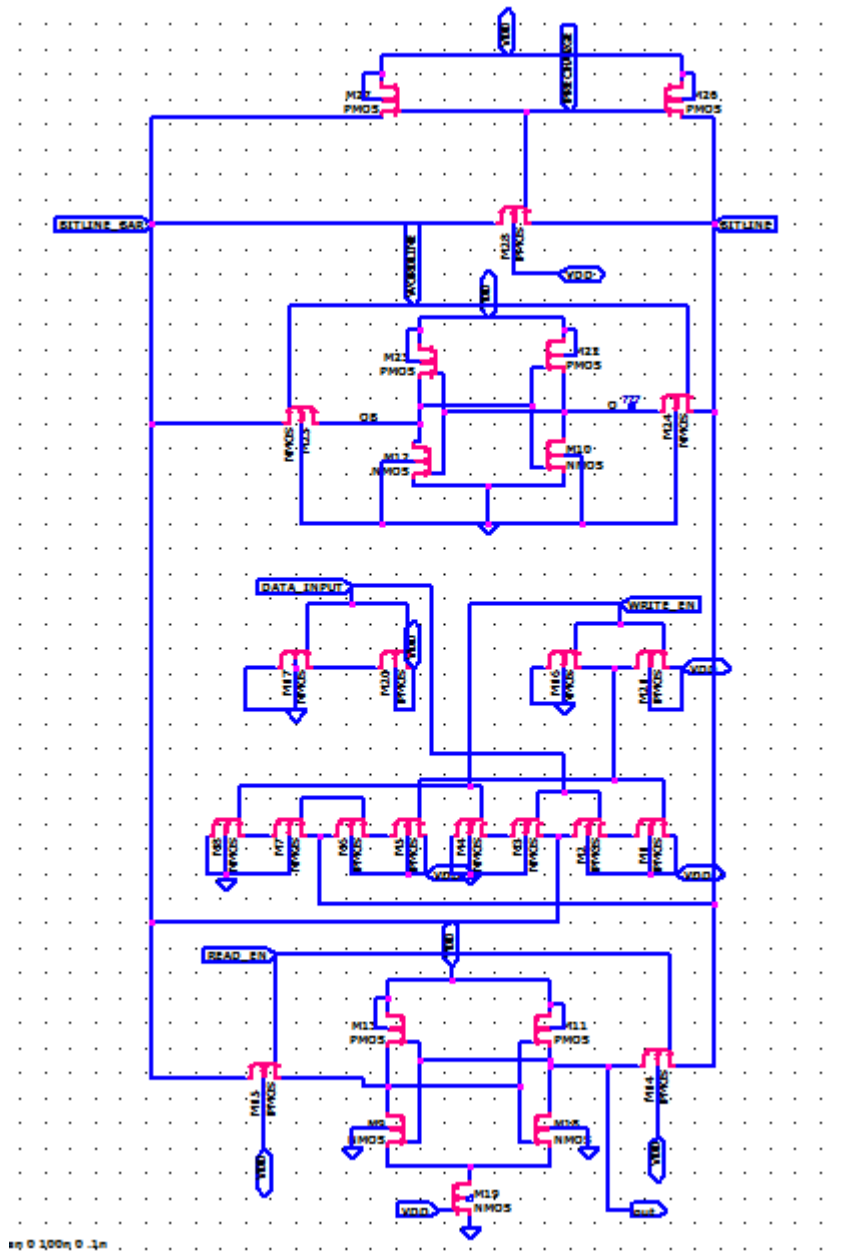


figure 3-6: schéma complet de la cellule 6T simulée[37]

Les chronogrammes de la figure (3.7) ci-dessous montrent les résultats de simulation de la cellule 6T-SRAM pour un temps de 100ns. On observe sur ces chronogrammes que la cellule permet de lire et écrire convenablement les deux niveaux logiques 0 et 1.

quand Wordline = 1, l'opération écrire/lire prendra place, et quand Wordline = 0, l'opération de mémorisation prendra place. l'écritures de 1 ou de 0 est activée durant l'opération d'écritures , lire 1 ou lire 0 est activée durant l'opération de lecture.

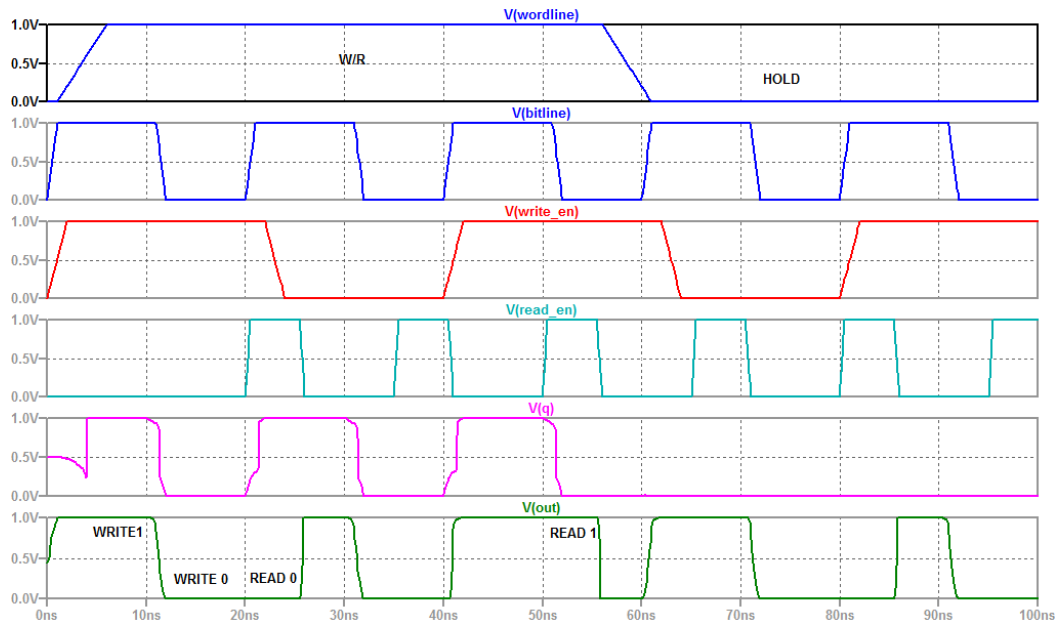


figure 3-7: Chronogrammes de lecture et d'écriture de la 6T-SRAM

Après avoir vérifié le bon fonctionnement de la cellule en régime d'écriture et de lecture, il reste maintenant à vérifier sa stabilité et étudier l'influence de quelques paramètres sur ces performances statiques.

3-4-4. Consommation de courant en phase d'écriture:

la figure (3-8) présente la consommation de courant durant l'opération "écrire 1" et l'opération "écrire 0" dans notre cellule. la forme du courant présente deux pics de valeurs différentes. on remarque que le courant consommé en écrivant un 0 ($4\mu\text{A}$) est plus petit par rapport à l'opération d'écriture de 1 ($4.8\mu\text{A}$).

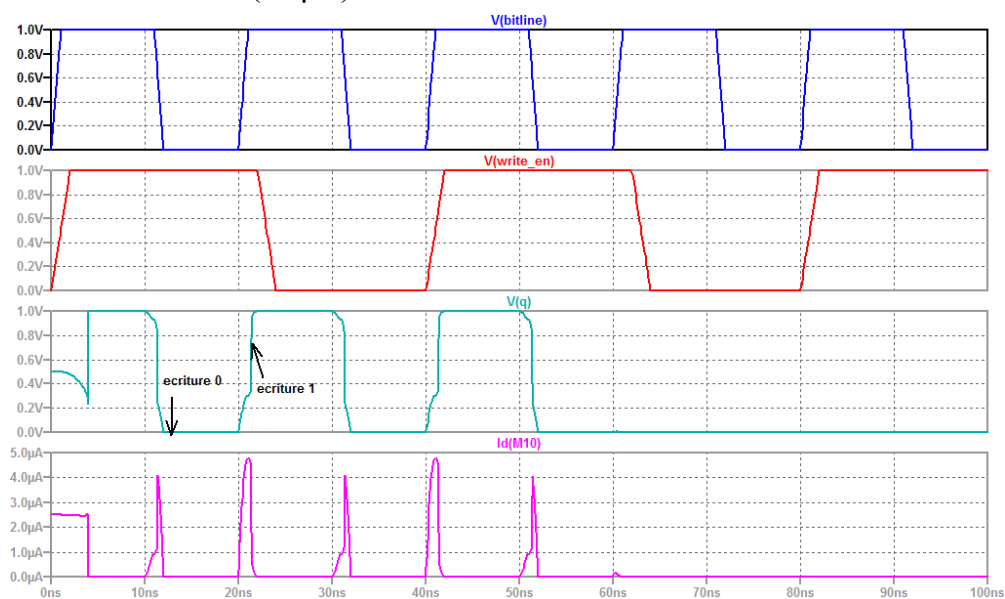


figure 3-8: courbe de consommation de courant

3-4-5. RSNM (Read static noise margin):

sur la figure (3-9) nous présentons le circuit test qui permet d'avoir la courbe en papillon associée au point mémoire en phase de lecture (figure 3-10):

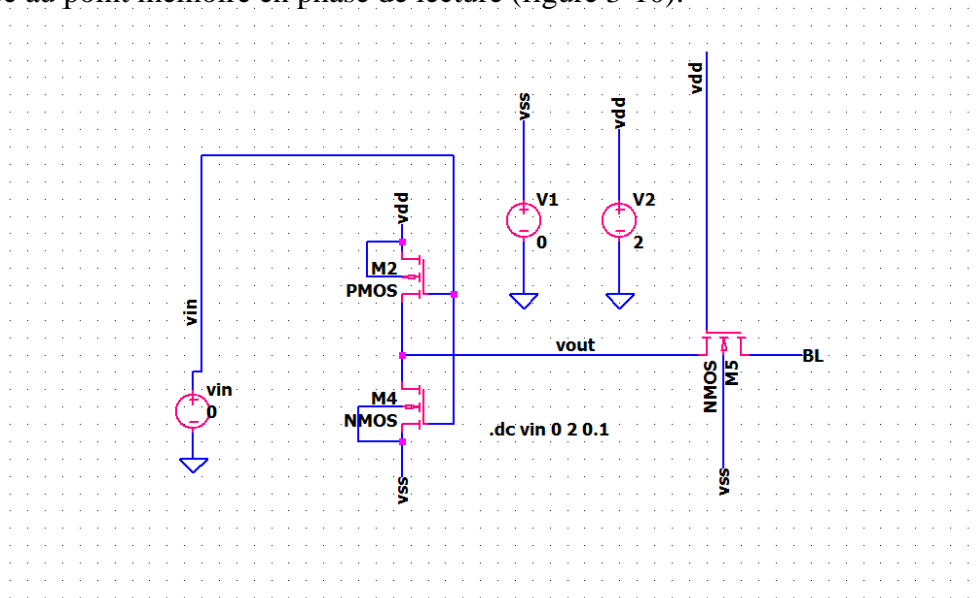


figure 3-9: circuit test de la RSNM

graphiquement la RSNM est la diagonale du plus grand carré inscrit dans la boucle de la courbe en papillon: sur la figure (3-9), une RSNM de 128mv est observée pour notre cellule à tension d'alimentation $V_{dd} = 2v$ et à température de 300K.

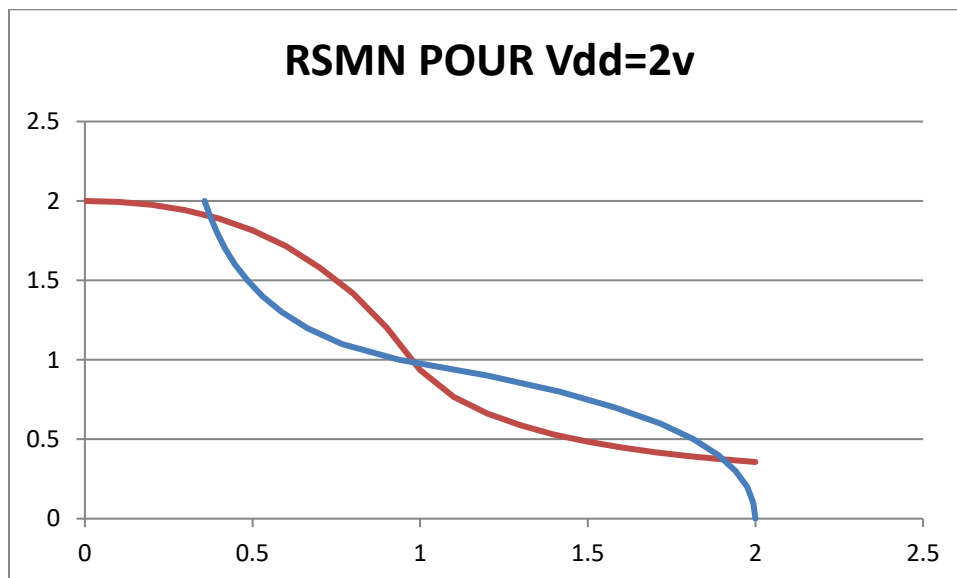


figure 3-10: RSNM de notre cellule à 300T et VDD de 2V.

3-4-5-1. Influence de Vdd sur la RSNM:

la figure (3-11) montre la variation de RSNM pour deux valeurs de Vdd à savoir Vdd=1.8v et Vdd=1.2v:

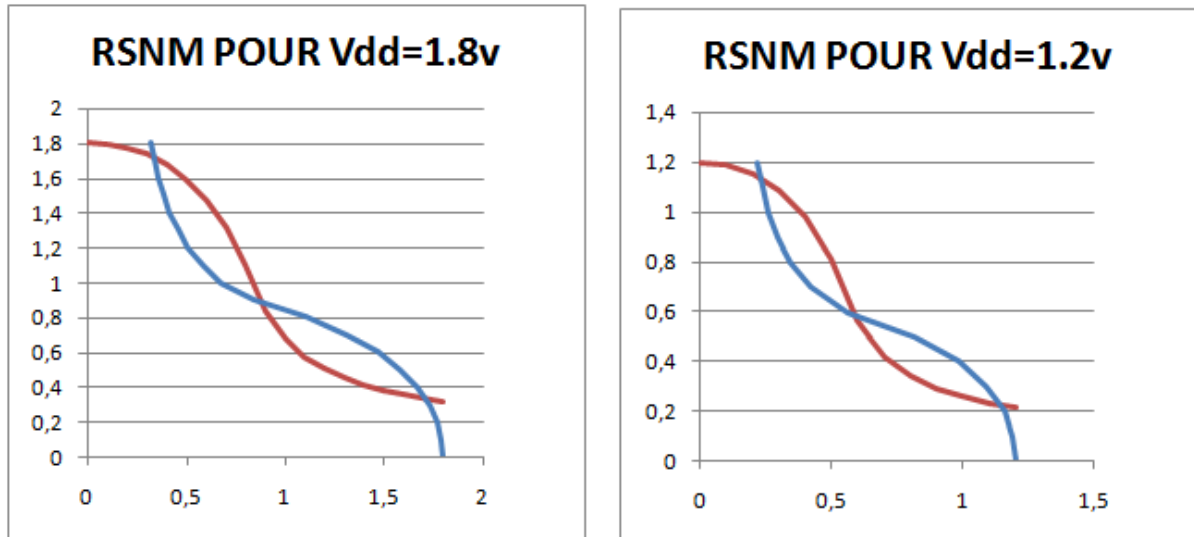


figure 3-11: variation de la RSNM en fonction de Vdd

on remarque clairement que la RSNM diminue pour de faibles valeurs de Vdd, elle passe de 120mv à Vdd=1.8v à 78mv à Vdd=1.2v. ceci est due aux fuites enregistrées dans les transistors surtout les transistor PMOS.

3-4-5-2. Influence de la température sur la RSNM:

les figures (3-12) et (3-13) présentent l'influence de la température sur la RSNM pour une alimentation Vdd de 2v, elles montrent une faible diminution de RSNM pour de grandes valeurs de températures, elle est de 122mv à 50°C et passe à 120mv à 150°C. ceci est du aux sources de courants de fuites qui dépendent fortement de la température mais limitées par le nombre de transistors.

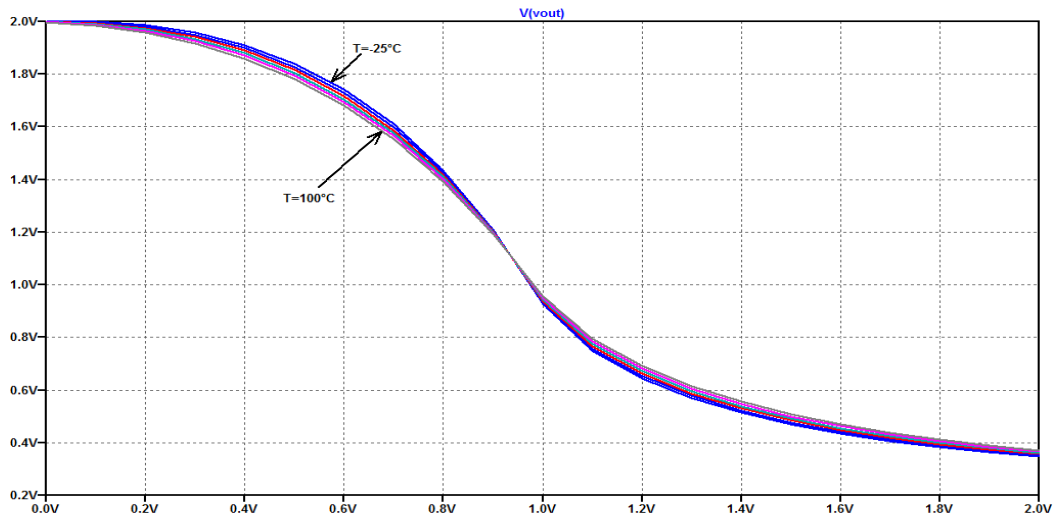


figure 3-12: courbe transfert VTC en fonction de T

On peut remarquer une importante influence de la température sur la RSNM pour les cellules mémoires composées d'un plus grand nombre de transistors come par exemple la cellule 11T SRAM.

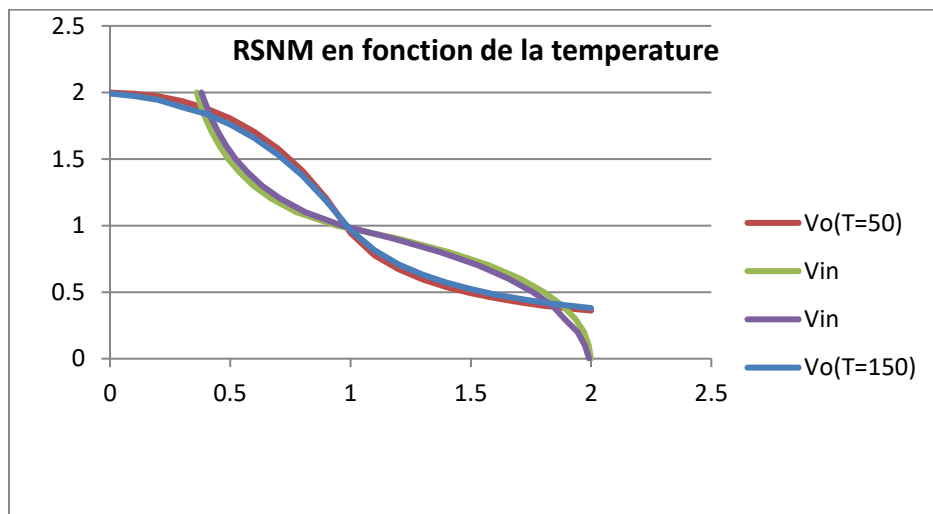


figure 3-13: courbe transfert VTC en fonction de T

3-4-5-3. Influence de CR (cell ratio) sur la RSNM:

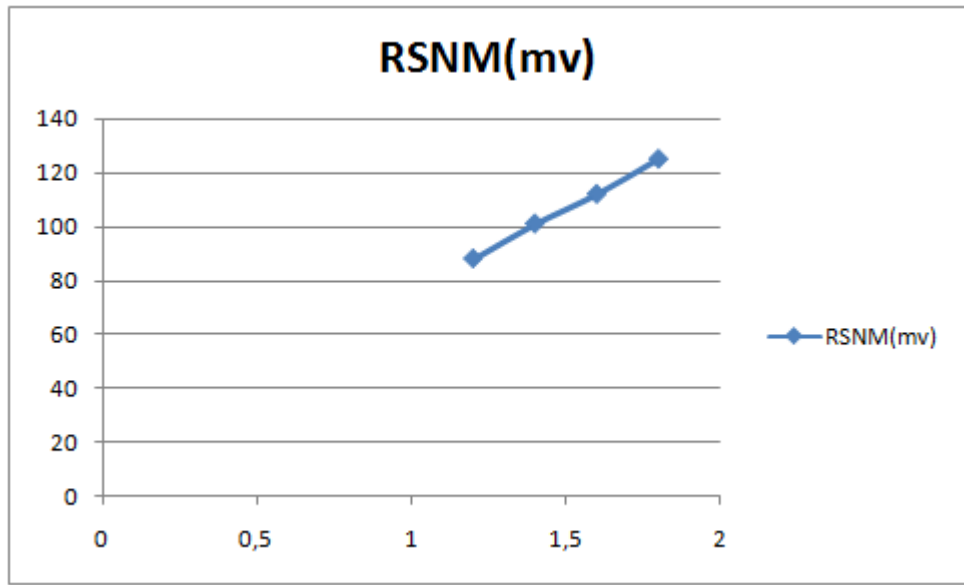


figure 3-14: variation de RSNM en fonction de CR

La figure (3-14) montre la variation de la RSNM en fonction de CR qui est définie par le rapport W_4/W_5 des transistors M_4 et M_5 , on observe que le rapport CR influence la RSNM? elle passe de 125mv à 88mv seulement pour une variation du CR entre 1.2 et 1.8.

3-4-6. WSNM (Write static noise margin):

sur la figure (3-15) nous présentons le circuit test qui permet d'avoir la courbe associée au point mémoire en phase d'écriture (figure 3-16):

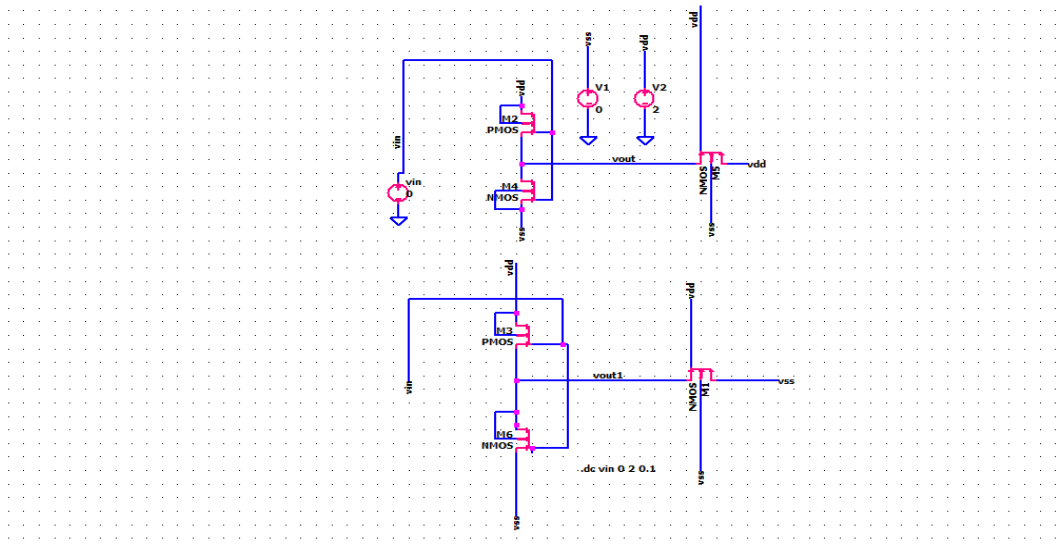


figure 3-15: circuit test bench de la WSNM

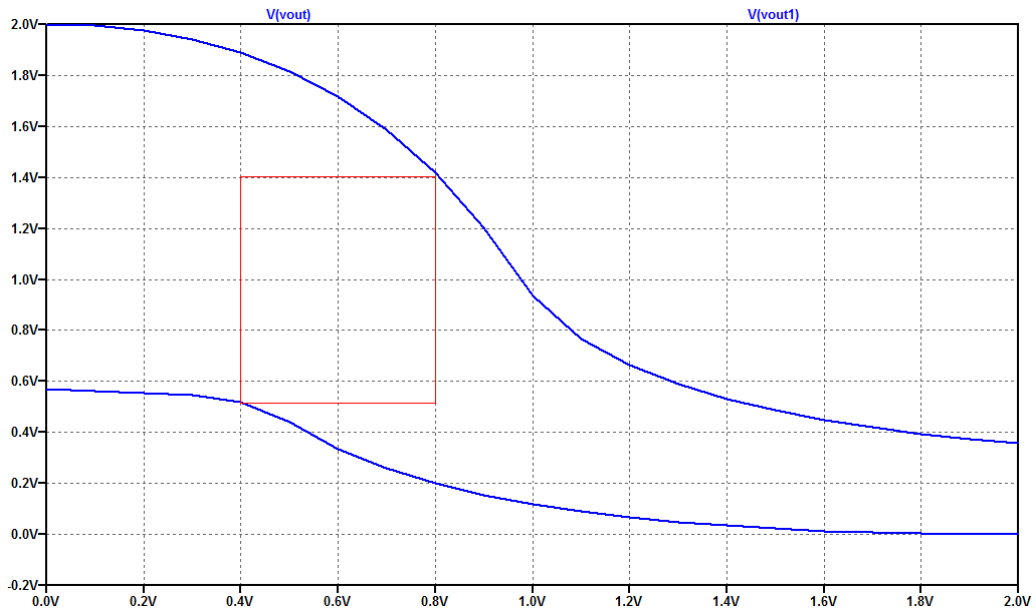


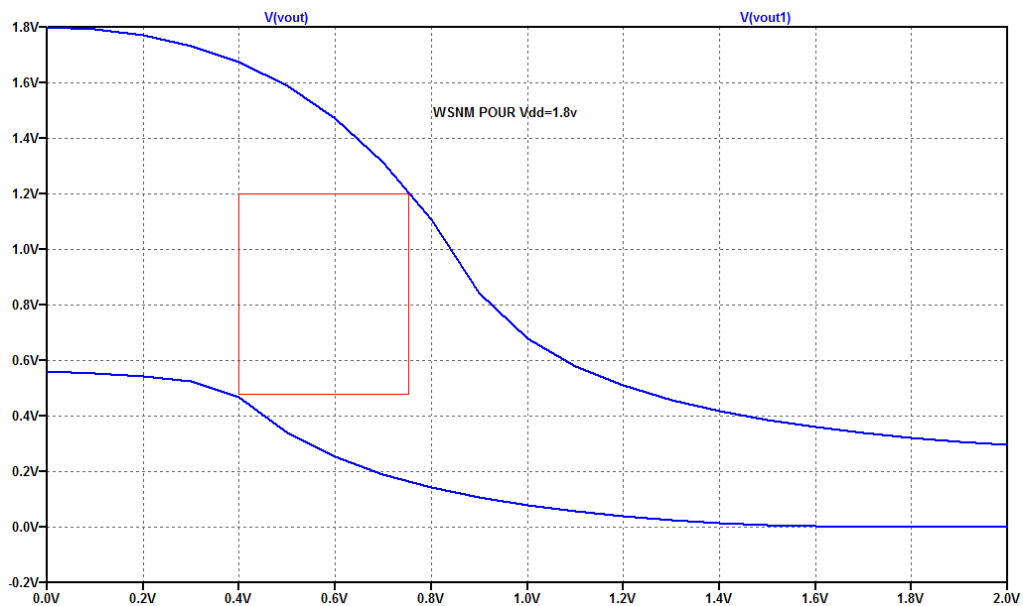
figure 3-16: WSNM de notre cellule à 300T et VDD de 2V.

la marge de bruit statique WSNM est définie comme la plus petite valeur de bitline requise pour pouvoir basculer l'état de la SRAM.

la figure (3-16) montre la courbe de simulation de l'opération d'écriture, sur cette courbe on peut constater la valeur de WSNM pour une alimentation Vdd de 2v qui vaut: 400mv.

3-4-6-1. influence de Vdd sur la WSNM:

sur la figure (3-17) nous présentons la variation de la WSNM en fonction de Vdd



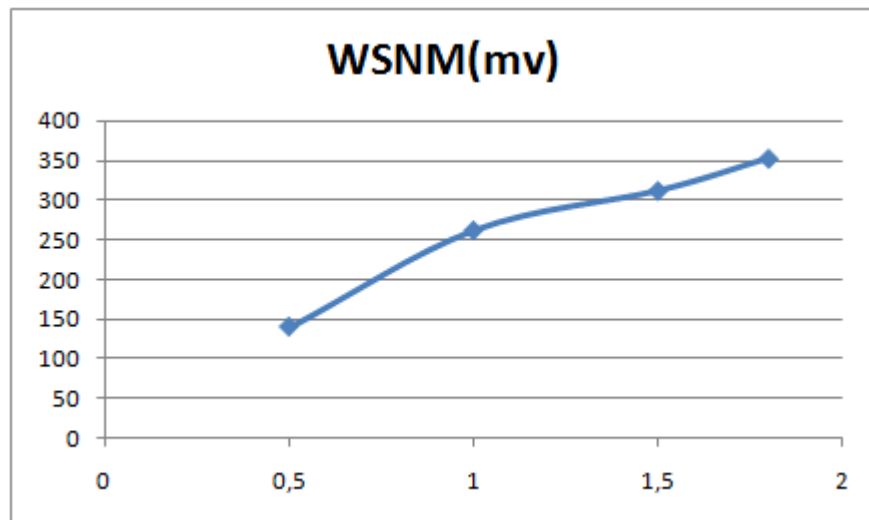
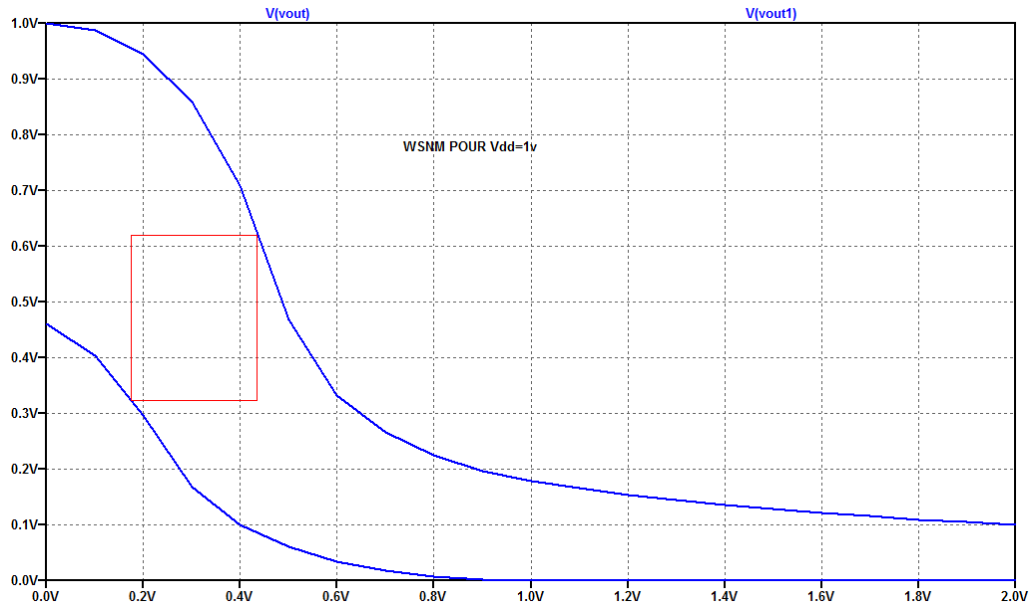


figure 3-17: variation de la WSNM en fonction de Vdd .

A partir de ces courbes on constate que la WSNM diminue fortement si l'alimentation Vdd diminue, la WSNM passe de 140mv à 350mv pour des valeurs de Vdd entre 0.5v et 1.8v.

3-4-6-2. influence de PR sur la WSNM:

L'écriture d'un bit de données dans la cellule mémoire échoue si le nœud mémoire Q ne peut se décharger à travers les transistors d'accès quand le Word line se met à 1. pour réussir cette opération d'écriture il faut choisir un meilleur rapport PR.

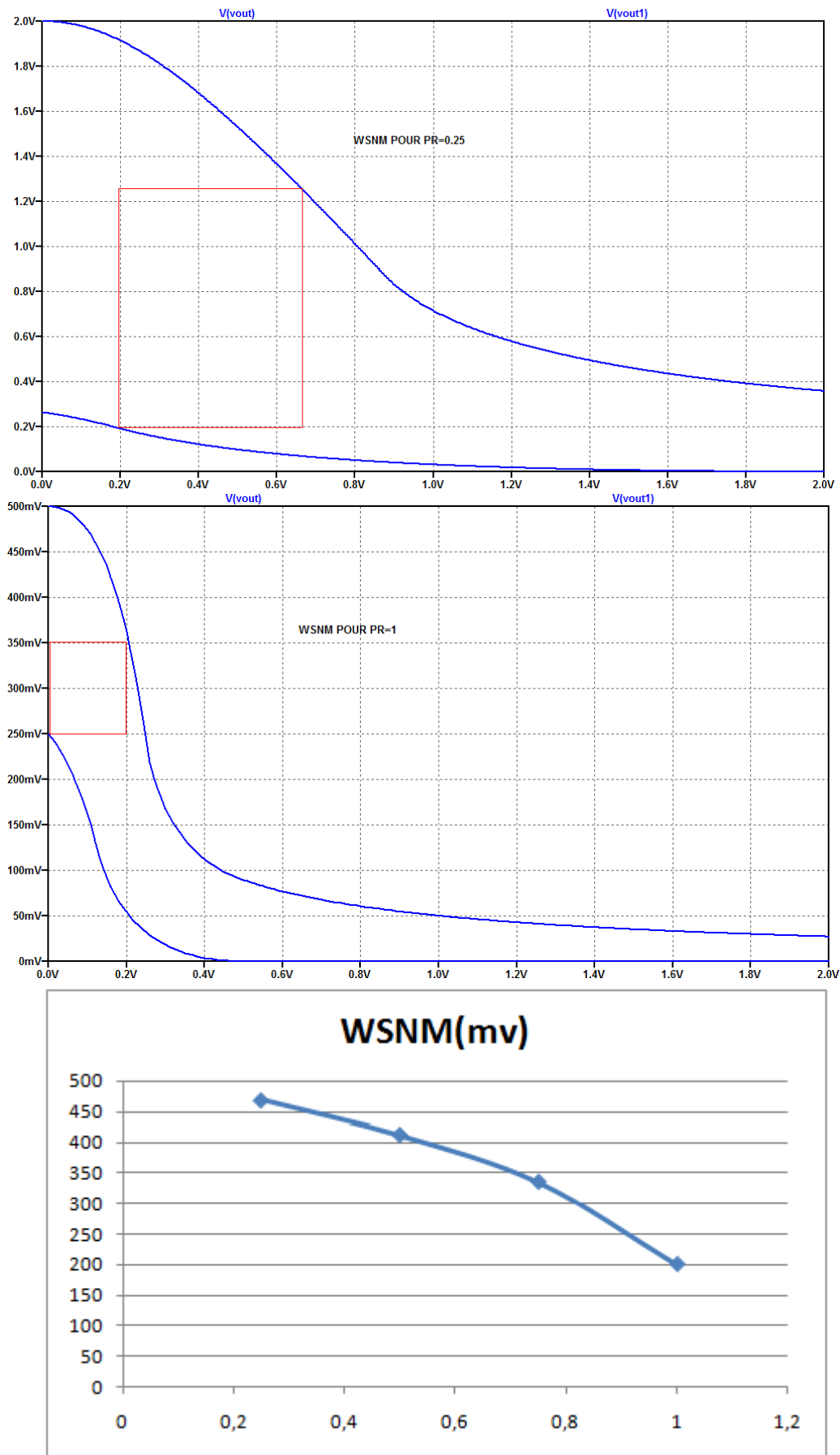


figure 3-18: variation de la WSNM en fonction de PR .

La figure (3-18) montre la variation de la WSNM en fonction du PR (W1/W5) et ce pour une valeur de Vdd de 2v. On remarque que plus W5 est grande devant W1 plus la WSNM est importante et plus la cellule est stable en écriture.

la WSNM passe de 475mv à 200mv pour une variation de PR entre 0.25 et 1.

3-4-7. HSNM (hold static noise margin):

La figure (3-19) montre la courbe en papillon de notre cellule durant la phase de rétention et ce pour une alimentation Vdd de 2v. la HSNM enregistrée est de 420mv.

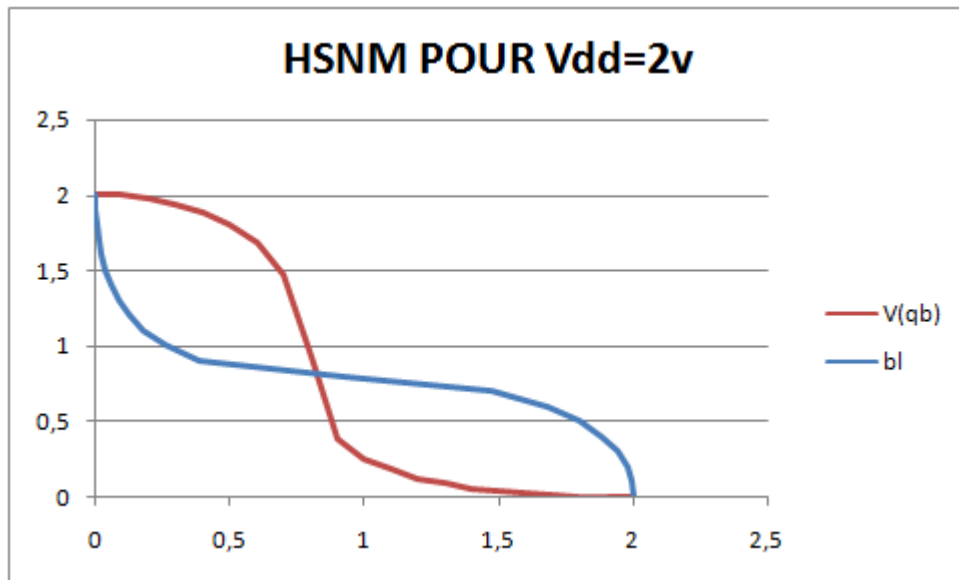


figure 3-19: courbe en papillon de la HSNM

en fin de cette étude nous présentons un tableau récapitulatifs de la simulation de la marge de bruit statique SNM de notre cellule simulée:

Vdd	2v	1.2v
RSNM(mv)	128	78
WSNM(mv)	400	265
HSNM(mv)	420	280

a partir de ce tableau et avec une simple comparaison on peut constater que la valeur la plus petite du SNM est enregistrée en phase de lecture.

3-5. conclusion:

ce chapitre a été consacré à la simulation d'une cellule mémoire statique 6T SRAM avec le logiciel LTspice. un premier test du bon fonctionnement de la cellule choisie est réalisé en phase d'écriture et de rétention, par la suite le fonctionnement de la cellule avec un schéma complet, contenant en plus du nœud mémoire, le circuit précharge et l'amplificateur différentiel a été vérifié. d'autre part et dans une deuxième partie, nous avons étudié la stabilité de la cellule mémoire dans ses trois états de fonctionnement, nous sommes arrivés à conclure que l'état de lecture est le plus critique vis à vis la stabilité puisque il présente la plus faible valeur du SNM.

Conclusion générale:

Ne cessant pas d'évoluer en raison d'une forte demande pour des applications numériques, les technologies accessibles aujourd'hui sont principalement CMOS basse tension. L'intérêt est certain pour des circuits numériques complexes, par laquelle la consommation est d'autant plus faible que la tension d'alimentation baisse.

ce travail a étudié par simulation LTspice le fonctionnement d'une cellule de mémoire statique 6T-SRAM CMOS.

Dans le premier chapitre, nous avons présenté l'état de l'art des différents types de mémoires, ainsi nous avons pu voir leurs fonctionnement, leur classification, et la différence entre elles. Dans le deuxième chapitre, nous avons commencer par une brève description du fonctionnement du transistor MOS, brique de base de la totalité des circuits numériques notamment les mémoires, puis nous avons passé à l'étude de la cellule 6T-SRAM sujet de notre simulation. dans le troisième chapitre nous avons reporté les résultats de la simulation qu'on peut les mettre dans deux partie: premièrement le test du fonctionnement de la cellule de base (noeud de mémorisation) simple, puis le test de la cellule complète, en rajoutant les circuits périphériques. dans ces test nous avons examiné les chronogrammes des différents signaux dans les états d'écriture, de lecture et de rétention. dans la deuxième partie de la simulation nous nous somme intéresser a la stabilité de notre cellule en étudiant la marge de bruit statique SNM et l'influence de quelque paramètres sur ses valeurs, ainsi nous avons étudiés la RSNM, la WSNM, et la HSNM. nous somme arrivé a conclure en comparant ces trois valeur, que la marge de bruit statique présente la plus faible valeur en phase de lecture. une étude approfondie est nécessaire pour interpréter au mieux nos résultats, et ce par une étude comparative de différents types de mémoires statique à nombre de transistors élevé comme la 7T, la 8T et la 9T-SRAM.

Bibliographie

- [1] Mohamed Amine Bounouar/transistors mono-électronique double-grille : Modélisation, conception and évaluation d'architectures logiques/Autre, INSA de Lyon ; université de Sherbrooke (Québec, Canada), 2013. Français.
- [2] Sebastien BERNARD/Mémoire présenté en vue de l'obtention du grade d'ingénieur civil électricien/Etude et comparaison de cellules SRAM dual-port sans assist dynamique/Université catholique de Louvain - Ecole polytechnique de Louvain/Juin 2011
- [3]C.Alexandre, conservatoire national des arts et métiers, polycopié de cours : circuits intégrés numérique et mixte, version provisoire du mercredi 9 avril 2014.
- [4] C.Alexandre, conservatoire national des arts et métiers, polycopié de cours : circuitsintégrés numérique et mixte, version provisoire du lundi 9 janvier 2004.
- [5] D. STANDAROVSKI,' Contribution à la conception de circuits intégrés analogiques en Technologie CMOS basse tension pour application aux instruments d'observation de la Terre',
- [6] Anane Walid, Terranti Lyes, Mémoire de master, Etude et simulation d'une RAM 4x4bits, Université Saad Dahlab de Blida, année 2020-2021.
- [7] Juliano Brahim RAZAFINDRAMORA/thèse de doctorat/ Modélisation et Caractérisation de Transistors MOS appliquées à l'étude de la programmation et du vieillissement de l'oxyde tunnel des mémoires EEPROM/ Université de Provence - Aix-Marseille/2004)
- [8] Mme Baba Ahmed (née Ourrad) Mériem, Thèse de doctorat, Etude de l'Effet de la Température de Transition de Phase sur le Mode de Fonctionnement des FeRAM. Application du Modèle de Landau, L'UNIVERSITE ABOU-BAKR BELKAÏD – TLEMEN, Année Universitaire 2012 ~2013.
- [9] <https://info-4geek.com/what-is-the-difference-between-ram-and-rom/>
- [10] M.bennabi,'Etude et simulation d'un nanomos double grille', Magister électronique, Université de chlef, 2009.
- [11] L'ouvrage "Digital Design and Computer Architecture" de David Harris et Sarah Harris, chapitre 6, section 6.2.
- [12] O.Bonnaud. « Physique des solide, des semi-conducteurs et dispositif », Institut d'électronique et de télécommunication de Reims.
- [13] Collins, Nicolas. Handmade Electronic Music. Edited by Nicolas Collins, 3rd ed, Routledge, 2020,
- [14] <https://www.electronicproducts.com/fundamentals-of-volatile-memory-technologies/#>
- [15] Haugen, P. (2010). A Basic Overview of Commonly Encountered types of Random-Access Memory (RAM). Article ECE332.

- [16] S.M.SZE: "Physics of Semiconductor Devices", John Wiley, New-York, 1981.
- [17] N. Bourahla, Etude et modélisation des effets de canal court dans le transistor NMOSFET',
- [18] J. Kang, J. Chae, and D. Yoon, "DRAM Operation Basics," in Proceedings of the IEEE International Reliability Physics Symposium (IRPS), 2013. [Online]. Available.
- [19] C. J. Mauer, "Fundamentals of DRAM Operation," IBM Journal of Research and Development, vol. 39, no. 1, pp. 22-40, January 1995. [Online]. Available.
- [20] D. STANDAROVSKI, 'Contribution à la conception de circuits intégrés analogiques en Technologie CMOS basse tension pour application aux instruments d'observation de la Terre', Doctorat électronique, institut national polytech de Toulouse, 2005.
- [21] E. Harari, L. Schmitz, B. Troutman, S. Wang, Non-Volatile Static RAM, IEEE ISSCC Dig. Tech. Pap., pp.108, 1978.
- [22] Abhishek Kumar, "SRAM Cell Design with minimum number of Transistor" Proceedings of 2014 RA ECS UIET Panjab University Chandigarh, 06 - 08 March, 2014.
- [23] P.E. Allen; Analog Integrated Circuit Design - II; Lecture 190 – Cascode Op Amps; 2002
- [24] Alexandre Subirats. Caractérisation et modélisation de la fiabilité relative au piégeage dans des transistors d'écananométriques et des mémoires SRAM en technologie FDSOI. Micro et nanotechnologies/Microélectronique. Université Grenoble Alpes, 2015. Français. .
- [25] O. Bonnaud. « Physique des solides, des semi-conducteurs et dispositifs », Institut d'électronique et de télécommunication de Reims.
- [26] S. Baccar, T. Levi, D. Dallet, Etude de la validité d'un macro modèle industriel SPICE d'un amplificateur opérationnel pour une simulation en hautes températures; conference paper, June 2012
- [27] Kahng, Dawon, "Electric field controlled Semiconductor Device U.S. Patent. 3,102,230 (Filed 31 May 1960, issued August 27, 1963).
- [28] O. Simonetti « Influence de la quantification en énergie des porteurs sur la modélisation et la caractérisation électriques des structures MOS à oxyde de grille ultra mince ». Thèse de doctorat. Université de Reims. 2003.
- [29] Hervé Fanet, 'Micro et nano-électronique : Bases Circuits', Edition Dunod, 2006
- [30] Cyril Fokam MAMO, 'Réalisation et simulation d'un modèle rapide d'Amplificateur Opérationnel en technologie CMOS', Afrique SCIENCE 07(1) (2011) 11 - 20
- [30] T. SKOTNICKI "Circuits intégrés CMOS sur silicium" techniques de l'ingénieur, E2432, 199

- [31] International Journal of Modern Engineering Research (IJMER) Vol.2, Issue.3, May-June2012 pp-733-741.
- [32] Radha Madhuri.Rajulapati, Naseema.Sheik / International Journal of Engineering Research and Applications (IJERA)/ Vol. 2, Issue 3, May-Jun 2012, pp.3159-3165.
- [33] Article en : <https://www.researchgate.net/publication/278645313>.
- [34] A. Kumar, Huifang Qin, P. Ishwar, J. Rabaey, and K. Ramchandran. Fundamental data retention limits in SRAM standby experimental results. In Quality Electronic Design, 2008. ISQED 2008. 9th International Symposium on, pages 92–97, San Jose, CA, March 2008.
- [35] Zhiyu Liu; Kursun, V "High Read Stability and Low Leakage Cache Memory Cell," Circuits and System, 2007. ISCAS 2007. IEEE International Symposium on, vol., no. pp.2774-2777, 27-30 May 2007.
- [36] Sung-Mo Kang, Yusuf Leblebici, CMOS Digital Integrated Circuits, McGraw-Hill Companies, Inc., New York, 2003.
- [37] Anusha Bhat ; Anusha Kalasur/Design and Analysis of 1-Bit SRAM/International Journal of Engineering Research & Technology (IJERT) /ISSN: 2278-0181/Vol. 9 Issue 09, September-2020.
- [38] Nirali K. Khokhara, Bharat H. Nagpapa, "Comparative Analysis of 1 Bit SRAM using different SRAM Cell in 45nm CMOS Technology", International Journal of Innovative Research in Computer and Communication Engineering (IJIRCCE), Vol. 5, Issue 1, January 2017.
- [39] Preeti S Bellerimath, R. M Banakar, "Implementation of 16x16 SRAM Memory Array using 180nm Technology", International Journal of Current Engineering and Technology (IJCET), September 2013.
- [40]K. Sreevani, Sankara Reddy, "Design and Analysis of 1KB 6T SRAM cell in deep submicron cmos technologies", IJETTS, Vol. 5, Issue 3, September 2015-

RESUME

RESUME

Dans ce mémoire, on a présenté l'étude et la simulation d'une cellule mémoire statique SRAM 6T en utilisant le logiciel LTSPICE.

premièrement le test du fonctionnement de la cellule de base (nœud de mémorisation) simple, ainsi que le test de la cellule complète, en rajoutant les circuits périphériques, ont été vérifiés. dans ces test nous avons examiné les chronogrammes des différents signaux dans les états d'écriture, de lecture et de rétention. dans la deuxième partie de la simulation nous nous somme intéresser a la stabilité de notre cellule en étudiant la marge de bruit statique SNM et l'influence de quelque paramètres sur ses valeurs, ainsi nous avons étudiés la RSNM, la WSNM, et la HSNM. nous somme arrivé a conclure en comparant ces trois valeur, que la marge de bruit statique présente la plus faible valeur en phase de lecture.

MOTS CLES: CMOS, 6T SRAM, SNM, LTSPICE.

ABSTRACT :

In this thesis, we presented the study and simulation of a 6T static random-access memory (SRAM) cell using LTSPICE software.

Firstly, we tested the functionality of the basic memory node, as well as the complete cell with the addition of peripheral circuits. In these tests, we examined the timing diagrams of different signals in the write, read, and retention states. In the second part of the simulation, we focused on the stability of our cell by studying the static noise margin (SNM) and the influence of various parameters on its values. Specifically, we investigated RSNM, WSNM, and HSNM. By comparing these three values, we concluded that the static noise margin has the lowest value during the read phase.

KEYWORDS: CMOS, 6T SRAM, SNM, LTSPICE.