

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE
MINISTERE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA RECHERCHE SCIENTIFIQUE
UNIVERSITE MOHAMED BOUDIAF - M'SILA

FACULTE DE TECHNOLOGIE
DEPARTEMENT
D'ELECTRONIQUE

N°



DOMAINE : SCIENCE ET TECHNOLOGIE

FILIERE : ELECTRONIQUE

OPTION : INSTRUMENTATION

Mémoire présenté pour l'obtention
Du diplôme de Master Académique

Présenté par:

GARDAN SAMEH HARBAN NASHER & FAID SABER

Thème

ETUDE ET SIMULATION D'UN
ECHANTILLONNEUR/BLOQUEUR EN
TECHNOLOGIE CMOS PAR LTSPICE

Soutenu devant le jury composé de :

Mr : F.SAADA KHALKHAL	Université de M'sila	Président
	Université de M'sila	Encadreur
	Université de M'sila	Examineur
	Université de M'sila	Examineur

Année universitaire : 2019 /2020

Dédicace :

بسم الله الرحمن الرحيم

قل اعملوا فسيرى الله عملكم ورسوله و المؤمنون

الهي لا يطيب الليل الا بشرك ولا يطيب النهار الا بطاعتك.. ولا تطيب اللحظات الا بذكرك .. ولا تطيب الاخرة الا بعفوك .. ولا تطيب الجنة الا برويتك

الله جل جلاله

الى من بلغ الرسالة وادى الأمانة .. و نصح الامة .. الى نبي الرحمة و نور العالمين

سيدنا محمد صلى الله عليه وسلم

الى من كلله الله بالهيبة والوقار .. الى من علمني العطاء بدون انتظار .. الى من احمل اسمه بكل افتخار .. اجو من الله ان يمد في عمرك لترى ثمارا قد حان قطافها بعد طول انتظار و ستبقى كلماتك نجوما اهتدي بها اليوم و غدا و الى الابد

والدي العزيز الغالي

الي ملاكي في الحياة .. الى معنى الحب و الحنان و التفاني ... الى بسملة الحياه و سر الوجود .. الى من كان دعائها سر نجاحي و حنانها بلسم جراحي .. الى اغلى الحبايب

امي الحبيبة

الى روح الاخي و توامي الذي فارق الحياة و فارقنا دون وداع .. اسئل الله ان يجمعنا بك في جنة النعيم رحمة الله عليك

اخي بشار رحمة الله عليه

الى من رافقوني منذ نعومة اظفاري و معكم سرت درب الحياة خطوة بخطوة و مازلت ترافقوني حتى الان .. الى شموع منيرة تنير ظلمة حياتي

اخوتي و اخواتي حفظهم الله و رعاهم

الى الاخوة و الاخوات .. الى من تحلو بالاخاء و تميزوا بالوفاء و العطاء .. الى ينابيع الصدق الصافي .. الى من سعدت معهم و برفقتهم سرت في دروب الحياة الحلوة و المرة الى من كانوا معي على طريق النجاح و الخير .. الى من عرفت كيف اجدهم و علموني الا اضيعهم

اصدقائي

Saber faid

Dédicace :

c'est grâce à Allah seul que j'ai pu achever ce travail.

Je le dédie à :

. A mon père HARBAN NASHER GARDAN

Grace à toi j'ai pu aller à l'université. En guise de reconnaissance, trouve mon amour filial.

Ma réussite est la tienne ! Qu'Allah t'accorde longue vie dans la santé !

. A ma mère SALIHA AHSAN ALQAMADI

Par les inestimables sacrifices que tu as consentis pour moi, tu as tant souhaité que je parvienne à ce but.

Je te serai reconnaissant toute ma vie, qu'Allah t'accorde longue vie dans la santé !

. A vous mes frères et mes sœurs

J'ai hâte de vous revoir !

. Aux autres membres de ma famille

. A tous mes amis(se) et collègues...

A tous les enseignants au département d'Electronique.

*A tous les amis d'études surtout ceux d'électronique promotion
*2020**

Sameh Harban Nasher Gardan

Remerciements

*Nos remerciements vont tout premièrement à Allah tout-puissant pour la volonté, la santé et la patience, qu'il nous a donnée durât toutes ces longues années. Nous tient également à exprimer nos sincères remerciements à notre rapporteur **Mr : F.SAADA KHALKHAL**, de nous avoir permis de bénéficier de son grand savoir dans la matière, pour sa disponibilité, sa pédagogie, ses compétences, sa modestie et son aide précieux tout au long de ce projet même pendant les moments les plus difficiles. Vraiment merci pour une qualité d'encadrement si sérieuse et si consistante...*

*Je tiens à exprimer mes plus vifs remerciements envers, **BOUCHAREB MOURAD** l'étudiant dans la promotion d'électronique 2019*

Nous exprimons nos profonds remerciements à monsieur le président d'être la tête de ce jury. Nous remercions également tous les membres de jury, qui nous ont fait l'honneur d'être présents ce jour.

Nous remercions tous les enseignants de département d'Électronique et les personnels administratifs et techniques, qui ont contribué de près ou de loin à notre formation durant ces cinq années.

*Nous tenons à remercier tout particulièrement ceux qui sont très chers : nos mères et nos pères
Que la paix d'Allah soit toujours avec vous*

Résumé

Dans ce mémoire et à partir des spécifications nécessaires, nous avons étudié un Amplificateur opérationnel Folded Cascode en technologie CMOS. Le logiciel LTspice nous a permis de créer un macro model de notre AOP et de l'utiliser comme élément de base d'E/B. Le travail mené dans ce mémoire est divisé en deux parties :

Dans une première partie, nous présentons les spécifications de l'amplificateur de type Folded Cascode CMOS, ainsi nous avons étudié l'analyse DC, l'analyse AC, l'ICMR, le CMRR, le PSRR et le Slew Rate. Une étude approfondie est ensuite consacrée au circuit échantillonneur bloqueur (E/B) car cette fonction est limitante des performances des chaînes de traitement analogique du signal. Les commutateurs analogiques dans les circuits d'échantillonnage sont à l'origine d'une erreur prédominante qui introduit une non linéarité dans le fonctionnement général de l'E/B en raison des phénomènes d'injection de charges lors des commutations. Nous démontrons que cette erreur est minimisée par le choix de certaines architectures d'E/B par l'utilisation de porte de transmission ou de transistors fantômes.

Mots clés : technologie CMOS, Folded Cascode, échantillonneurs bloqueurs, LTspice.

Table des matières

Introduction Générale	1
-----------------------------	---

Chapitre 1 : Les amplificateurs opérationnels CMOS

I.1. Introduction	3
I.2. Architecture d'un amplificateur opérationnel	3
I.2.1. Étage d'alimentation	4
I.2.1.1. Le miroir de courant simple	4
I.2.2. Le miroir de courant Wilson	6
I.2.2.1. Principe	6
I.2.2.2. Miroir de courant Wilson amélioré	7
I.2.3. Les miroirs de courant cascode	8
I.2.3.1. Cascode simple	8
I.3. La paire différentielle	9
I.3.1. La paire différentielle simple	9
I.3.1.1. La transconductance en DC	11
I.3.1.2. La transconductance en AC	12
I.3.2. La paire différentielle cascode	13
I.4. Etage de gain	14
I.4.1. Etage de gain simple	14
I.4.2. Etage de gain de circuit cascode	16
I.5. Les Amplificateurs opérationnels CMOS	17
I.5.1. Amplificateur CMOS à deux étages simple	17
I.5.2. Amplificateur à Deux étages dont un cascodé	18
I.5.3. Amplificateur Operationel Folded cascade	19
I.6. Conclusion	20

Chapitre 2 : Présentation des Echantillonneurs Bloqueurs

II.1. Introduction.....	21
II.1.1. Échantillonnage.....	21
II.1.2. Échantillonneur-bloqueur	21
II.2. Principe de fonctionnement d'un circuit S/H	22
II.3. Paramètres caractéristiques et limitants des circuits E/B	23
II.3.1. Représentation graphique des non-idéalités du circuit E/B.....	23
II.3.2. Grandeurs Temporelles	24
a) Temps d'acquisition en mode d'échantillonnage (Acquisition Time)	24
b) Temps de retard entre mode d'échantillonnage et mode de maintien	27
c) Temps d'établissement en mode de maintien	28
II.4. Le commutateur analogique	28
II.4.1. Présentation de l'interrupteur analogique	28
II.4.2. Le phénomène d'injection de charges	30
II.4.3. Le phénomène de clock-feedthrough	31
II.4.4. Amélioration des performances d'un interrupteur analogique	31
II.4.4.1. L'utilisation de « dummy » ou transistor fantôme	32
II.4.4.2. Le Bottom-plate sampling	33
II.4.4.3. La porte de transmission (ou porte CMOS)	33
II.5. Les circuits échantillonneur bloqueur E/B	34
II.5.1. Configuration en boucle ouverte du circuit E/B	34
II.5.2. Configuration en boucle fermé du circuit E/B	35

II.5.3. Circuit E/B à capacité commutée	36
II.5.4. Circuit E/B à capacité commutée et sortie intégratrice	37
II.6. Conclusion	38

Chapitre3: Simulation d'un Echantillonneur bloqueur CMOS par

LTspice

III.1. Introduction	39
III.2. Conception d'un amplificateur opérationnel CMOS à deux étages.....	39
III.2.1. Schéma électrique.....	39
III.2.2. Principales étapes de conception	40
III.3. Résultat de la simulation.....	40
III.3.1. Point de fonctionnement OP.....	40
III.3.2. La réponse en fréquence (étude AC).....	41
III.3.3. Analyse temporelle (transient simulation).....	42
III.3.4. Test de ICMR (input common mode range)	42
III.3.5. Test de Slew Rate	43
III.3.6. Test du PSRR ((Power Supply Rejection Ratio).....	44
III.3.7. Taux de rejection de mode commun CMRR (Common Mode Rejection Ratio).....	46
III.3.8. Courbe du bruit.....	47
III.4. Etude d'un échantillonneur bloqueur CMOS.....	47
III.4.1. La configuration de base.....	47
III.4.2. Configuration de base à grille CMOS	49
III.4.3. Configuration de base de type Dummy Switch.....	50

III.4.4. Echantillonneur bloqueur en boucle ouverte.....	52
III.4.5. Echantillonneur bloqueur en boucle fermée.....	53
III.5. Conclusion	55
Conclusion générale	56
Bibliographie.....	57

List des abréviations

1. . **AOP** - amplificateur opérationnel.
2. . **CMOS** - Complementary métal oxide semi-conducteur.
3. . **DB** - Decibel
4. . **G** - Grille.
5. . **D** - Drain.
6. . **S** - Source.
7. . **K'** - parameter de transconductance
(process transconductance parameter).
8. . **W** - Largeur de transistor (Transistor width).
9. . **L** - Longueur transistor (length).
10. . **C_{ox}** - Capacité d'oxide de grille.
11. . **U** - Mobilité d'électrons.
12. . **C_{mrr}** - Common mode rejection ratio
(le taux de rejection de mode commun).
13. . **GBW** - Produit Gain Bande Passante (Gain band-width).
14. . **PM** -la marge de phase (Phase marginal).
15. . **A_v** - DC gain.
16. . **Cl** - capacité de charge (Load capacitor).
17. . **PSRR** - Taux de réjection du bruit d'alimentation
(power supply rejection ratio).
18. . **IA** - amplificateur d'instrumentation.
19. . **C_c** - capacité de compensation.

Liste des symboles

1. V_{in} –tension d'entrée
2. V_{out} –tension de sortie
3. M -le nom du transistor
4. I –le courant statique
5. V_{min} –la tension minimal
6. P_{diss} –la puissance dissipée
7. A_v –le gain
8. V_{th} –la tension de seuil
9. λ_n - coefficient de modification de largeur
10. λ_p - coefficient de modification de largeur
11. E_g -énergie de gap
12. E_c -énergie de la bande de conduction
13. E_i -énergie de la bande interdite

Liste des figures

Figure I.1 : <i>Architecture d'un amplificateur opérationnel</i>	3
Figure I.2 : <i>Miroir de courant simple</i>	4
Figure I.3 : <i>Schéma petit signal du miroir de courant simple</i>	5
Figure I.4 : <i>Miroir de courant Wilson</i>	6
Figure I.5 : <i>Miroir de courant Wilson amélioré</i>	7
Figure I.6 : <i>Miroir de courant cascode simple</i>	8
Figure I.7 : <i>Cellule différentielle à base du CMOS</i>	9
Figure I.8 : <i>Les courants drain de sortie de la paire de sources couplées en fonction de la tension d'entrée ΔV</i>	10
Figure I.9 : <i>La différence entre les courants de sortie de la paire de sources couplées en fonction de la variation de la tension d'entrée ΔV</i>	11
Figure I.10 : <i>Le modèle petit signal équivalent d'une cellule différentielle simple</i>	21
Figure I.11. <i>amplificateur diff cascode a) et b) son demi circuit</i>	13
Figure I.12 : <i>Etage de gain simple CMOS</i>	14
Figure I.13 : <i>Etage de gain cascodé CMOS</i>	16
Figure I.14 : <i>Amplificateur à deux étages</i>	18
Figure I.15 : <i>Amplificateur Folded cascode</i>	19
Figure II.1 : <i>Circuit d'un échantillonneur-bloqueur idéal</i>	22
Figure II.2 : <i>Représentation graphique des signaux d'entrée et de sortie des circuits E/B</i>	24
Figure II.3 : <i>Modélisation du circuit équivalent simplifié de l'E/B en mode échantillonnage</i>	25
Figure II.4 : <i>Temps d'acquisition en mode échantillonnage</i>	25
Figure II.5 : <i>Modélisation du temps fini de basculement de l'horloge sur la grille du commutateur analogique</i>	27
Figure II.6 : <i>Interrupteur analogique NMOS</i>	29
Figure II.7 : <i>Représentation a) de la conductance et b) de la résistance d'accès d'un interrupteur NMOS</i>	29
Figure II.8 : <i>Représentation de l'injection de charges lorsque l'on éteint l'interrupteur</i>	30
Figure II.9 : <i>Clock-feedthrough dans un circuit d'échantillonnage</i>	31
Figure II.10 : <i>Principe du transistor fantôme</i>	32
Figure II.11. <i>Principe du bottom-plate sampling</i>	33
Figure II.12 : <i>Porte de transmission</i>	33
Figure II.13 : <i>Variation de la résistance d'accès d'une porte de transmission</i>	34
Figure II.14 : <i>configuration en boucle ouverte E/B</i>	34
Figure II.15 <i>configuration en boucle fermée E/B</i>	35
Figure II.16 : <i>Schéma de principe du circuit E/B à capacité commutée</i>	36
Figure II.17 : <i>Schéma de principe du circuit E/B à capacité commutée et sortie intégratrice</i>	37
Figure III.1 : <i>L'amplificateur folded cascode étudié</i>	39
Figure III.2 : <i>La réponse en fréquence : courbe de gain et courbe de phase</i>	41
Figure III.3 : <i>Schéma de l'analyse temporelle de l'AOP</i>	42
Figure III.4 : <i>Circuit test de L'ICM</i>	43
Figure III.5 : <i>Courbe de l'ICMR</i>	43
Figure III.6 : <i>Fonction échelon à l'entrée</i>	44
Figure III.7 : <i>La réponse en sortie</i>	44

Figure III.8 : <i>Circuit test de PSRR</i>	45
Figure III.9 : <i>Courbes du PSRR+ et PSRR</i>	45
Figure III.10 : <i>Circuit test de CMRR</i>	46
Figure III.11. <i>simulation de CMRR</i>	46
Figure III.12 : <i>Courbe du bruit en sortie</i>	47
Figure III.13 : <i>E/B : circuit de base</i>	48
Figure III.14 : <i>E/B : courbe d'entrée et de sortie de l'E/B de base</i>	48
Figure III.15 : <i>Configuration à grille CMOS</i>	49
Figure III.16 : <i>Courbe d'entrée et de sortie de l'E/B de base CMOS</i>	50
Figure III.17 : <i>Configuration de type Dummy Switch</i>	51
Figure III.18 : <i>Courbe d'entrée et de sortie de l'E/B à configuration Dummy</i>	51
Figure III.19 : <i>comparaison entre les trois types d'E/B de base</i>	52
Figure III.20 : <i>échantillonneur bloqueur en boucle ouverte</i>	52
Figure. III.21 : <i>Courbe d'entrée et de sortie de l'E/B en boucle ouverte</i>	53
Figure. III.22 <i>Échantillonneur bloqueur en boucle fermée</i>	54
Figure III.23 <i>E/B : courbe d'entrée et de sortie de l'E/B en boucle fermée</i>	54

INTRODUCTION GENERALE

L'évolution rapide des technologies CMOS peut être principalement quantifiée à l'aide de deux paramètres : la longueur de grille minimale et la tension d'alimentation maximale applicable.

D'un point de vue prospectif, les principales technologies utilisées aujourd'hui pour la conception de circuits intégrés CMOS submicroniques sont principalement dédiées pour la réalisation de circuits numériques complexes[1]. Dans le cas des circuits intégrés analogiques, la réduction de la tension d'alimentation des circuits impose d'importantes modifications conceptuelles dans la topologie des circuits : des grandeurs caractéristiques telles que la dynamique de sortie, la linéarité, le gain et même la rapidité sont intrinsèquement liées et souvent limitées par la réduction de la tension d'alimentation. De plus, ces technologies ne sont généralement accessibles qu'aux industriels produisant des circuits intégrés en grande quantité.

Durant ces dernières années, beaucoup d'efforts ont été consacrés à la réduction de la tension d'alimentation et à la réduction de la consommation des systèmes CMOS mixtes analogiques/numériques. Cela est dû principalement à la croissance de l'utilisation des systèmes portables alimentés par des batteries, mais provient aussi de la réduction de la taille des circuits intégrés. Les conséquences de ces réductions sont différentes selon la nature des circuits. Les circuits intégrés analogiques à basse tension d'alimentation et à faible consommation avec de bonnes fonctionnalités sont très difficiles à réaliser. Par exemple, la dynamique de sortie d'un amplificateur opérationnel diminue substantiellement en réduisant la tension d'alimentation [2]. Par ailleurs, les circuits intégrés analogiques ne peuvent pas être conçus en utilisant des tailles minimales des transistors, pour des raisons de gain de l'amplificateur, offset, bruit, etc. La surface de la partie analogique ne peut donc pas être réduite radicalement avec la minimisation des tailles des fonctions à réaliser.

Bien que plusieurs parties analogiques puissent être remplacées par des parties numériques, la nécessité des circuits analogiques reste assez importante. L'échantillonneur-bloqueur est un dispositif central des systèmes de conversion analogique numérique. Son utilisation dans des domaines d'applications sensibles comme le domaine biomédical place des exigences élevées sur la performance de l'échantillonneur.

L'opération d'échantillonnage est typiquement obtenue grâce à un circuit d'échantillonneur bloqueur E/B qui, peut être un circuit discret (bloc indépendant) ou intégré dans un circuit de convertisseur analogique numérique ADC. La technologie CMOS offre à la fois un déficit et une opportunité dans la conception des échantillonneurs bloqueurs rapide [3]. Le majeur déficit est rencontré dans la limite de vitesse et des problèmes de linéarité particulièrement dans le fonctionnement faible puissance.

Le but de notre travail dans ce mémoire est l'étude par simulation des différentes configurations d'échantillonneurs bloqueurs conçus dans la technologie CMOS.

Dans le premier chapitre nous avons étudié les différents blocs compositeurs des amplificateurs opérationnels intégrés, nous avons commencer donc par l'étage d'alimentation dont l'étude était détaillé sur les sources de courants CMOS, par la suite nous avons présenté l'étage d'entrée différentiel ainsi que l'étage de sortie. En fin de ce chapitre nous avons décrit brièvement deux type d'AOP à savoir l'amplificateur a deux étages et l'amplificateur opérationnel Folded cascode.

Dans le deuxième chapitre l'étude est portée sur les échantillonneurs bloqueurs basés sur les AOP CMOS. Nous avons commencer par définir les caractéristiques générales des E/B, est passé par la suite à l'étude des interrupteur de type MOS et finir par la présentation des différentes configurations des échantillonneurs bloqueurs.

Dans le troisième chapitre nous avons présenté nos résultats de simulation sous LTSPICE des différentes topologies d'E/B a base d'amplificateur à deux étages CMOS.

En fin nous avons terminé notre étude par une conclusion générale.

CHAPITRE I

LES AMPLIFICATEURS OPERATIONNELS CMOS

1. Introduction

Un amplificateur opérationnel encore appelé (ampli op, AO, AOP, ALI) est un amplificateur différentiel, c'est-à-dire un amplificateur qui amplifie une différence de potentiel électrique présente à ses entrées. Il a été initialement conçu pour effectuer des opérations mathématiques dans les calculs analogiques, il permettait de modéliser les opérations mathématiques de base. Par la suite, l'amplificateur opérationnel est utilisé dans bien d'autres applications tels que la commande des moteurs, la régulation de tension, les sources de courants ou encore les oscillateurs. [4]

Un amplificateur opérationnel en technologie CMOS dispose généralement de deux entrées, deux broches d'alimentation, et une sortie. L'entrée notée + est dite non inverseuse tandis que l'entrée notée - est dite inverseuse, ceci en raison de leur rôle respectif dans les relations entrées/sorties de l'amplificateur.

Un amplificateur opérationnel CMOS se compose d'un circuit de polarisation, d'un amplificateur différentiel et d'un étage de gain en tension, dans le présent chapitre nous allons voir en détails les blocs de base de l'amplificateur intégrés.

2. Architecture d'un amplificateur opérationnel.

Le schéma général d'un amplificateur opérationnel est plus ou moins celui indiqué Figure 1.1. Il comporte en entrée un étage différentiel puis un étage de gain élevé et enfin un étage de sortie capable de délivrer un courant important. Il faut y ajouter un circuit de compensation et les circuits nécessaires pour générer les tensions et les courants de polarisation.

Deux structures classiques seront détaillées : l'amplificateur à deux étages et le « folded » cascode.

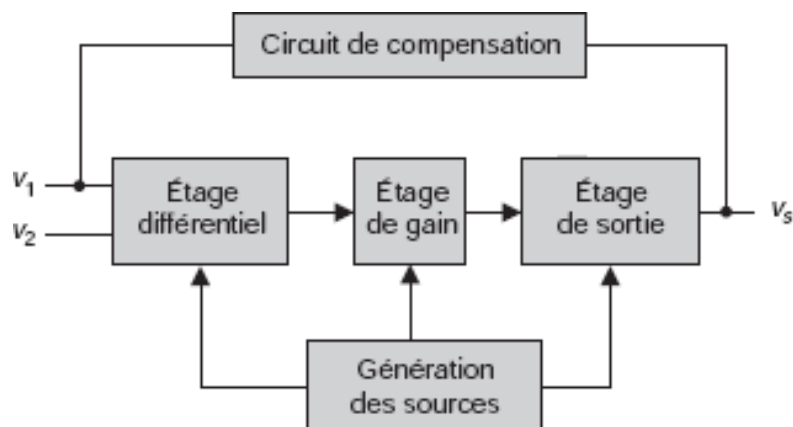


Figure 1.1. Architecture d'un amplificateur opérationnel. [5]

2.1. Étage d'alimentation

Le miroir de courant, qui est l'une des cellules de base des circuits intégrés analogiques doit satisfaire les caractéristiques :[6]

- Un facteur de copie en courant précis et constant,
- Une plage en tension admissible en sortie la plus large possible,
- Une faible résistance dynamique d'entrée r_{in} ,
- Une faible conductance dynamique en sortie du miroir $g_{out}=1/r_{out}$, afin de rendre la copie en courant indépendante des conditions de la tension de polarisation du noeud de sortie,
- Une réponse en fréquence élevée du courant de court-circuit en sortie.

2.1.1 Le miroir de courant simple

Le miroir de courant simple est présenté en figure 1.2. Le transistor Q_1 est câblé en «transdiode» et opère donc en zone de saturation car $V_{DS}=V_{GS} > (V_{GS}-V_{th})$.

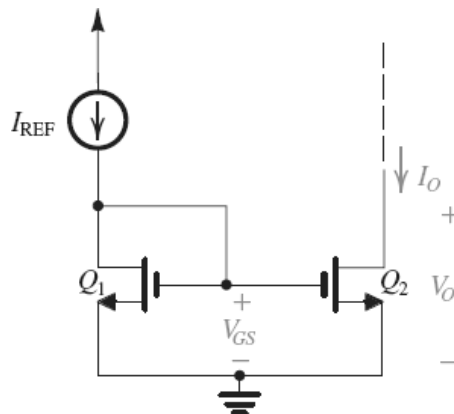


Figure 1.2.: Miroir de courant simple [7]

Afin d'assurer une recopie en courant fidèle, le transistor Q_2 doit aussi opérer en zone de saturation, d'où l'expression du transfert en courant du miroir :

$$\frac{I_{out}}{I_{in}} = \frac{(W/L)_2}{(W/L)_1} \frac{1 + \lambda_2 V_{DS2}}{1 + \lambda_1 V_{DS1}} \quad (I-1)$$

Ou :

$$I_{in} = I_{REF}$$

λ_1, λ_2 représentent le coefficient de modulation de la longueur de canal [V^{-1}]

W : largeur du canal [μm]

L : longueur du canal [μm]

En prenant en compte la modulation de la longueur du canal, le transfert en courant est dépendant des tensions de polarisation des noeuds d'entrée et de sortie du miroir (termes $\lambda_1 V_{DS1}$ et $\lambda_2 V_{DS2}$) et introduit une non-linéarité en fonction de la tension de sortie V_{DS2} . Le miroir de courant classique présente la plage de tension admissible en sortie la plus grande possible (seulement limitée par la nécessaire polarisation du transistor Q_2 en zone de saturation) $V_{OUT} > V_{DSsat2}$, mais au détriment de la linéarité du transfert en courant et avec une valeur relativement élevée de la conductance de sortie du miroir. Nous devons remarquer que la résistance dynamique « vue » par la grille de Q_2 est relativement faible ($1/g_{m1}$), ce qui fait que Q_2 est proche, en régime dynamique petit signal, d'une « attaque » en tension. De cette considération, il en résulte l'expression de la conductance de sortie :

$$g_{out} = g_{DS2} = \lambda_2 I_{D2} \quad (I-2)$$

La figure 1.3 présente le schéma équivalent petit signal du miroir de courant simple. En régime petit signal, le transistor Q_1 câblé en transdiode, présente, grâce à la contre réaction parallèle entre drain et grille, une forte valeur de conductance dynamique ($g_{m1} + g_{DS1}$). Cette conductance est « vue » par la grille de Q_2 .

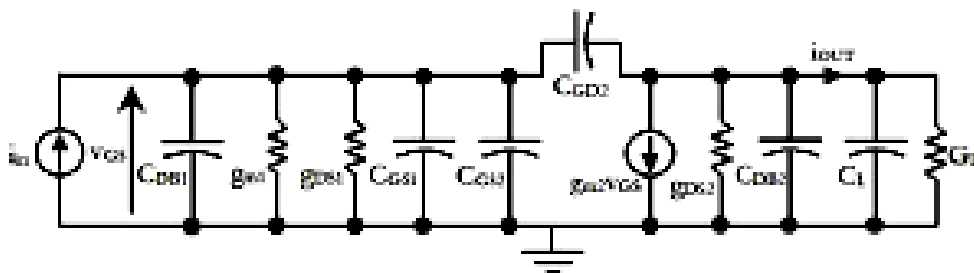


Figure 1.3.: Schéma petit signal du miroir de courant simple

Avec des technologies submicroniques basse-tension, et avec une longueur de canal L proche de la valeur minimale, nous recherchons souvent à améliorer les caractéristiques de sortie de la source de courant, car le paramètre λ est souvent de trop forte valeur dans ces technologies.

L'une des méthodes consiste à maintenir quasi constante la différence de potentiel V_{DS} du transistor qui donne le courant de sortie. Pour cela, un second transistor positionné en « série » reçoit la variation de la tension de sortie, alors que le premier impose le courant.

Dans ce type de circuit, nous disposons principalement du miroir de courant Wilson et des miroirs de courant cascode.

2.2 Le miroir de courant Wilson

2.2.1 Principe

Afin de réduire la conductance de sortie du miroir de courant simple, la structure Wilson peut être utilisée (Figure 1.4).

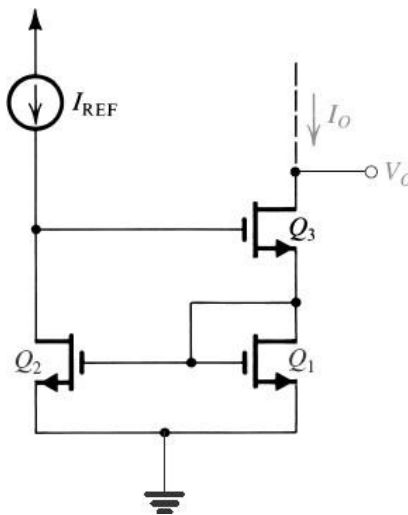


Figure 1.4.: Miroir de courant Wilson [7]

Les transistors Q_2 , Q_1 et Q_3 sont connectés de manière à présenter une contre-réaction. Lorsque l'on applique un courant à l'entrée, le transistor Q_3 conduit et une tension V_{GS2} apparaît aux bornes de Q_2 et Q_1 . Lorsque l'on cherche à augmenter de façon externe le courant de sortie, la tension V_{GS1} augmente, ce qui a pour effet de baisser le potentiel de grille de Q_3 qui conduit moins et stabilise ainsi le courant de sortie. Le calcul simple permet de montrer que l'impédance de sortie de cette source de courant est nettement plus élevée (facteur mille environ) que celle du simple miroir.

La conductance de sortie du miroir Wilson est plus faible que celle du simple miroir de courant :

$$g_{out} = \frac{g_{m2} \cdot g_{DS3} \cdot g_{DS1}}{g_{m1} \cdot g_{m3}} \quad (I-3)$$

Mais l'écart de polarisation $V_{DS2} \sim 2V_{DS1}$ implique que les performances sont « moyennes ».

2.2.2 Miroir de courant Wilson amélioré

Afin de supprimer l'erreur systématique dans le transfert en courant du miroir et de réduire la conductance de sortie, il est souhaitable que Q_2 et Q_1 présentent les mêmes tensions V_{DS} . Cela peut-être réalisé avec l'ajout d'un transistor supplémentaire Q_4 (Figure 1.5), ce qui constitue le miroir de courant Wilson amélioré.

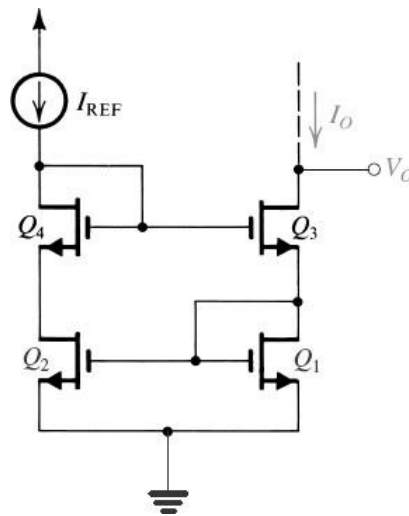


Figure 1.5: Miroir de courant Wilson amélioré [7]

La conductance de sortie du miroir est approximativement équivalente à celle du miroir de courant Wilson classique :

$$g_{out} \approx \frac{g_{m2} \cdot g_{DS3} \cdot (g_{DS1} + g_{m4})}{g_{m1} \cdot g_{m3}} \approx \frac{g_{DS}}{|x_{v0}|} \quad \text{avec } |x_{v0}| = \frac{g_m}{g_{DS}} \quad (1-4)$$

Ce qui met en évidence que la conductance de sortie g_{out} correspond à celle de Q_3 divisée par le gain en tension intrinsèque quasi statique A_{v0} d'une source commune avec une conductance de charge extérieure nulle.

2.3 Les miroirs de courant cascode

2.3.1 Cascode simple

Le miroir de courant cascode (Figure 1.6) est une méthode alternative, plus largement utilisée, afin de réduire l'admittance de sortie des miroirs de courant. Cette caractéristique est réalisée grâce à une contre-réaction série appliquée sur la source du transistor de sortie.

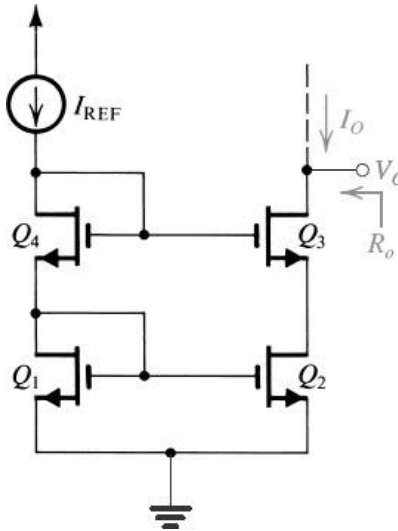


Figure 1.6: Miroir de courant cascode simple

Le courant d'entrée est imposé, donc le potentiel de drain de Q_4 ne dépend que des tensions V_{GS1} , V_{GS2} et V_{GS3} . Comme ces tensions dépendent principalement du courant d'entrée, le potentiel de drain de Q_4 reste constant ainsi que le courant qui le traverse. On peut montrer que l'impédance de sortie de cette source de courant est nettement plus élevée (facteur mille environ) que celle du simple miroir.

L'expression du transfert en courant est identique à celle du miroir de courant Wilson amélioré :

$$\frac{I_{out}}{I_{in}} = \frac{(W/L)_2 (1 + \lambda_2 V_{DS2})}{(W/L)_1 (1 + \lambda_1 V_{DS1})} \quad (1-5)$$

3. La paire différentielle

3.1. La paire différentielle simple

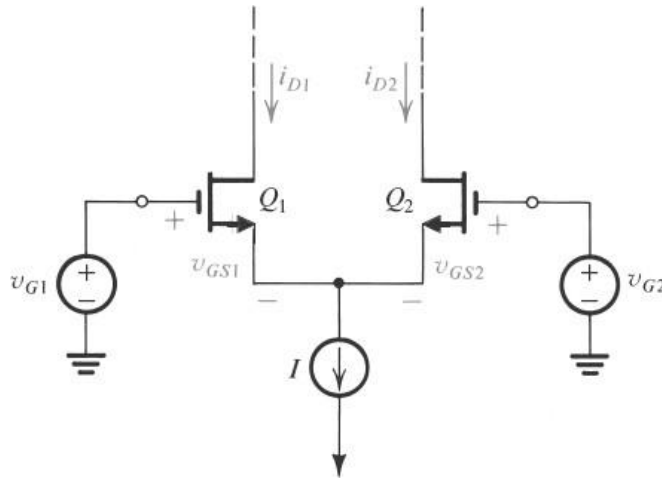


Figure 1.7: Cellule différentielle à base du CMOS[7].

La première classe des cellules différentielles est réalisée par la paire des transistors MOS Q_1 et Q_2 du type N représentée par la figure 1.7. [8]. Cette paire de sources couplées est polarisée par une source de courant I_{SS} . Les deux tensions d'entrées $V_{in1}(V_{G1})$ et $V_{in2}(V_{G2})$ peuvent être appliquées sur les grilles de Q_1 et Q_2 , où les transistors Q_1 et Q_2 ont la même caractéristique. Le rôle de cette cellule est de convertir la tension d'entrée V_{in} en un courant I_{D1} et I_{D2} donné par les équations (1.6a) et (1.6b) dans la région de saturation des transistors de la figure 1.7.

$$I_{D1} = \beta \cdot (V_{in1} - V_S - V_T)^2 \quad (1-6a)$$

$$I_{D2} = \beta \cdot (V_{in2} - V_S - V_T)^2 \quad (1-6b)$$

En combinant (1.6a) et (1.6b), on trouve :

$$V_{in1} - V_{in2} = \sqrt{\frac{I_{D1}}{\beta}} - \sqrt{\frac{I_{D2}}{\beta}} \quad (1-7)$$

La somme des courants sur le noeud des sources des deux transistors est donnée par la formule suivante :

$$I_{D1} + I_{D2} + I_{SS} \quad (1-8)$$

En combinant les équations (1.6) et (1.7), on obtient l'expression des courants drain des deux transistors, où $\Delta V = V_{in1} - V_{in2}$:

$$I_{D1} = \frac{I_{SS}}{2} - \beta \Delta V \sqrt{\frac{I_{SS}}{2\beta} - \left(\frac{\Delta V}{2}\right)^2} \quad (1-9a)$$

$$I_{D2} = \frac{I_{SS}}{2} + \beta \Delta V \sqrt{\frac{I_{SS}}{2\beta} - \left(\frac{\Delta V}{2}\right)^2} \quad (1-9b)$$

D'après les équations (1.9a) et (1.9b), on trouve les régions de saturations et de blocage de chaque transistor.

$$\begin{cases} V_{in1} > V_{in2} \\ \Delta V \geq \sqrt{\frac{I_{SS}}{\beta}} \end{cases}$$

La Figure 1.8 explique ces équations pour les courants de sortie en fonction de la tension d'entrée [9]. Ces courants de sortie sont limités par le courant de contrôle de la cellule différentielle I_{SS} .

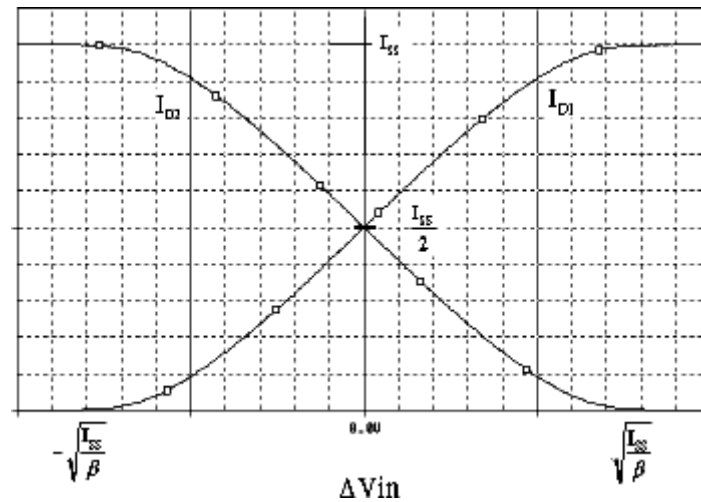


Figure 1.8: Les courants drain de sortie de la paire de sources couplées en fonction de la tension d'entrée ΔV . [8]

Le courant de sortie est donné par la différence des courants drain tel que:

$$I_o = I_{D1} - I_{D2} = \begin{cases} \Delta V \sqrt{1 - \frac{\beta}{2I_{SS}} \Delta V^2} \\ I_{SS} \text{sign}(\Delta V) \end{cases} \quad (1-10)$$

Cette équation est représentée par la Figure 1.9 où la plage de tension d'entrée est limitée par $\sqrt{\frac{I_{SS}}{\beta}}$.

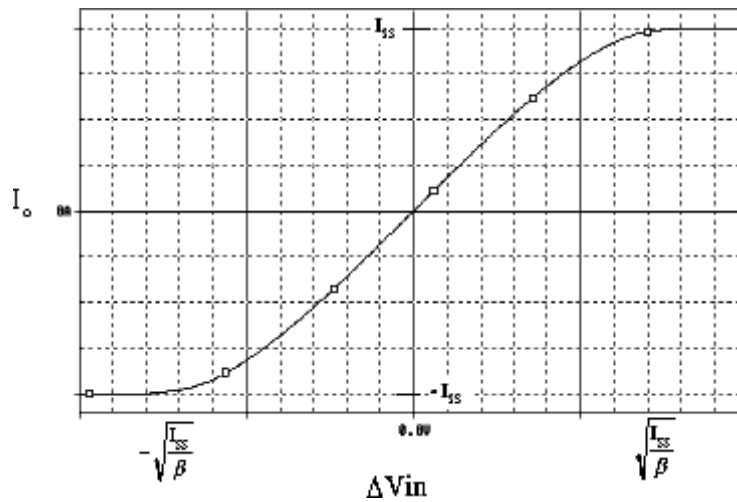


Figure 1.9: La différence entre les courants de sortie de la paire de sources couplées en Fonction de la variation de la tension d'entrée ΔV . [8]

3.1.1. La transconductance en DC

La transconductance de la cellule différentielle simple est donnée par la dérivation de la différence des courants de sortie des drains des transistors Q1 et Q2 par rapport à la tension d'entrée, on obtient l'équation (1.11):

$$G_{mDC} = \frac{\partial(I_{D1} - I_{D2})}{\partial \Delta V} = \frac{\sqrt{2I_{SS}\beta} \left[1 - \frac{\beta}{I_{SS}} \Delta V^2 \right]}{\sqrt{1 - \frac{\beta}{2I_{SS}} \Delta V^2}} \quad (1-11)$$

3.1.2 La transconductance en AC

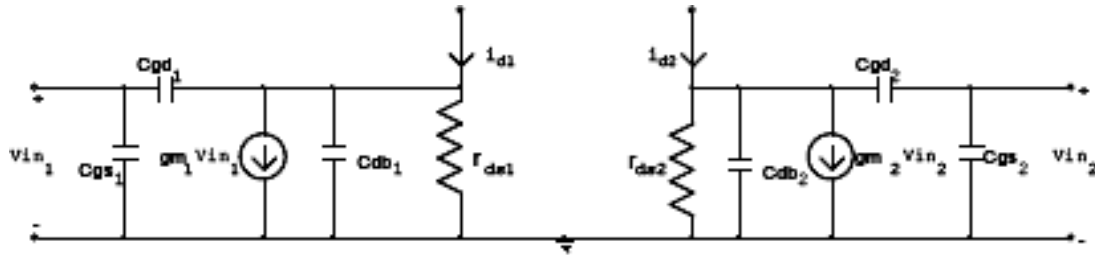


Figure 1.10: Le modèle petit signal équivalent d'une cellule différentielle simple.

$$g_{m1} = \frac{\partial I_{D1}}{\partial V_{GS1}} = 2 \frac{\partial I_{D1}}{\partial \Delta V} = \frac{\sqrt{2I_{SS}\beta} \left[1 - \frac{\beta}{I_{SS}} \Delta V^2 \right]}{\sqrt{1 - \frac{\beta}{2I_{SS}} \Delta V^2}} \quad (1-12a)$$

$$g_{m1} = \frac{\partial I_{D1}}{\partial V_{GS2}} = 2 \frac{\partial I_{D2}}{\partial \Delta V} = \frac{\sqrt{2I_{SS}\beta} \left[1 - \frac{\beta}{I_{SS}} \Delta V^2 \right]}{\sqrt{1 - \frac{\beta}{2I_{SS}} \Delta V^2}} \quad (1-12b)$$

On a une même valeur de transconductance ($g_{m1}=g_{m2}$) qui est la transconductance en mode DC, soit dans la demi-cellule de la figure 1.10 on trouve :

$$I_{di} = \frac{g_{m1} \left(1 - \frac{C_{GD1}S}{g_{m1}} \right)}{1 + r_{ds1}C_{DS1}S} V_{in1} \quad (1-13)$$

Pour la résistance drain-source dans la paire de sources couplées et infinie, on trouve la relation entre la différence des courants de sortie des drains et la tension d'entrée :

$$i_o(s) = i_{d1}(s) - i_{d2}(s) = g_{m1} V_{in1}(s) - g_{m2} V_{in2}(s)$$

à partir de l'équation (1.8) et (1.9) on trouve: $i_o(s) = G_{mDC} \Delta V(s)$

On remarque que la transconductance en AC c'est la même en DC, lorsque on élimine l'effet interne (la résistance drain-source et les capacités des transistors MOS).

3.2. La paire différentielle cascode

Le gain en tension d'un amplificateur différentiel peut être augmenté par l'utilisation de la configuration cascode montrée dans la Figure 1.11 :

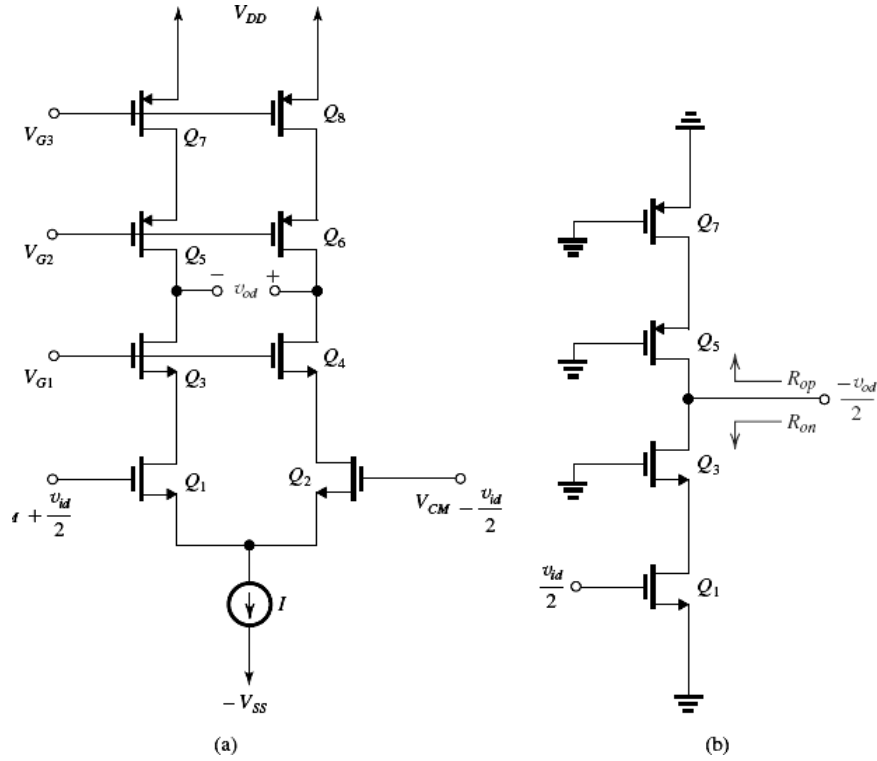


Figure 1.11 : amplificateur diff cascode a) et b) son demi circuit [7]

Le cascoding est appliquée sur les transistors \$Q_1\$ et \$Q_2\$ via les transistors \$Q_3\$ et \$Q_4\$ et sur la source de courant \$Q_7\$ et \$Q_8\$ via les transistors \$Q_5\$ et \$Q_6\$, le gain différentiel est calculé en utilisant le demi circuit figure b :

$$A_d \equiv \frac{v_{od}}{v_{id}} = g_{m1}(R_{on} \parallel R_{op}) \quad (1-14)$$

$$R_{on} = (g_{m3}r_{o3})r_{o1} \quad (1-15)$$

$$R_{op} = (g_{m5}r_{o5})r_{o7} \quad (1-16)$$

4. Etage de gain

4.1. Etage de gain simple:

Considérons l'étage de gain CMOS "classique" représenté à la Figure 1.12 :

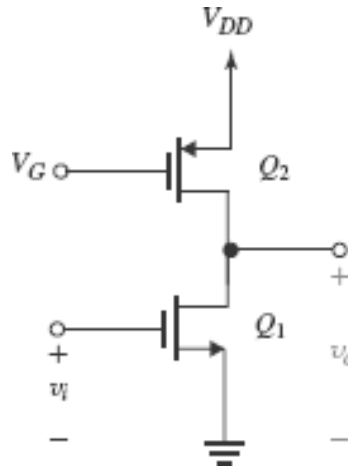


Figure 1.12 : Etage de gain simple CMOS.[7]

Détaillons les caractéristiques principales en régime de petits signaux.

Les transistors Q_1 et Q_2 étant dans la région de saturation, les paramètres de petit signal peuvent s'exprimer de la façon suivante:

$$g_m = \sqrt{2\mu C_{ox} \frac{W}{L} I_D} \quad (1-17)$$

$$g_{ds} = \lambda I_D \quad (1-18)$$

Pour tout transistor MOS, on peut écrire l'équation suivante:

$$I_D = g_m \cdot v_{gs} + g_{ds} \cdot v_{ds} \quad (1-19)$$

Dans ce circuit, la source de courant est connectée au drain du transistor MOS, donc $i_D = 0$ et l'équation (1.19) devient:

$$0 = g_m \cdot v_{gs} + g_{ds} \cdot v_{ds} \quad (1-20)$$

En substituant aux tensions v_{gs} et v_{ds} les tensions v_i et v_o ($v_i = v_{gs}$ et $v_o = v_{ds}$), on obtient :

$$\frac{v_o}{v_i} = A_0 = -\frac{g_m}{g_0} = -g_m \cdot r_{out} \quad (1-21)$$

avec

$$r_{out} = \frac{1}{g_0}$$

où

g_m : transconductance du transistor d'entrée Q_1 ,

$r_{out} = r_{ds}(Q_1) // r_{ds}(Q_2)$: résistance de sortie de l'étage de gain.

Le gain-dc A_0 est donc le produit de la transconductance avec l'impédance de sortie du circuit, ce qui explique que la réalisation de la fonction de transfert du signal se fait en deux étapes: tout d'abord, la tension d'entrée est transformée en courant via la transconductance g_m , puis le courant est transformé en tension de sortie via l'impédance de sortie r_{out} de l'étage. Le gain-dc A_0 peut s'exprimer aussi en fonction du courant de drain I_D et du rapport W/L .

$$A_0 = -\frac{g_{m1}}{g_{ds1} + g_{ds2}} = -\frac{\sqrt{2\mu C_{ox}(\frac{W}{L})_1}}{\sqrt{I_D}(\lambda_n + \lambda_p)} \quad (1-22)$$

On en déduit que le gain-dc est inversement proportionnel à la racine carré du courant drain, car la transconductance du transistor dépend de la racine carré du courant drain, et la conductance de sortie dépend du courant drain.

4.2. Etage de gain de circuit cascode:

Une amélioration de ce problème est proposée en utilisant un circuit cascode (Figure 1.13). Ce qui permet d'augmenter le gain sans diminuer le produit gain-bande, par la mise en série de deux transistors. On obtient un étage de gain cascodé qui possède une transconductance effective g_{meff} similaire à la transconductance g_m de l'étage de gain classique. La Figure I.13 explique ce phénomène.

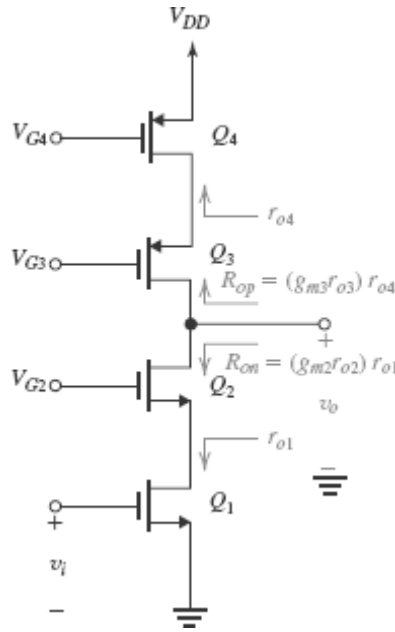


Figure 1.13 : Etage de gain cascodé CMOS.

Nous allons montrer que le gain-dc peut s'exprimer en fonction de la transconductance effective, g_{meff} , et de l'impédance de sortie, R_{out} . Nous allons aussi montrer que pour les basses fréquences, la structure du circuit cascode a pour effet d'augmenter l'impédance de sortie avec peu d'effet sur la transconductance. Pour les hautes fréquences, l'effet de l'étage cascode est presque négligeable.

La transconductance effective est donnée par l'équation suivante:

$$\frac{\Delta I}{\Delta V_1} = g_{m1} \frac{g_{m2} r_{o1} + r_{o1}/r_{o2}}{g_{m2} r_{o1} + r_{o1}/r_{o2} + 1} = g_{meff} \quad (1-23)$$

Le gain intrinsèque de cet étage est alors :

$$A_0 = g_{meff} \cdot R_{out} \quad (1-24)$$

L'impédance de sortie peut donc être calculée facilement. Elle est fortement augmentée en comparaison avec celle d'un étage de gain simple :

$$R_{out} = (g_{m2}r_{02} + 1) r_{01} + r_{02} \quad (1-25)$$

Le gain-dc est par conséquent égale à:

$$A_0 = g_{m1}r_{01}(g_{m2}r_{02} + 1) \quad (1-26)$$

Cette expression montre que le gain d'un étage cascode est approximativement égal au carré du gain d'un étage simple:

$$A_{ocascade} \cong g_{m1}r_{01}g_{m2}r_{02} \cong A_{ostmple}^2 \quad (1-27)$$

5. Les Amplificateurs opérationnels CMOS

5.1. Amplificateur CMOS à deux étages simple

C'est le plus immédiat, il est formé de l'étage différentiel étudié dans le paragraphe 7.2 suivi d'un étage PMOS chargé par une source de courant. Le schéma est donné Figure I.14. [10]

Les transistors qui constituent la paire différentielle à sources couplées de l'étage d'entrée influent sur les caractéristiques électriques du circuit. Indépendamment de la technologie utilisée, ces caractéristiques influencées sont :

- Le gain quasi-statique de l'amplificateur en boucle ouverte, car il dépend en partie de la transconductance équivalente des transistors d'entrée.
- La tension de décalage de l'amplificateur, car elle dépend de l'appariement des transistors de la paire différentielle, mais également des paires de transistors constituant la charge active.
- Le bruit total de l'amplificateur que nous attribuerons par la suite au bruit généré par les transistors d'entrée et par leur charge active.

Comparativement aux transistors bipolaires, les transistors MOS présentent de très bas courants d'entrée de l'amplificateur en raison de l'impédance quasi-infinie de leur grille. La tension de décalage résultante, dépendante de leur appariement est améliorée en comparaison aux transistors bipolaires pour lesquels des dispersions de la valeur finie du gain en courant

sont sources d'un courant de décalage. Par contre, les transistors MOS possèdent des transconductances équivalentes plus faibles que les transistors bipolaires lorsque l'on cherche à concevoir des circuits à bande passante élevée.

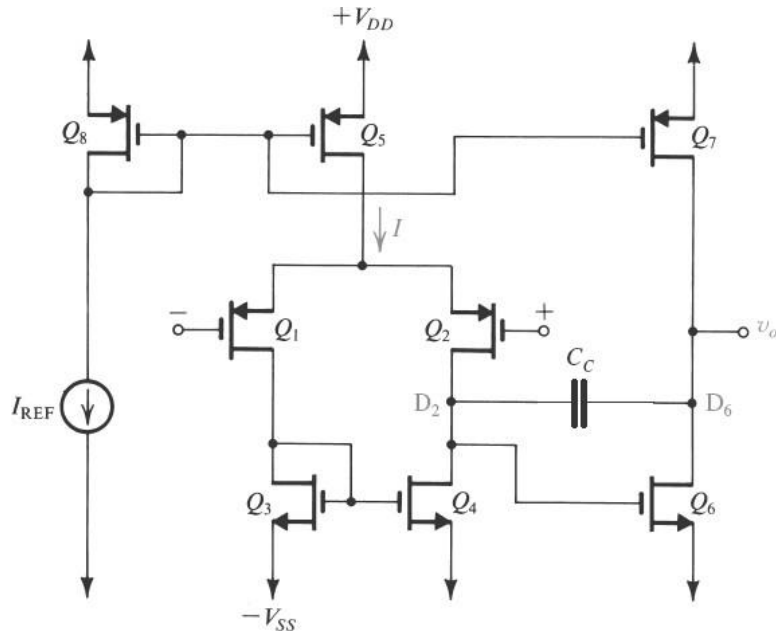


Figure 1.14 : Amplificateur à deux étages.[10]

5.2. Amplificateur à Deux étages dont un cascodé

Un moyen simple d'obtenir le gain recherché est de partir d'une structure classique deux étages et de cascoder l'un d'entre eux. Deux choix s'offrent à nous : cascoder le premier étage ou bien le deuxième :

Porter le cascode sur le deuxième étage va s'avérer un meilleur choix pour deux raisons :

1. Cascoder la paire différentielle d'entrée réduit la plage admissible de fonctionnement en entrée et n'est donc pas compatible avec une technologie basse-tension. Une amélioration consiste à réaliser une structure repliée. Néanmoins, ce genre de structure ajoute un pôle qui vient dégrader la réponse fréquentielle de l'amplificateur.
2. Avoir un deuxième étage à fort gain facilite la compensation de la structure par effet Miller, comme nous allons le voir dans les sections suivantes.

5.3. Amplificateur Operationel Folded cascode:

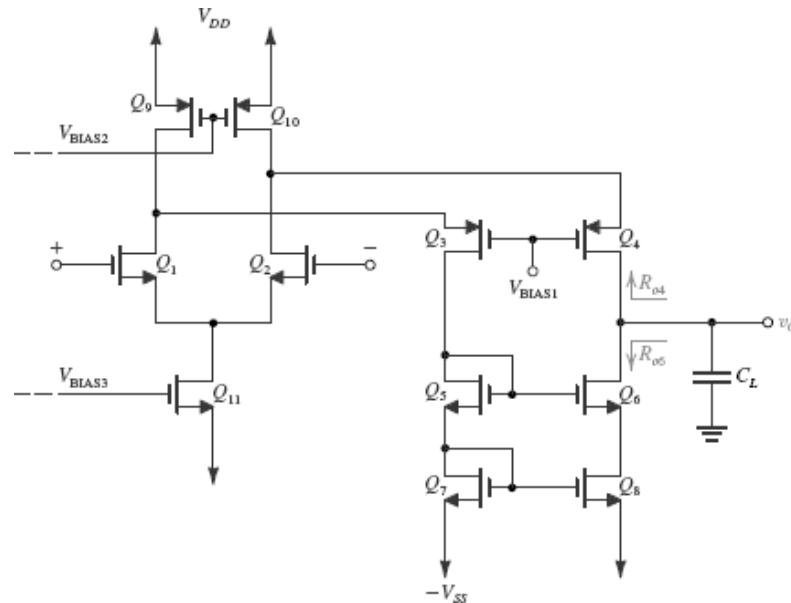


Figure 1.15 : Amplificateur Folded cascode.[7]

La figure 1-15 montre la structure d'un amplificateur opérationnel Folded cascode CMOS. Ici les transistors Q_1 et Q_2 forment la paire différentielle d'entrée, Q_3 et Q_4 sont les deux transistors cascode. La grille de ses deux transistors est connectée à une tension d'alimentation (V_{bias}). Pour un signal d'entrée différentiel, chaque paire de transistors Q_1 - Q_3 et Q_2 - Q_4 fonctionne comme une cellule d'amplificateur cascode [7].

On note que la paire la paire différentielle est alimentée par une source de courant I (transistor Q_{11}), cependant chaque transistor Q_1 et Q_2 opère à un courant $I/2$. Par l'exercice de la loi des nœud à chacun des drains de Q_3 et Q_4 on trouve un courant ($I_B - I/2$) ; en choisissant $I_B = I$, ça force tous les transistors à opérer au même courant $I/2$.

L'avantage de cet amplificateur est sa large résistance de sortie.

A partir d'une étude du schéma dynamique de l'amplificateur Folded cascode on peut en tirer :

- La résistance de sortie R_0 est équivalente à la résistance de sortie de l'amplificateur cascode en parallèle avec la résistance de sortie du miroir de courant cascode :

$$R_0 = R_{04} \parallel R_{06}.$$

- Cependant le gain en tension est donné par : $A_V = G_m R_0$ avec $G_m = g_{m1} = g_{m2}$

6. Conclusion

Les amplificateurs opérationnels sont les éléments centraux dans quasiment chaque étage de l'électronique analogique. Ils permettent de créer des circuits dont le transfert en tension présente une grande précision tels que des buffers ou bien les familles de circuits à capacités commutées.

Dans ce chapitre nous avons étudié les différents blocs constituant l'amplificateur opérationnel CMOS. On a commencé par une présentation détaillée de l'étage d'alimentation et sa principale composante le miroir de courant, ainsi nous avons traité le miroir de courant simple puis nous avons abordé les autres types améliorés. Par la suite nous avons présenté l'étage différentiel, comme le miroir de courant on a commencé par la paire différentielle simple et ensuite la paire différentielle cascode. On a terminé ce chapitre par la présentation de quelques types d'amplificateur CMOS notamment l'amplificateur de type Folded cascode qui sera utilisé dans la suite de ce mémoire.

CHAPITRE II

Présentation des Echantillonneurs Bloqueurs

1. Introduction

Dans une chaîne d'acquisition de données et de traitement du signal, l'échantillonneur bloqueur est un élément incontournable car la rapidité et la précision du traitement dépendent de ses performances [11] [12]. La fonction de l'échantillonneur bloqueur est de suivre les variations du signal d'entrée pendant une phase d'échantillonnage, puis de mémoriser les échantillons prélevés à la réception d'une commande de blocage, pendant une durée suffisante pour que le CAN puisse procéder à la conversion analogique numérique [1] [13]. La façon la plus simple de réaliser un échantillonneur bloqueur consiste à associer un commutateur analogique (ou interrupteur) à un condensateur de charge (C_L). Les commandes d'ouverture et de fermeture de l'interrupteur sont assurées par une horloge générant un signal périodique rectangulaire.

1.1. Échantillonnage

Lorsqu'on désire numériser un signal analogique (continu dans le temps), c'est-à-dire le coder à l'aide d'une suite finie de nombres, on commence généralement par l'échantillonner, sauf dans le cas de signaux très lents par rapport à la fréquence d'échantillonnage. Cette opération consiste à prendre la valeur instantanée du signal à des intervalles séparés par un temps constant T_e (T_e est appelée période d'échantillonnage) [14]. À l'issue de cette opération, les valeurs du signal original ne sont connues que toutes les T_e secondes. Alors, pour pouvoir reconstituer le signal original à partir des échantillons prélevés à des instants discrets, il faut choisir un nombre suffisant d'échantillons. Ceci nous introduit à l'étude spectrale (étude en fréquence) du signal et au théorème d'échantillonnage comme celui dit de Shannon [14] [15], [16]. Afin de garantir la restitution fidèle du signal original, le théorème d'échantillonnage stipule que la fréquence d'échantillonnage doit être supérieure au double de la fréquence maximale à reproduire. Sinon, on observe un phénomène dit de repliement, qui veut que les fréquences les plus élevées, en plus d'être reproduites à leurs justes valeurs, se voient inversées et décalées pour se superposer aux fréquences plus basses du signal.

1.2. Échantillonneur-bloqueur

Le rôle d'un échantillonneur-bloqueur (Sample & Hold, S/H) est de maintenir constante l'amplitude de l'échantillon prélevé toutes les T_e secondes durant un temps nécessaire à sa conversion analogique-numérique. T_e représente la période d'échantillonnage.

Dans le cas des signaux lents, dont la précision temporelle n'est pas exigée, le circuit S/H n'est pas nécessaire.

2. Principe de fonctionnement d'un circuit S/H

Réaliser un échantillonneur-bloqueur consiste à associer un interrupteur à une capacité. La figure 2.1 illustre la configuration la plus élémentaire d'un échantillonneurbloqueur.

La capacité (C_L) joue le rôle de mémoire analogique, l'interrupteur sert à rafraîchir la valeur de la tension mémorisée sur cette capacité ou bien à l'isoler l'entrée, selon la phase (échantillonnage ou blocage).

Dans un cas idéal, lorsque l'interrupteur est fermé, la tension aux bornes de la capacité (la sortie de l'E/B dans le cas élémentaire de la figure 2.1 suit les variations de l'entrée. Cette phase est dite d'échantillonnage (Sample, S). Et lorsque l'interrupteur est ouvert, la sortie, étant isolée de l'entrée, reste constante et égale à la dernière valeur transmise du signal d'entrée. Cette phase correspond à celle de blocage (Hold, H).

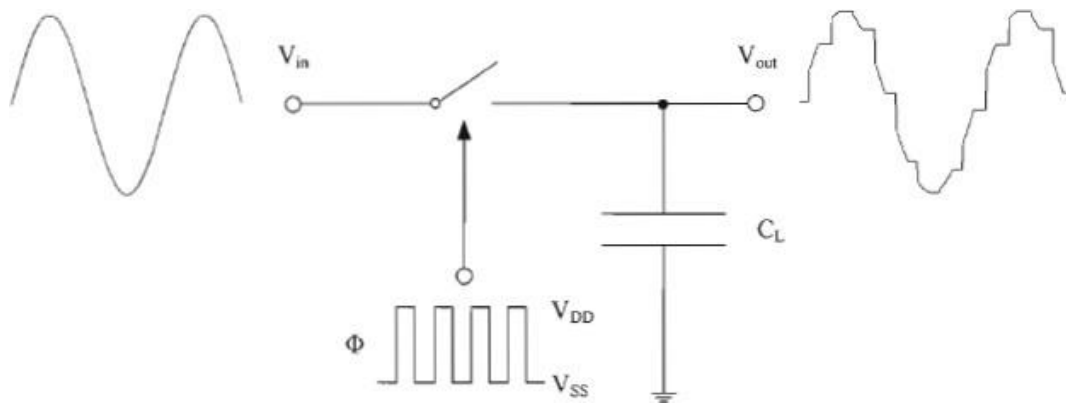


Figure 2.1 : Circuit d'un échantillonneur-bloqueur idéal [17].

Dans un cas réel, différentes sources d'erreurs viennent perturber (fausser) la valeur du signal échantillonné. Ces erreurs constituent les limitations en termes de rapidité et précision du circuit S/H.

3. Paramètres caractéristiques et limitants des circuits E/B

3.1 Représentation graphique des non-idéalités du circuit E/B

Nous pouvons représenter graphiquement l'ensemble des non-idéalités d'un circuit E/B en présentant l'évolution temporelle des signaux d'entrée et de sortie sur un cycle d'échantillonnage blocage figure 2.2. Cette représentation graphique présente le comportement des circuits E/B ayant un gain en tension unitaire.

Initialement, le circuit est en mode de maintien. Lorsque l'horloge de commande bascule à l'état haut ($\phi=1$), le circuit E/B bascule en mode d'échantillonnage. Un temps fini *tac* (temps d'acquisition) est nécessaire pour que le signal de sortie recouvre le signal d'entrée avec la précision attendue (résolution du circuit) [1].

L'horloge de commande bascule alors à l'état bas ($\phi=0$) ; le circuit E/B est en mode de transition. Le temps de basculement de l'horloge de commande n'étant pas nul, un délai fini *tap* (temps d'ouverture) , en général non constant car dépendant de la valeur de l'amplitude du signal d'entrée, doit être pris en compte avant de qualifier le circuit E/B comme étant en mode de maintien. Ce délai fini est à l'origine d'une erreur d'échantillonnage (erreur de temps d'établissement), la valeur du signal en mode de maintien pouvant alors être sensiblement différente de la valeur de l'amplitude du signal au début du basculement de l'horloge de commande.

Le circuit entrant en mode de maintien figure 2.2, un temps d'établissement fini *t_{st}* est nécessaire pour stabiliser le signal de sortie. Ce n'est qu'à partir de ce délai écoulé que le circuit E/B peut être considéré comme étant en mode de maintien effectif. Durant cette période de maintien, des courants de fuite inévitables circulent à travers la capacité de stockage et tendent à la charger ou à la décharger. Le résultat en est une erreur d'échantillonnage nommée *droop error* (les fuites ayant un comportement linéaire au cours du temps, nous définirons le coefficient directeur de la droite de décharge durant ce mode de maintien, *droop rate*).

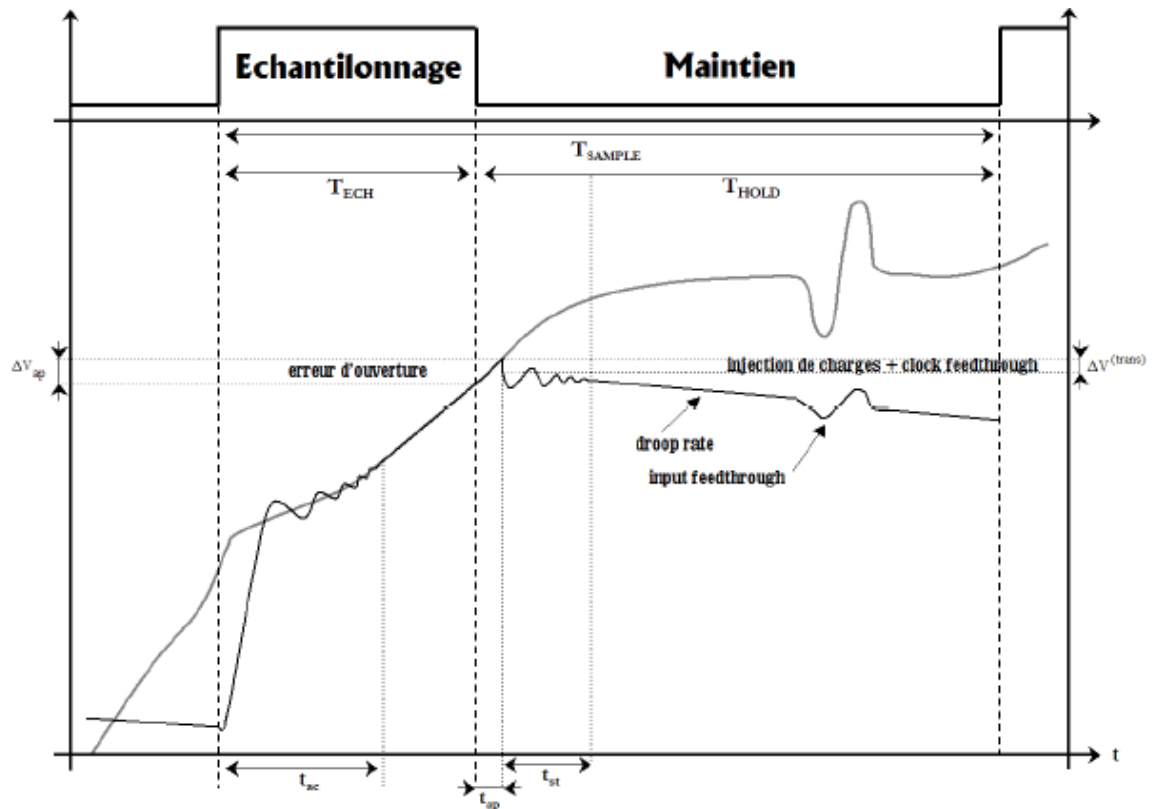


Figure 2.2 : Représentation graphique des signaux d'entrée et de sortie des circuits E/B [18]

Enfin, nous devons noter qu'en mode de maintien, le signal de sortie ne peut pas être entièrement décorrélé du signal d'entrée. Des couplages capacitifs entre les noeuds d'entrée et de sortie tendent à modifier l'équilibre des charges au niveau de la capacité de stockage. Nous définirons donc le terme d'input feedthrough comme référant au couplage capacitif de l'entrée sur la sortie en mode de maintien, et sera exprimé en dB.

3.2 Grandeurs Temporelles

a) Temps d'acquisition en mode d'échantillonnage (Acquisition Time)

Afin d'évaluer le temps d'acquisition en mode échantillonnage du circuit E/B, nous considérerons une modélisation au premier ordre du transistor MOS en tant que commutateur analogique. Le transistor est remplacé par une résistance équivalente r_{ON} correspondant à son comportement dans la zone ohmique du régime de forte inversion. Le générateur qui fournit le signal est représenté sous forme Thévenin. (figure 2.3) :

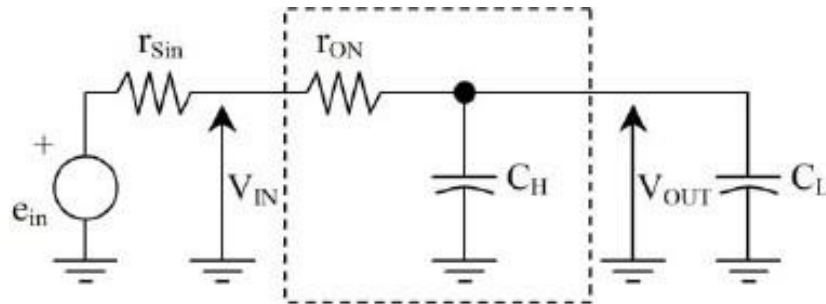


Figure 2.3 : Modélisation du circuit équivalent simplifié de l'E/B en mode échantillonnage[18]

Le temps d'acquisition du circuit E/B correspond au temps nécessaire pour acquérir la valeur de l'amplitude du signal d'entrée à la précision attendue à partir du déclenchement du signal de commande du mode échantillonnage. Ce temps est exprimé dans le pire cas, qui correspond à la variation maximale de l'amplitude du signal en entrée V_{IN_max} pour obtenir la résolution souhaitée du circuit (fixée en nombre de bits N du codeur). On définit donc le temps d'acquisition minimal t_{ac_mini} pour lequel l'amplitude du signal de sortie est dans la bande de précision allouée. La figure 2.4 illustre ces propos :

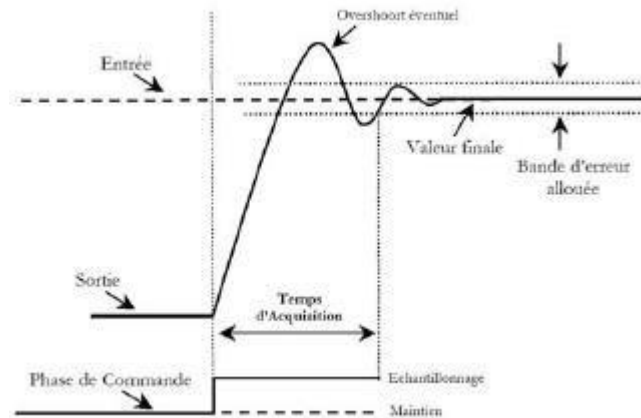


Figure 2.4 : Temps d'acquisition en mode échantillonnage [1] [18]

Selon le schéma simplifié « petits signaux » de la figure 2.3, en mode échantillonnage, le comportement du circuit E/B est donc celui d'un filtre passe-bas du premier ordre de constante de temps τ_{ech} :

$$\tau_{ech} = (r_{ON} + r_{sin})(C_H + C_L) \quad (2-1)$$

L'expression de la variation temporelle V_{out} du signal de sortie est exprimée par :

$$V_{out}(t) = V_{palier}(t_0) \left\{ 1 - \exp \frac{-(t - t_0)}{\tau_{ech}} \right\} + V_{out}(t_0) \quad (2-2)$$

Le temps d'acquisition équivalent est déterminé en fonction de la résolution du codeur N et du coefficient d'erreur η_{ech} ($0 < \eta_{ech} < 1$) alloué à ce mode échantillonnage. La précision désirée sur la valeur du signal à échantillonner est alors donnée par $\varepsilon_{ech} = \eta_{ech} / 2^N$
Le temps d'acquisition t_{ac_mini} est donc exprimé à partir de l'expression suivante :

$$t_{ac_mini} = \left(N + \frac{1}{\eta_{ech}} \right) \tau_{ech} \ln(2) = \left(N + \frac{1}{\eta_{ech}} \right) (r_{ON} + r_{sin})(C_H + C_L) \ln(2) \quad (2-3)$$

Le temps d'acquisition étant calculé dans le pire cas, c'est-à-dire tel que le signal de sortie soit initialement à la valeur minimale V_{palier_min} avec un passage à la valeur maximale V_{palier_max} , nous en déduisons l'expression pire cas de la constante de temps τ_{ech} nécessaire en mode échantillonnage :

$$\tau_{ech} \leq - \frac{Z_u}{\ln \left(\varepsilon_{ech} + \left[\frac{V_{palier_mini}}{V_{palier_max}} \right] \right)} \quad (2-4)$$

b) Temps de retard entre mode d'échantillonnage et mode de maintien

Lors de l'application du signal de commande, le circuit E/B entre en mode de transition. En raison du temps fini de basculement des horloges, cette phase de maintien est caractérisée par le retard d'ouverture t_{ap} . Nous considérerons en première approche que le commutateur analogique est constitué d'un simple transistor MOS. Dans ce cas, celui-ci demeure passant (c'est-à-dire que le circuit E/B est en mode échantillonnage) tant que la différence de potentiel entre la grille et la source du transistor est supérieure à la tension de seuil du transistor (nous négligeons la conduction en faible inversion), ce que nous pouvons représenter par la figure suivante (figure 2.5) :

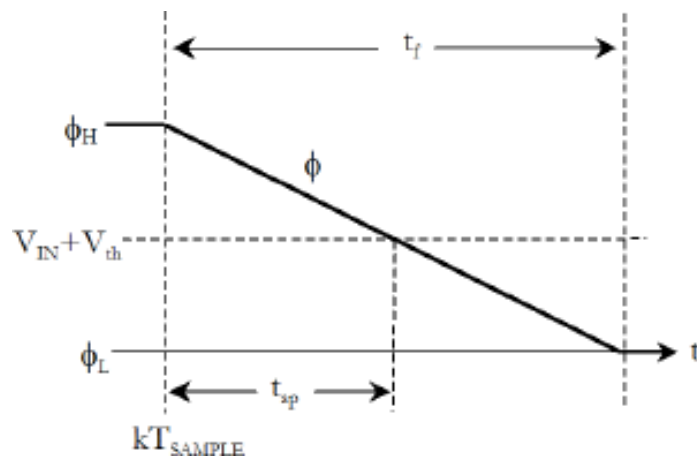


Figure 2.5: Modélisation du temps fini de basculement de l'horloge sur la grille du commutateur analogique [1] [18]

Entre l'instant d'échantillonnage théorique et le temps d'échantillonnage effectif, nous pouvons donc définir le délai d'ouverture t_{ap} en fonction du potentiel appliqué sur la source du transistor (correspondant au potentiel d'entrée du circuit V_{IN}), de la tension de seuil du transistor V_{th} , des tensions de commande l'horloge et du temps de basculement de l'horloge t_f :

$$t_{ap} = t_f \frac{\phi_H - (V_{IN} + V_{th})}{\phi_H - \phi_L} \quad (2.5)$$

En tenant compte des effets substrats ($V_{th} > V_{th0}$), le délai d'ouverture maximal est alors borné par :

$$0 \leq t_{ap} \leq t_f \frac{\phi_H - V_{th0}}{\phi_H - \phi_L} \quad (2-6)$$

Le problème majeur lié à ce délai d'ouverture n'est pas tant le délai supplémentaire introduit mais l'erreur d'échantillonnage inhérente.

c) Temps d'établissement en mode de maintien

Comme nous l'avons présenté, lors du passage en mode de maintien, un temps d'établissement est en général nécessaire avant que la donnée ne soit disponible en sortie du circuit. Nous pouvons néanmoins remarquer que dans le cas de la structure la plus simple du circuit E/B, ce temps d'établissement peut-être négligé puisqu'il ne correspond qu'au temps nécessaire pour que les charges résultantes du phénomène d'injection de charges s'équilibrent sur les armatures de la capacité de stockage.

4. Le commutateur analogique

4.1. Présentation de l'interrupteur analogique

Les interrupteurs analogiques jouent un rôle prédominant au coeur de l'échantillonneur/bloqueur (E/B), et ses défauts vont avoir des conséquences sur les performances du CAN. Le principe est, sur un niveau haut d'horloge, de transmettre (échantillonner) une donnée. En général cette donnée est mémorisée sous forme de tension aux bornes d'une capacité, ces dernières étant facilement intégrées sur les technologies CMOS. Sur l'état bas de l'horloge, il s'agira de conserver (bloquer) cette tension stockée par la capacité, sans variation de valeur au cours du temps. Il existe de nombreuses réalisations possibles de cette fonction. Etudions tout d'abord la réalisation la plus simple, consistant en un simple transistor NMOS (Figure II.6), afin de comprendre les limites de cette architecture, pour aborder ensuite des architectures plus complexes permettant d'améliorer les performances [19].

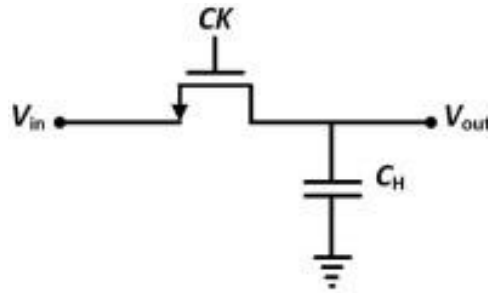


Figure 2.6 : Interrupteur analogique NMOS

La conductance du transistor est donnée par la relation suivante [20] :

$$g_{on} = \mu C_{ox} \frac{W}{L} (V_{gs} - V_{th0} - \gamma (\sqrt{2\phi_f + V_{in}} - \sqrt{2\phi_f}) - V_{ds}) \quad (2-7)$$

Où, V_{gs} est la tension grille source, V_{ds} la tension drain source, V_{th0} la tension de seuil, γ le paramètre d'effet substrat, et Φ_f le potentiel de Fermi. Or, en régime linéaire (zone ohmique), et en négligeant l'effet substrat, on a :

$$g_{on} = \mu C_{ox} \frac{W}{L} (V_{gs} - V_{th0}) = \mu C_{ox} \frac{W}{L} (V_{DD} - V_{in} - V_{th0}) \quad (2-8)$$

Ainsi, on peut représenter la conductance et la résistance en fonction de l'entrée (Figure 2.7) :

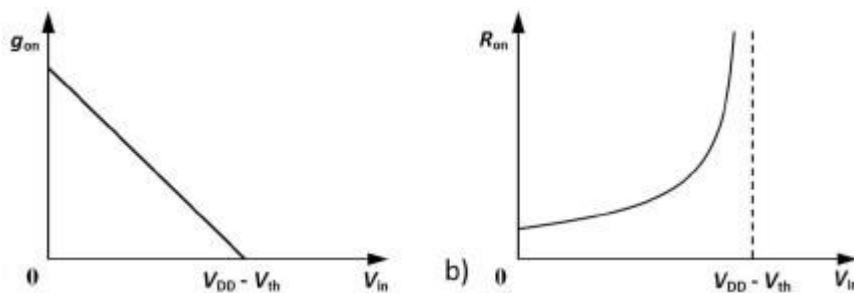


Figure 2.7: Représentation a) de la conductance et b) de la résistance d'accès d'un interrupteur NMOS[19]

On observe ainsi une limite de la plage de validité, allant de 0V à $V_{DD}-V_{th}$: ceci est en inadéquation avec la nécessité d'un commutateur utilisé en rail to rail (sur toute la plage de tension de 0V à V_{DD}). Dans le cas d'un transistor PMOS, la plage d'utilisation irait de V_{th} à V_{DD} , ce qui ne convient pas non plus.

Enfin, un tel interrupteur présente également un autre problème d'ordre temporel. En effet, la constante de temps pour charger la capacité de sortie est de type $R_{on}CH$. Or, comme nous l'avons vu, R_{on} dépend de la tension d'entrée. Par conséquent, la constante de temps d'échantillonnage dépend de la tension d'entrée, ce qui provoque des distorsions.

4.2. Le phénomène d'injection de charges [21]

Considérons le commutateur représenté Figure 2.8 : Lorsque le transistor est passant, des charges circulent dans le canal. Puis, quand l'horloge passe de l'état haut à l'état bas, les charges présentes dans ce canal vont être réparties entre l'entrée (elles sont généralement absorbées par la source, et ne créent pas d'erreur), le substrat, et la capacité de sortie C_H , donnant ainsi naissance à une tension d'erreur ΔV .

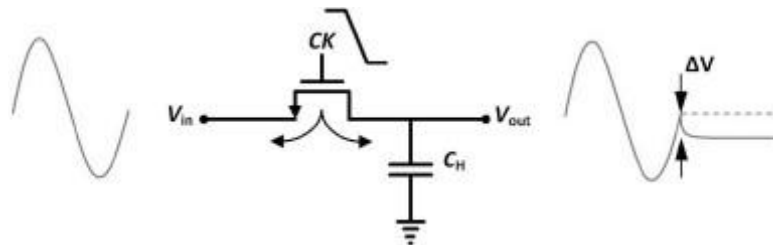


Figure 2.8 : Représentation de l'injection de charges lorsque l'on éteint l'interrupteur [19]

La quantité de charges présente dans le canal lors du fonctionnement peut s'exprimer ainsi :

$$Q_{ch} = WLC_{ox}(V_{gs} - V_{TH}) = WLC_{ox}(V_{DD} - V_{in} - V_{TH}) \quad (2-9)$$

Dans le pire cas, l'intégralité des charges sera accumulée sur C_H , auquel cas :

$$\Delta V = \frac{WLC_{ox}(V_{DD} - V_{in} - V_{TH})}{C_H} \quad (2-10)$$

4.3. Le phénomène de clock-feedthrough [21]

En plus de l'injection de charges, les capacités de recouvrement entre la grille et le drain d'une part et entre la grille et la source d'autre part vont coupler le signal d'horloge à la capacité d'échantillonnage (Figure III-4).

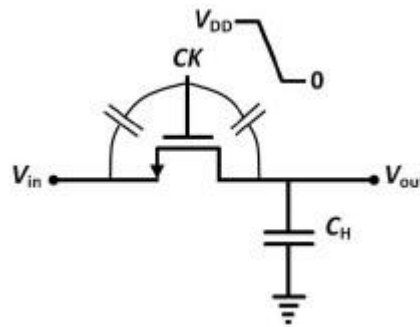


Figure 2.9 : Clock-feedthrough dans un circuit d'échantillonnage [19]

En admettant que la capacité de recouvrement C_r est constante, la tension d'erreur est alors :

$$\Delta V = -V_{DD} \frac{C_r}{C_r + C_H} \quad (2-11)$$

4.4. Amélioration des performances d'un interrupteur analogique

Comme nous l'avons vu, un commutateur constitué uniquement d'un transistor NMOS présente de nombreux inconvénients : variation importante de la résistance d'accès sur la plage d'entrée, elle-même limitée (utilisation rail to rail proscrite), injection de charges du canal et couplage capacitif de l'horloge.

Afin de limiter ces effets, de nombreuses méthodes existent. Nous proposons ici une étude non exhaustive des principales architectures utilisées pour améliorer les performances d'un interrupteur analogique.

4.4.1. L'utilisation de « dummy » ou transistor fantôme [21]

Soit le circuit représenté sur la Figure 2.10. Le principe est d'ajouter un transistor M2, piloté par une horloge complémentaire à celle pilotant le commutateur M1, et dont le canal, lorsque le transistor M2 sera passant, absorbera les charges injectées.

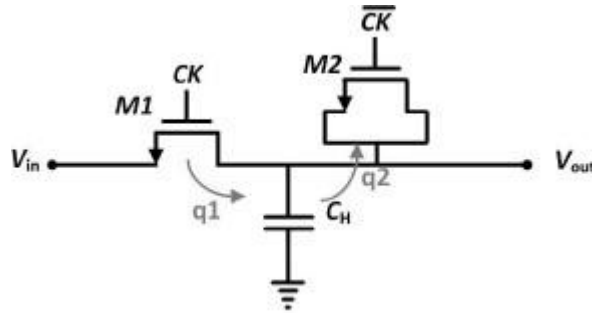


Figure 2.10 : Principe du transistor fantôme

Soit $q1$ les charges injectées par M1, et en admettant que la moitié des charges sera absorbée par C_H , on a :

$$q1 = \frac{W_1 L_1 C_{ox} (V_{DD} - V_{in} - V_{TH1})}{2} \quad (2-12)$$

Comme on a :

$$q2 = W_2 L_2 C_{ox} (V_{DD} - V_{in} - V_{TH2}) \quad (2-13)$$

Alors si l'on prend $W2 = 0.5 W1$ et $L2 = L1$, on a $q1 = q2$.

4.4.2. Le Bottom-plate sampling [21]

Le principe du bottom-plate sampling repose sur l'utilisation d'un deuxième transistor entre la capacité de sortie et la masse (Figure 2.11).

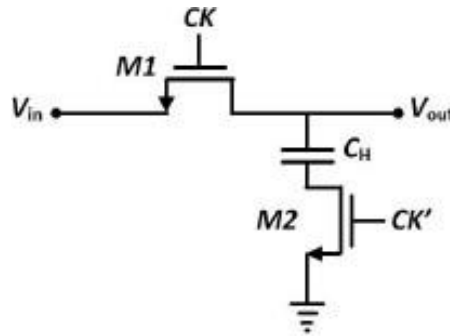


Figure 2.11 : Principe du bottom-plate sampling

L'horloge CK' s'éteindra légèrement en avance de phase par rapport à l'horloge CK, ainsi M2 s'éteindra avant M1, rendant CH flottante. L'injection n'affecte plus la tension aux bornes de CH. Toutefois, un couplage capacitif existe entre CK' et la tension d'entrée, rendant la précision du bottom-plate sampling assez variable.

4.4.3. La porte de transmission (ou porte CMOS)

La porte de transmission (Figure 2.12) est la mise en regard d'un transistor NMOS (M1) avec un transistor PMOS (M2), afin d'utiliser leur complémentarité pour augmenter la plage d'entrée admissible et diminuer la résistance d'accès du commutateur.

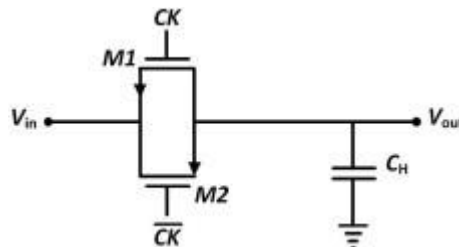


Figure 2.12: Porte de transmission

Dans ce cas, il est critique que les horloges soient bien complémentaires, afin que les transistors s'éteignent simultanément, afin d'éviter une distorsion.

Par ailleurs, même si la résistance est nettement diminuée, il reste une variation (Figure 2.13) qui, en modifiant la constante de temps liée à l'échantillonnage du signal suivant l'amplitude de ce dernier, entraîne une distorsion d'ordre 2 en sortie.

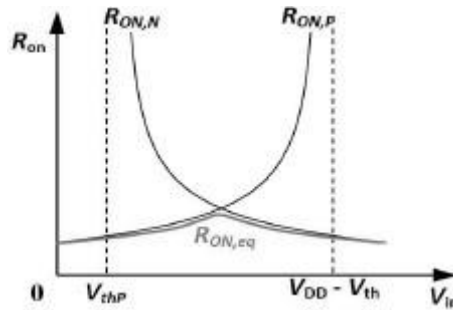


Figure 2.13 : Variation de la résistance d'accès d'une porte de transmission

En outre, la porte CMOS ne permet pas une annulation des charges injectées, mais en diminue fortement la valeur.

5. Les circuits échantillonneur bloqueur E/B.

Depuis l'introduction de la première architecture E/B en 1974, les systèmes d'intégration proposent une variété d'architectures favorables dans différentes technologies.

Dans cette partie, nous décrivons quelque configuration d'architectures du circuit E/B souvent utilisées dans les systèmes de conversion analogique numérique, la plupart des circuits E/B configure entré deux architecture soit en boucle ouverte ou en boucle fermée.

5.1. Configuration en boucle ouverte du circuit E/B

La configuration en boucle ouverte du circuit échantillonneur bloqueur est montrée en la Figure 2.14; cette architecture constitue un buffer d'entrée B1; un switcher S et capacité CH et un buffer de sortie B2.

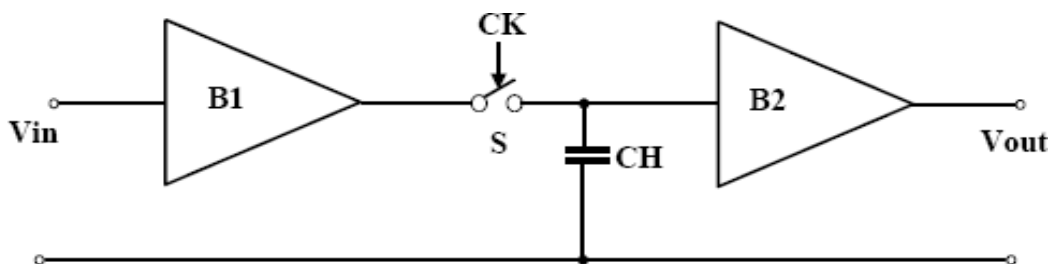


Figure 2.14: configuration en boucle ouverte E/B [22]

5.2. Configuration en boucle fermé du circuit E/B

L'utilisation d'une structure en boucle ouverte sur le principe de l'échantillonnage parallèle ne permet pas de limiter la contribution de la tension de décalage résultante du circuit amenée par les deux amplificateurs [1]. Lorsque l'interrupteur de commande est fermé ($\phi_1=1$), l'introduction d'une boucle de contre réaction globale (Figure 2.15) minimise la contribution de la tension de décalage de l'amplificateur de sortie A2. La tension de décalage de A2 est divisée par le gain différentiel A_{d01} en boucle ouverte de A1. La contre-réaction globale permet aussi de limiter l'erreur de gain sur la valeur de la tension stockée dans la capacité C_H . Puisque A2 est configuré en suiveur de tension, cette erreur est donnée par l'inverse du gain différentiel en boucle ouverte de A1.

L'architecture de boucle fermée est montrée dans le schéma 2, qui se compose d'un amplificateur à transconductance B1, les dispositifs d'échantillonnage S et C_H , et un amplificateur de tension B2, le circuit fonctionne comme suit En mode d'échantillonnage, le switcher S est fermé le circuit fonctionne comme un amplificateur à deux étages compensé par C_H et configuré comme une buffer de gain d'unité, Quand le switcher S est ouvert, la tension instantanée est stockée dans le condensateur C_H et le circuit de rétroaction se composant d'amplificateur de tension B2 et le condensateur C_H maintient la valeur de tension Échantillonner jusqu'à la prochaine période. [23]

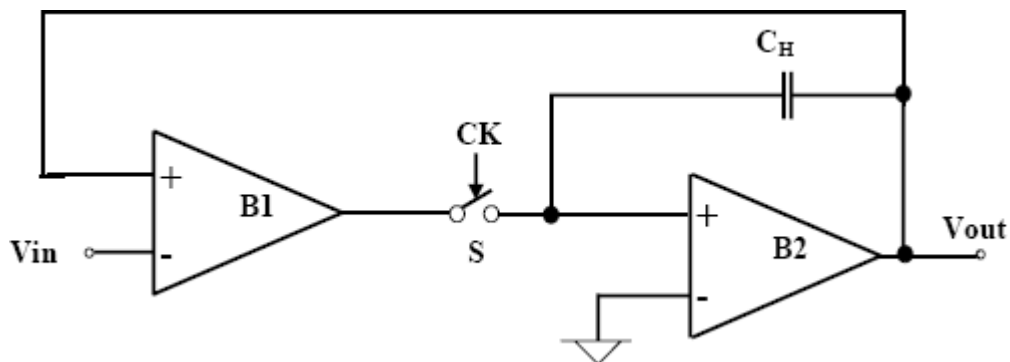


Figure 2.15: configuration en boucle fermée E/B[22]

5.3. Circuit E/B à capacité commutée

Utilisant une méthode d'échantillonnage « série », l'armature « haute » de la capacité de stockage C_H est commune avec le noeud d'entrée du circuit E/B (Figure 2.16). Lors du basculement en mode de maintien, afin que la donnée soit disponible en sortie du circuit E/B, il peut-être utilisé le principe de « capacité commutée », par lequel cette armature est alors déconnectée du noeud d'entrée du circuit et transférée au noeud de sortie du circuit. Une méthode d'implémentation d'une telle architecture est proposée par [1] [24].

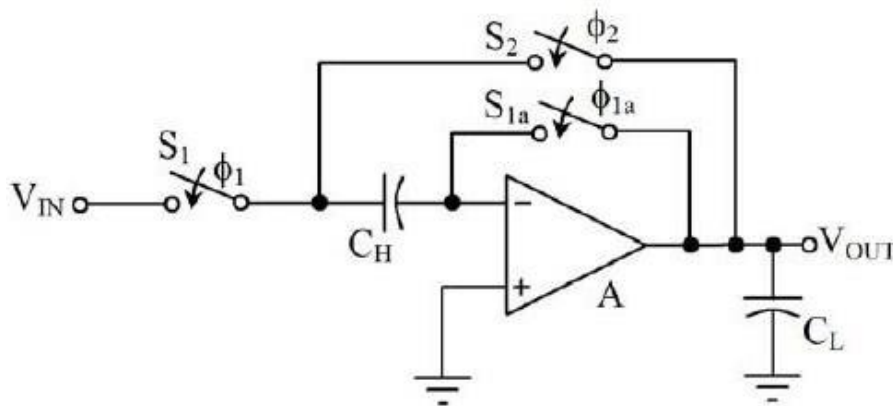


Figure 2.16 : Schéma de principe du circuit E/B à capacité commutée

- Le circuit est alors en mode échantillonnage lorsque la phase ϕ_1 (et ϕ_{1a}) est à l'état haut (S_1 et S_{1a} fermés, S_2 ouvert), la capacité de stockage C_H est connectée entre l'entrée du circuit et l'entrée inverseuse de l'amplificateur A. L'amplificateur est dans la configuration suiveur : la différence de potentiel aux bornes de la capacité est donc égale à la tension V_{IN} appliquée en entrée du circuit (diminuée de la tension de décalage V_{offA} de A).
- En basculant en mode de maintien, les phases ϕ_1 (et ϕ_{1a}) et ϕ_2 , complémentaires, basculent (S_1 et S_{1a} ouverts, S_2 fermé), et l'armature « haute » de la capacité de stockage C_H est alors appliquée en sortie du circuit.

En mode échantillonnage, le fonctionnement de ce circuit est semblable au circuit présenté (figure 2.16). Néanmoins, la sortie n'est pas connectée sur l'armature haute de la capacité C_H , diminuant ainsi le couplage entre les deux noeuds d'entrée et de sortie du circuit. Par contre, le passage en mode de maintien demande à A une réponse rapide en régime de forts signaux, la sortie de l'amplificateur devant recouvrir à chaque période point la valeur du signal échantillonné depuis la tension de décalage ramenée en entrée de A.

L'utilisation d'une seule phase de commande ($\phi_1 = \phi_{1a} = \phi_2$) n'est pas optimale pour la compensation des phénomènes d'injections de charges des interrupteurs de commande du circuit [24]. Il est intéressant d'utiliser trois phases distinctes ($\phi_1, \phi_{1a}, \phi_2$) afin de minimiser leur impact [1][25][26]. En ouvrant le commutateur S_{1a} ($\phi_{1a} = 1 \rightarrow 0$), l'armature basse de la capacité C_H se retrouve en haute impédance, annihilant partiellement l'injection de charges de l'interrupteur de commande principal. L'injection effective sera réduite dès lors que la phase ϕ_2 sera toujours à l'état bas. La stabilité temporelle du circuit étant acquise (S_1 ouvert), la phase ϕ_2 peut alors basculer (S_2 fermé) pour rendre la donnée disponible en sortie du circuit. L'erreur restante étant une erreur constante, une architecture différentielle permet de la supprimer partiellement [25][26]

5.4. Circuit E/B à capacité commutée et sortie intégratrice

Dans la structure précédente, la donnée en sortie du circuit n'est plus valide lorsque le circuit rebascule en mode échantillonnage. Pourtant, le principe même de la structure, isolant les noeuds d'entrée et de sortie du circuit, laisse envisager une amélioration par laquelle la donnée serait toujours disponible même lorsque le circuit rebascule en mode échantillonnage. On peut, à cet effet, utiliser un étage de sortie constitué d'un circuit intégrateur (figure 2.17) [27].

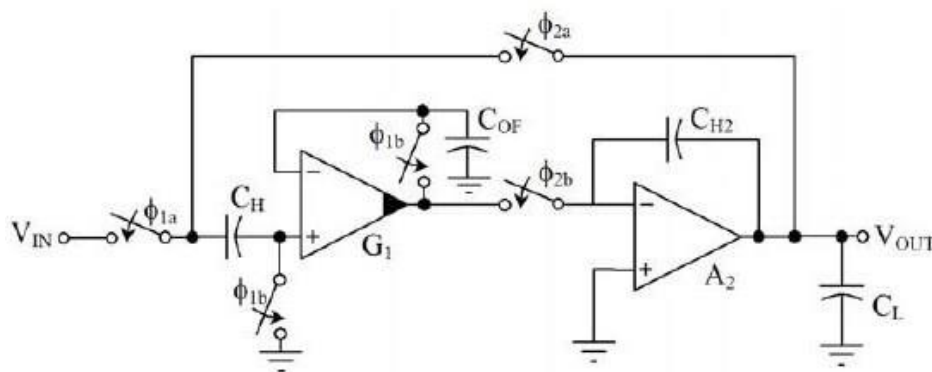


Figure 2.17 : Schéma de principe du circuit E/B à capacité commutée et sortie intégratrice

Durant le mode échantillonnage, la tension de décalage ramenée en entrée de G1 est stockée dans la capacité COF. La tension de référence du circuit est appliquée sur l'armature « basse » de la capacité CH (sur le schéma ci-dessus, cette tension est représentée dynamiquement, soit, par un symbole de masse). La différence de potentiel aux bornes de la capacité CH est ainsi la Valeur de la tension VIN appliquée en entrée du circuit. En basculant en mode de maintien, l'armature haute de la capacité CH est connectée en sortie du circuit. Dans le même temps, la Capacité CH2 est chargée à la tension échantillonnée aux bornes de CH . En rebasculant en mode échantillonnage, la sortie du circuit demeure au potentiel échantillonné au pixel précédent tandis que la nouvelle valeur pixel du signal d'entrée est stockée aux bornes de la capacité CH.

Conclusion

L'échantillonneur-bloqueur est un dispositif central des systèmes de conversion analogique-numérique. Son utilisation dans des domaines d'applications sensibles comme le domaine biomédical place des exigences élevées sur la performance de l'échantillonneur. Le but de ce présent chapitre est de décrire quelque configuration d'architectures du circuit E/B souvent utilisées dans les systèmes de conversion analogique numérique, nous avons commencer d'abord par la description de l'opération d'échantillonnage et de blocage, puis nous avons vu les Paramètres caractéristiques et limitants des circuits E/B, et arrivé en fin a étudier quelques topologies d'E/B.

Chapitre III

Simulation d'un Echantillonneur bloqueur CMOS par LTspice

1. Introduction

Les applications des amplificateurs opérationnels intégrés sont extrêmement nombreuses et variées. Initialement conçus et utilisés pour les calculateurs analogiques, les amplificateurs opérationnels permettent de réaliser des opérateurs de calcul de base des systèmes linéaires : additionneur et soustracteur, multiplication par un gain variable, intégration et dérivation. Grâce à leurs propriétés fondamentales : grand gain, grand impédance d'entrée et faible impédance de sortie, ce sont aussi des composants discrets, relativement faciles à utiliser. Le but du présent chapitre est d'étudier par simulation une application importante dans l'électronique analogique à savoir les échantillonneurs bloqueurs. Nous commençons ce chapitre par la simulation de l'AOP de type Folded Cascode la brique de base de notre échantillonneur, après notre simulation va s'étendre sur quelques topologies de circuit E/B

2. Conception d'un amplificateur opérationnel CMOS à deux étages

2.1 Schéma électrique

La figure 3 .1 montre le schéma électrique de notre amplificateur :

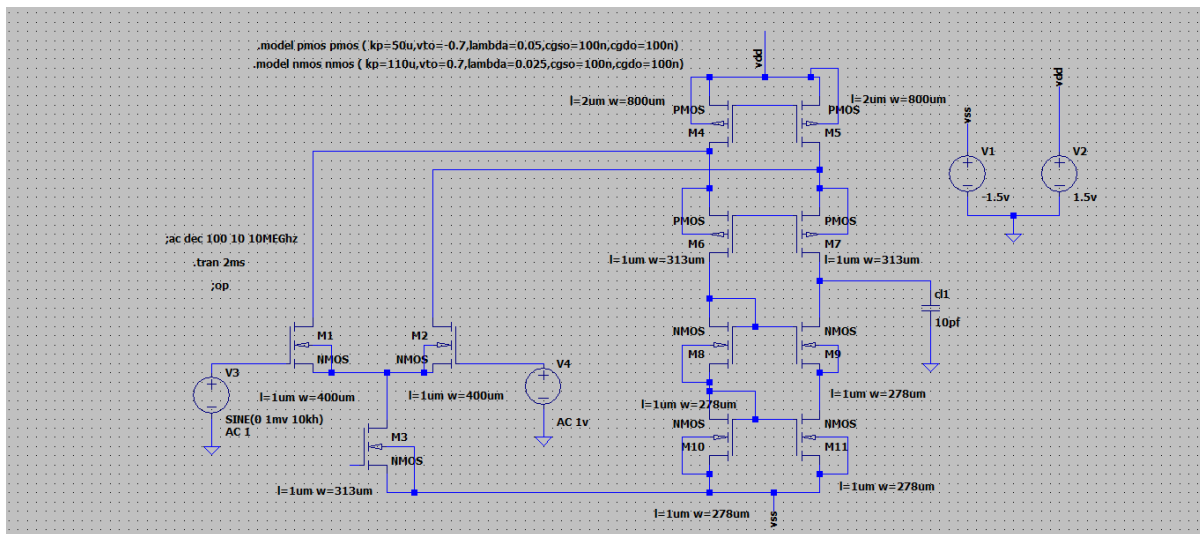


Figure 3.1. L'amplificateur folded cascode étudié

L'amplificateur folded cascode est un amplificateur opérationnel à un étage ; L'entrée de cet amplificateur est une paire différentielle constituée de deux transistors NMOS M1 et M2 alimentée en courant par le transistor M3 ; La capacité CL a été ajoutée pour des questions de stabilité. Elle permet de "compenser en fréquence" l'amplificateur opérationnel.

2.2. Principales étapes de conception

La conception de l'amplificateur opérationnel consiste à dimensionner les transistors constitutants, pour répondre aux spécifications désirées [28]. Les principales étapes sont les suivantes :

1. Calculer les courants dans tous les transistors à partir de la puissance dissipée désirée : VDD. ID pour notre cas la puissance dissipée désirée est prise égale à 10mW ;
2. calculer la tension $V_{ov} = (V_{GS} - V_{th})$ pour tous les transistors : cette tension permet d'évaluer la transconductance g_m de chaque transistor : $g_m = 2I_D/V_{ov}$; à partir de g_m le rapport W/L de chaque transistor est calculé : $W/L = g_m^2 / 2I_D \mu_n C_{ox}$.
3. corriger le rapport W/L pour répondre aux exigences dynamique de l'amplificateur notamment le gain en tension dynamique A_v .

Le dimensionnement utilisé dans notre travail est représenté dans la figure 3.1 [29]

3. Résultat de la simulation

3.1. Point de fonctionnement OP

Afin d'évaluer le fonctionnement grossier du circuit, nous avons mis au point un test fonctionnel statique du circuit. Ce test nous a permis d'évaluer la consommation moyenne du circuit au point de repos. Les résultats sont résumés ci-dessous:

--- Operating Point ---		
V(n003) :	1.0691	voltage
V(n009) :	0	voltage
V(n006) :	-1.11759	voltage
V(n002) :	1.0691	voltage
V(ve) :	0	voltage
V(n010) :	0	voltage
V(vss) :	-1.5	voltage
V(n001) :	0	voltage
V(vdd) :	1.5	voltage
V(n005) :	0.430105	voltage
V(n004) :	0	voltage
V(vs) :	0.430105	voltage
V(n007) :	-0.534947	voltage
V(n008) :	-0.534947	voltage
Id(M7) :	-0.00110008	device_current
Ig(M7) :	0	device_current
Ib(M7) :	6.48992e-013	device_current
Is(M7) :	0.00110008	device_current
Id(M6) :	-0.00110008	device_current
Ig(M6) :	0	device_current
Ib(M6) :	6.48992e-013	device_current
Is(M6) :	0.00110008	device_current
Id(M5) :	-0.00514621	device_current
Ig(M5) :	0	device_current
Ib(M5) :	4.40902e-013	device_current
Is(M5) :	0.00514621	device_current
Id(M4) :	-0.00514621	device_current
Ig(M4) :	0	device_current

Id(M11) :	-0.00110008	device_current
Ig(M11) :	0	device_current
Ib(M11) :	-9.75053e-013	device_current
Is(M11) :	0.00110008	device_current
Id(M10) :	-0.00110008	device_current
Ig(M10) :	0	device_current
Ib(M10) :	-9.75053e-013	device_current
Is(M10) :	0.00110008	device_current
Id(M9) :	-0.00110008	device_current
Ig(M9) :	0	device_current
Ib(M9) :	-9.75053e-013	device_current
Is(M9) :	0.00110008	device_current
Id(M8) :	-0.00110008	device_current
Ig(M8) :	0	device_current
Ib(M8) :	-9.75053e-013	device_current
Is(M8) :	0.00110008	device_current
Id(M3) :	0.00809225	device_current
Ig(M3) :	0	device_current
Ib(M3) :	-3.9241e-013	device_current
Is(M3) :	-0.00809225	device_current
Id(M2) :	0.00404612	device_current
Ig(M2) :	0	device_current
Ib(M2) :	-2.19669e-012	device_current
Is(M2) :	-0.00404612	device_current
Id(M1) :	0.00404612	device_current
Ig(M1) :	0	device_current
Ib(M1) :	-2.19669e-012	device_current
Is(M1) :	-0.00404612	device_current
I(Cl1) :	2.15053e-024	device_current
I(V4) :	0	device_current

Sur ces tableaux on peut remarquer le courant de polarisation de l'étage différentiel I_D (M3) qui est de l'ordre de 8.09mA, d'autre part les deux courants de drain des transistors M4 et M5 nous ont permis de calculer une puissance dissipée de l'ordre de 15.22 mW.

3.2 .La réponse en fréquence (étude AC)

Nous allons voir dans ce paragraphe l'analyse AC. Le but de l'analyse AC est d'examiner le diagramme de bode du gain DC, le diagramme de la phase et de déterminer la bande passante de notre amplificateur (Bandwidth).

La réponse en fréquence de notre amplificateur (diagramme de gain et diagramme de phase) est donnée sure la figure 3.2.

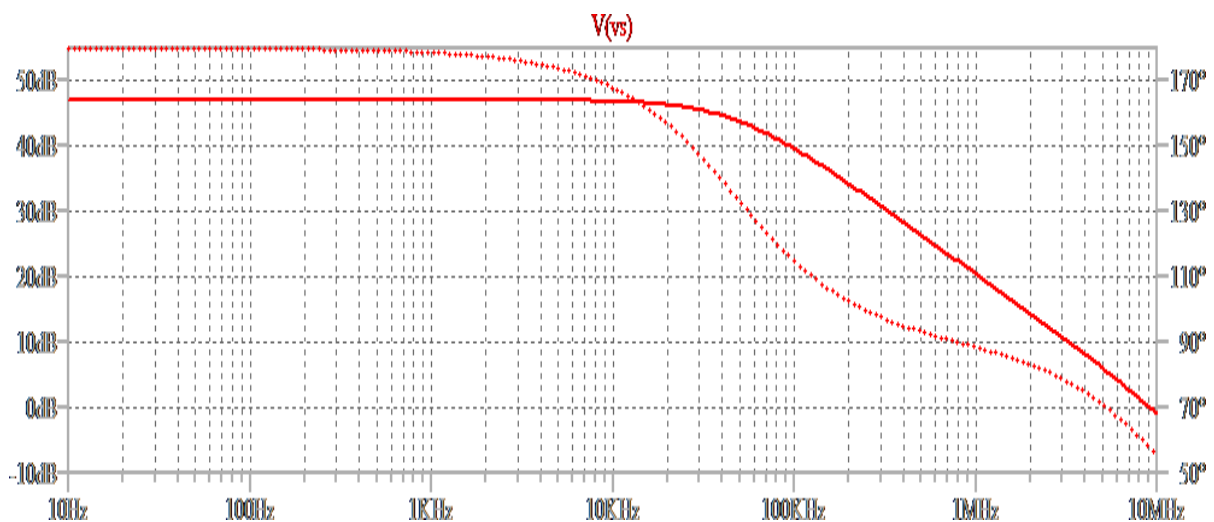


Figure3.2. La réponse en fréquence : courbe de gain et courbe de phase

A partir de la figure on peut constater un gain DC qui avoisine 48dB et un UGB = 10MHz.

3.3. Analyse temporelle (transient simulation)

La figure III. 4 montre les deux signaux d'entrée différentielle V_e et de sortie (simple) V_s . Après une période de transition, le signal de sortie se fixe sur une valeur de 680mV et ce pour une tension d'entrée différentielle de 1mV et de fréquence de 1Khz. Le gain différentiel est alors égale a environ 240 ce qui est équivalent a 48 db.

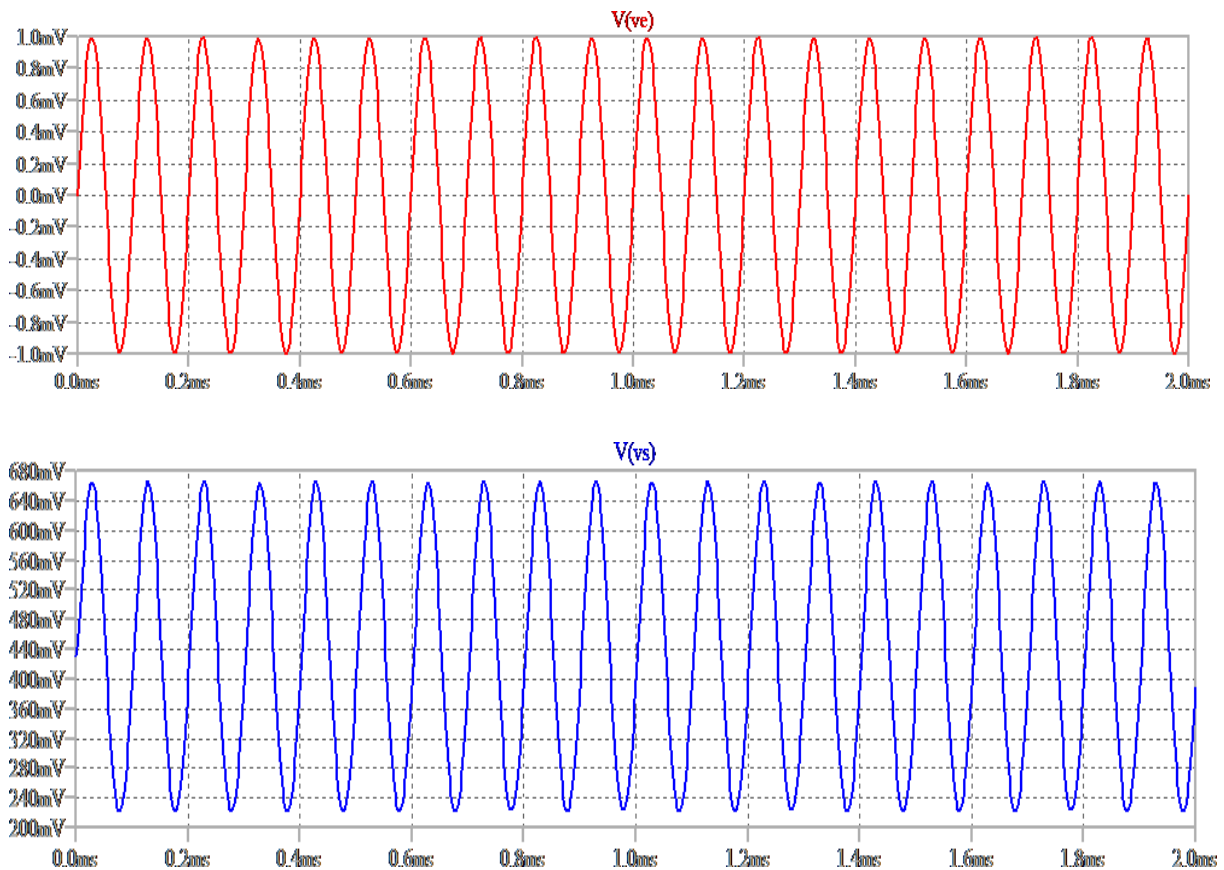


Figure3.3. Schéma de l'analyse temporelle de l'AOP

3.4. Test de ICMR (input common mode range)

La simulation suivante est le test de la ICMR, pour ce test l'amplificateur est mis à la configuration du gain unitaire (figure).

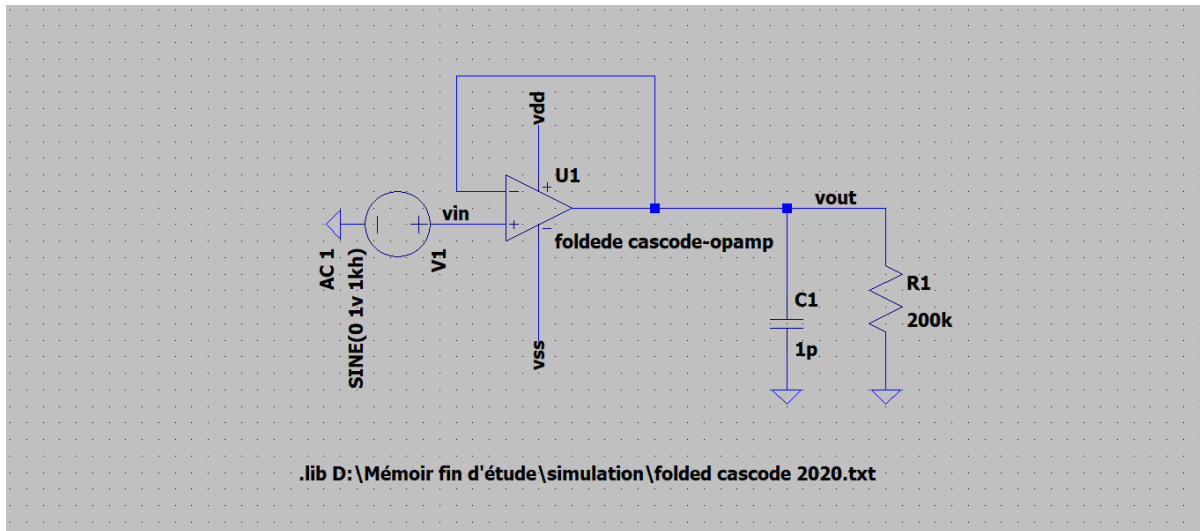


Figure3.4. Circuit test de L'ICMR

L'entrée est balayée sur l'intervalle de l'alimentation, l'ICMR est le rang des valeurs dans la partie linéaire de la courbe.

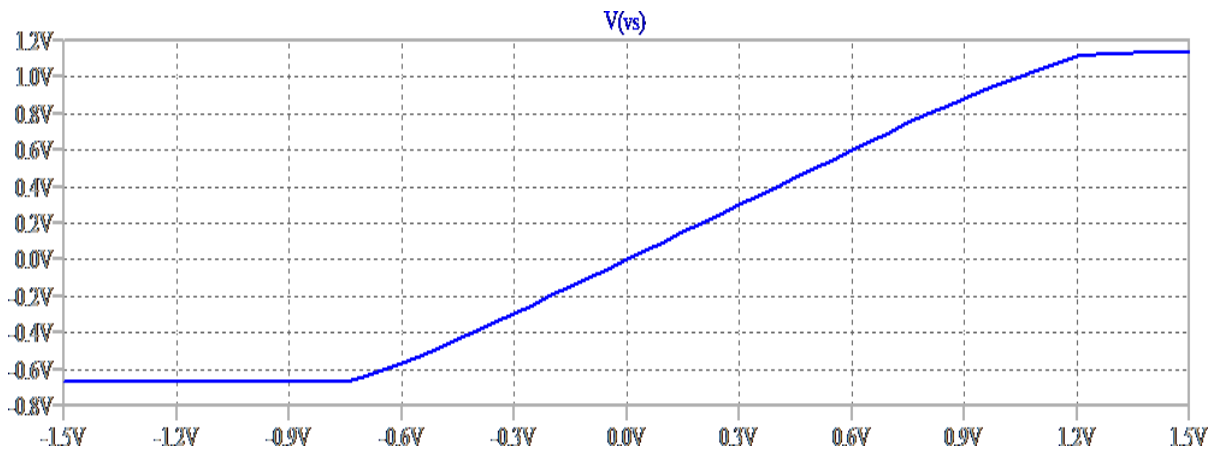


Figure 3.5. Courbe de l'ICMR

Sur la courbe on peut constater que l'intervalle de l'ICMR est : $-0.7 \rightarrow 1.1\text{V}$

3.5. Test de Slew Rate

Dans ce test nous gardons toujours la même configuration de test (configuration du gain unitaire). L'entrée de l'amplificateur est attaquée par une large impulsion carrée. Le Slew

Rate est déterminé par la mesure de pente du signal de sortie ; les résultats sont montés par les figures3.6 et 3.7 :

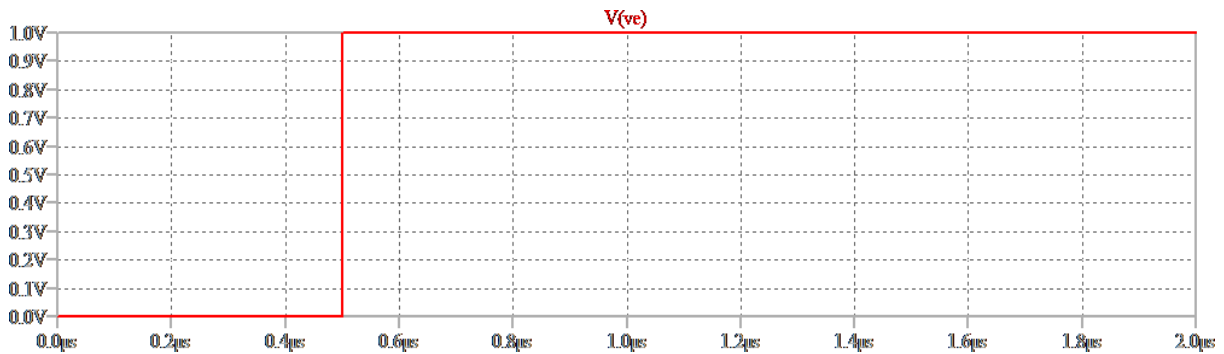


Figure3.6. Fonction échelon à l'entrée

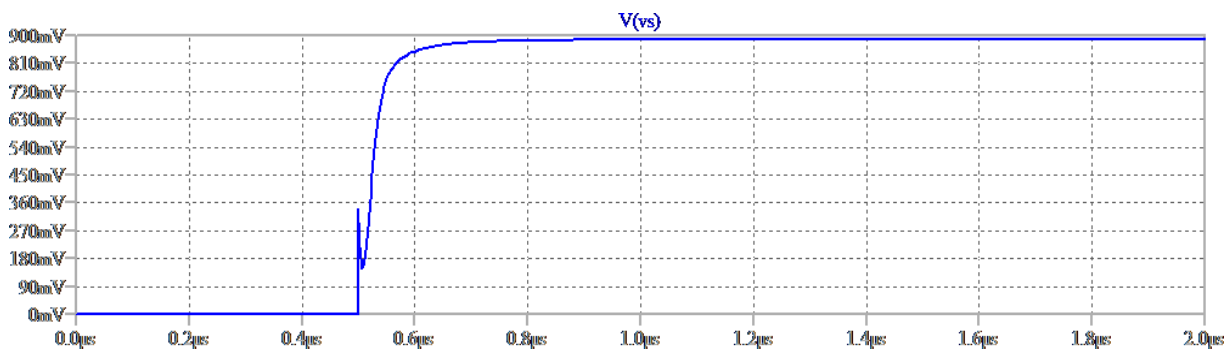


Figure3.7. La réponse en sortie

A partir de ces courbes on peut calculer :

Temps de montée : temps de 10% à 90% de la transition.

$$T_m = 50\text{ns}$$

$$\text{Slew Rate} = \Delta V / T_m = 14\text{V}/\mu\text{s}.$$

3.6. Test du PSRR ((Power Supply Rejection Ratio)

Le PSRR est défini comme le produit de rapport de la variation de la tension d'alimentation par rapport à la tension de sortie de l'**OP-AMP** par le gain en boucle ouverte.

Le circuit test présenté ci-dessous figure (II.11) on peut calculer PSRR. Les résultats des simulations illustrées dans la figure 3.8

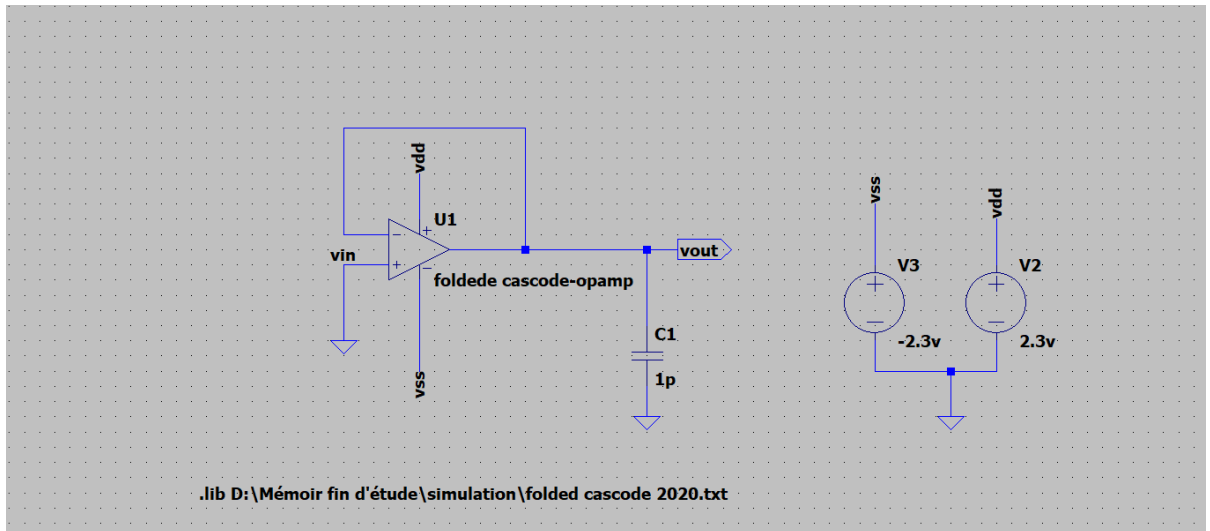


Figure 3.8. Circuit test de PSRR

Pour le test PSRR on utilise deux sources continues Vdc, une source comme VDD et une comme GND. on met d'abord VDD à une tension alternative AC (pas GND) et voir la sortie Vs dans une analyse AC pour avoir le PSRR+ , mettre GND à une tension alternative (pas VDD) et voir par la suite Vs pour avoir le PSRR-.

Les résultats de notre amplificateur sont regroupés dans la figure 3.9

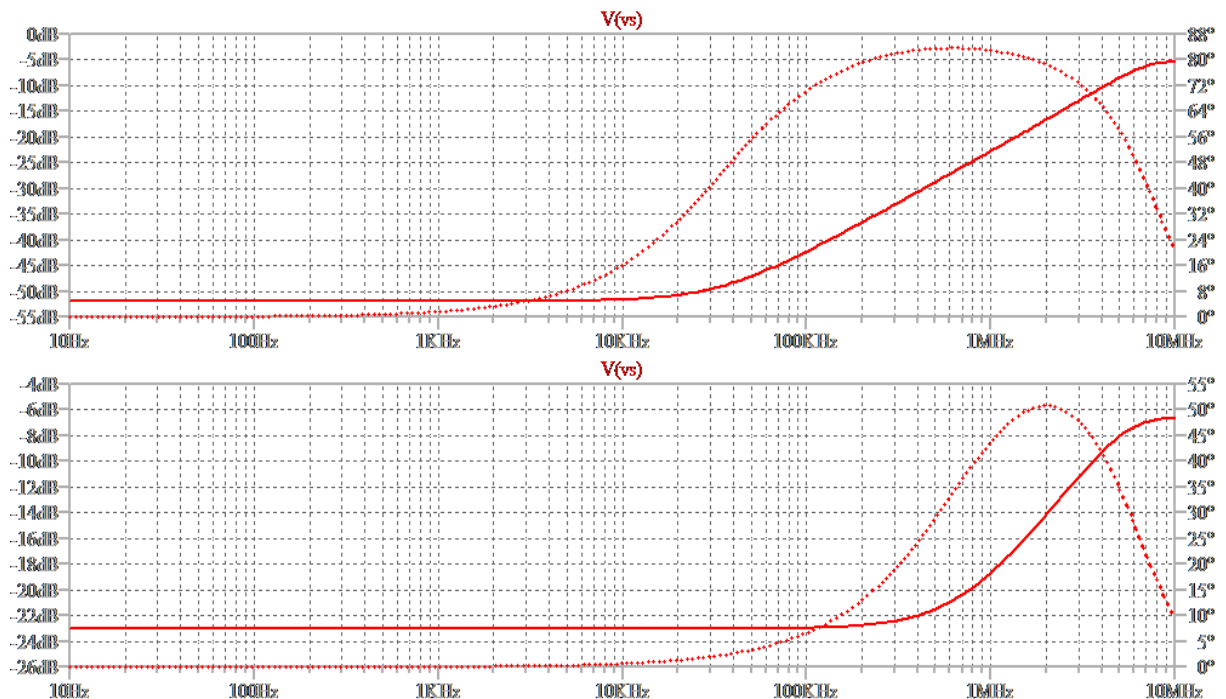


Figure 3.9. Courbes du PSRR+ et PSRR-

A partir de la courbe de la figure on peut constater que :

PSRR+ = 52Db

PSRR- = 23Db

3.7. Taux de rejection de mode commun CMRR (Common Mode Rejection Ratio)

Le CMRR d'un amplificateur opérationnel est calculé par la multiplication du gain en mode commun de l'étage d'entrée différentiel par le gain de deuxième étage (l'étage de sortie) et on divisé le gain en boucle ouverte sur ce produit,

Le circuit de test de calcul du CMRR est représenté dans la figure

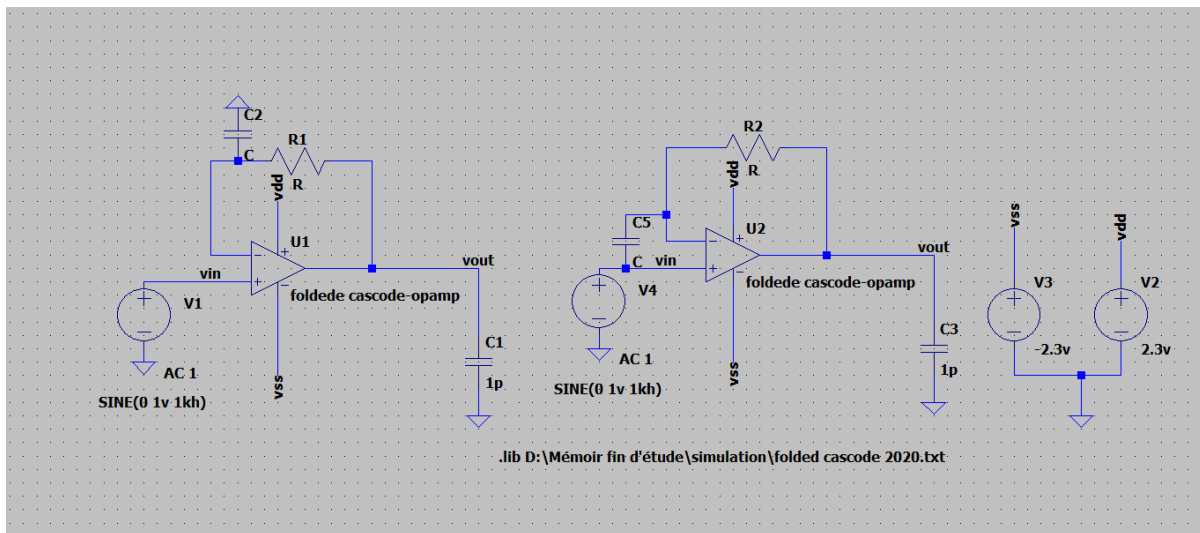


Figure3.10. Circuit test de CMRR

les résultats de la simulation sont montrés sur la figure 3.11

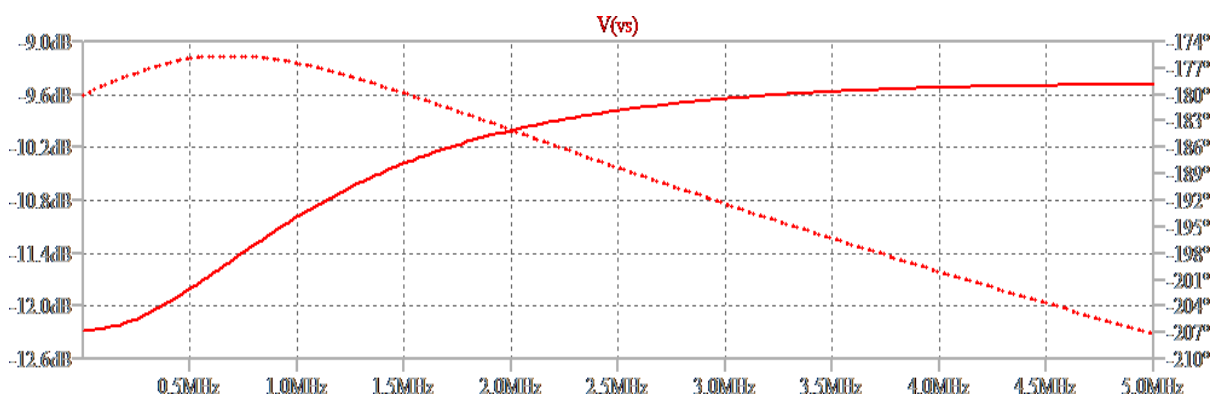


Figure 3.11.: simulation de CMRR

3.8. Courbe du bruit

Dans les amplificateurs opérationnels la tension de bruit en sortie doit être prise en considération. Le résultat de l'analyse du bruit a été effectuée par LTSPICE et est représentée sur la figure 3.12. A partir de la figure, la tension du bruit en sortie avoisine $500\text{nV}/\text{Hz}^{1/2}$, pour les basses fréquences, d'autre part on peut remarquer que le bruit devient minime et moins de $10\text{nV}/\text{Hz}^{1/2}$ pour les hautes fréquences à partir de 10MHz

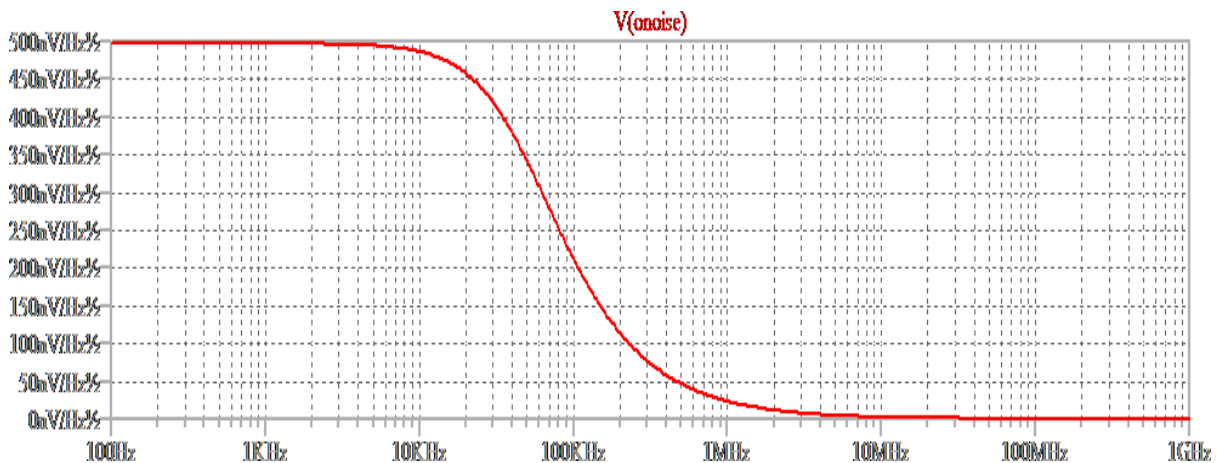


Figure 3.12. Courbe du bruit en sortie

4. Etude d'un échantillonneur bloqueur CMOS

Dans cette partie, nous décrivons un certain nombre d'architectures d'E/B à base de l'amplificateur folded cascode étudié auparavant, ses types d'E/B sont souvent utilisés dans les systèmes de conversion analogique numérique.

4.1. La configuration de base

La configuration de base d'un échantillonneur bloqueur CMOS est représentée dans la figure le circuit est constitué d'un amplificateur folded cascode et d'un switcher de type NMOS attaqué par un signal d'horloge CLK.

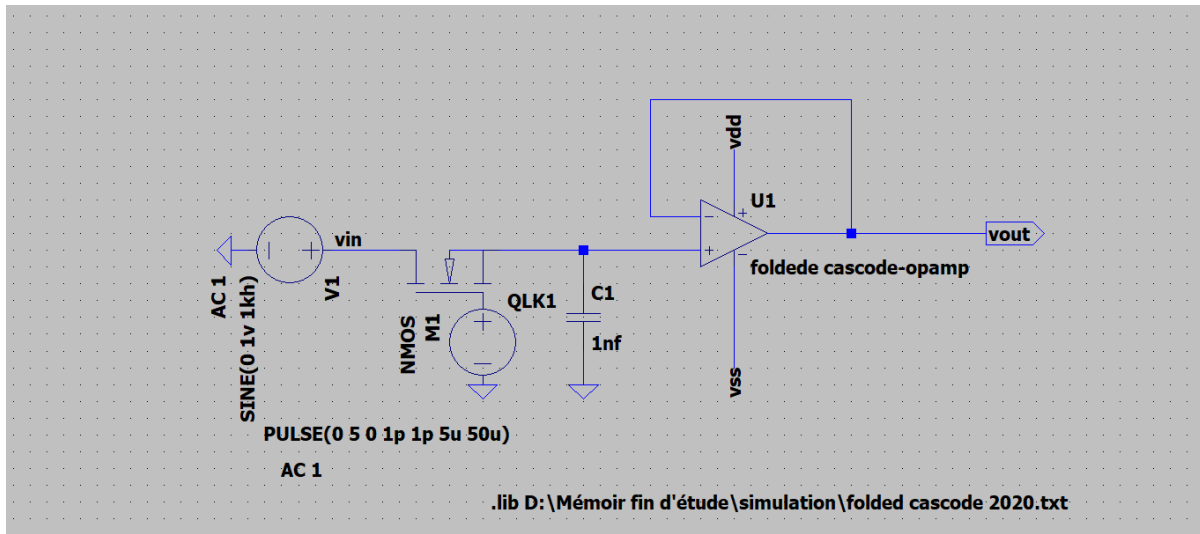


Figure 3.13. E/B : circuit de base

La simulation du circuit E/B de base est représentée sur la figure 3.14 ; le switcher est commandé par un signal d'horloge de fréquence 1KH, l'ouverture de ce dernier cause un état de blocage.

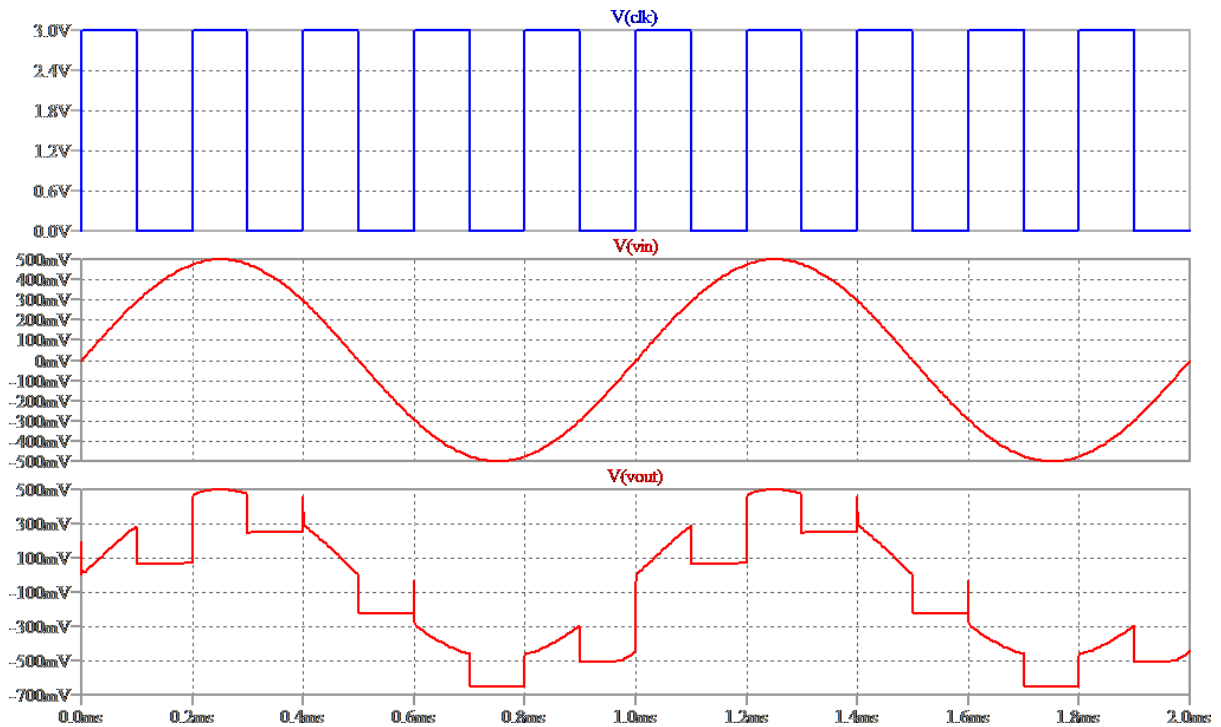


Figure 3.14. E/B : courbe d'entrée et de sortie de l'E/B de base

On peut remarquer sur la figure 3.14 que pendant le cycle d'échantillonnage le signal de sortie suit parfaitement le signal d'entrée, par contre pendant le blocage on remarque des marches d'escaliers avec des tensions de pertes importantes. Alors, quand le signal CLK passe à l'état bas la charge dans le canal du transistor switcher est distribuée entre la source et le drain en perdant alors 50% de ses charges en causant le problème remarqué .

Pour remédier à cet inconvénient nous allons étudier deux cas de figures qui peuvent réduire les marches à l'état de blocage.

4.2. Configuration de base à grille CMOS

Ce type de configuration utilise deux types de transistors, le premier est un NMOS et le deuxième est PMOS montés comme montrés dans la figure 3.15 :

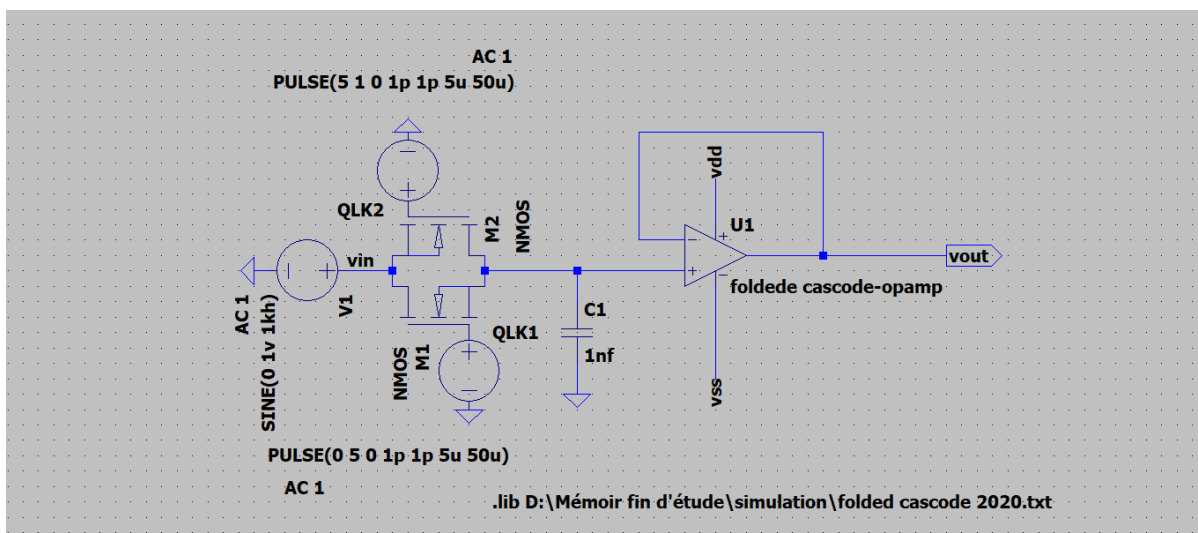


Figure 3.15. Configuration à grille CMOS

Les signaux de cette configuration sont présentés dans la figure 3.16.

Cette configuration CMOS réduit l'injection de charges car les deux types de transistors NMOS et PMOS ont deux polarités différentes ça entraîne une neutralisation entre les charge positives du PMOS et les charges négatives du NMOS. A cause de ce phénomène on peut

remarquer une amélioration dans la phase de blocage, cependant avoir deux transistors NMOS et PMOS qui convient bien en terme de dimension réduit les avantages de cette configuration [30].

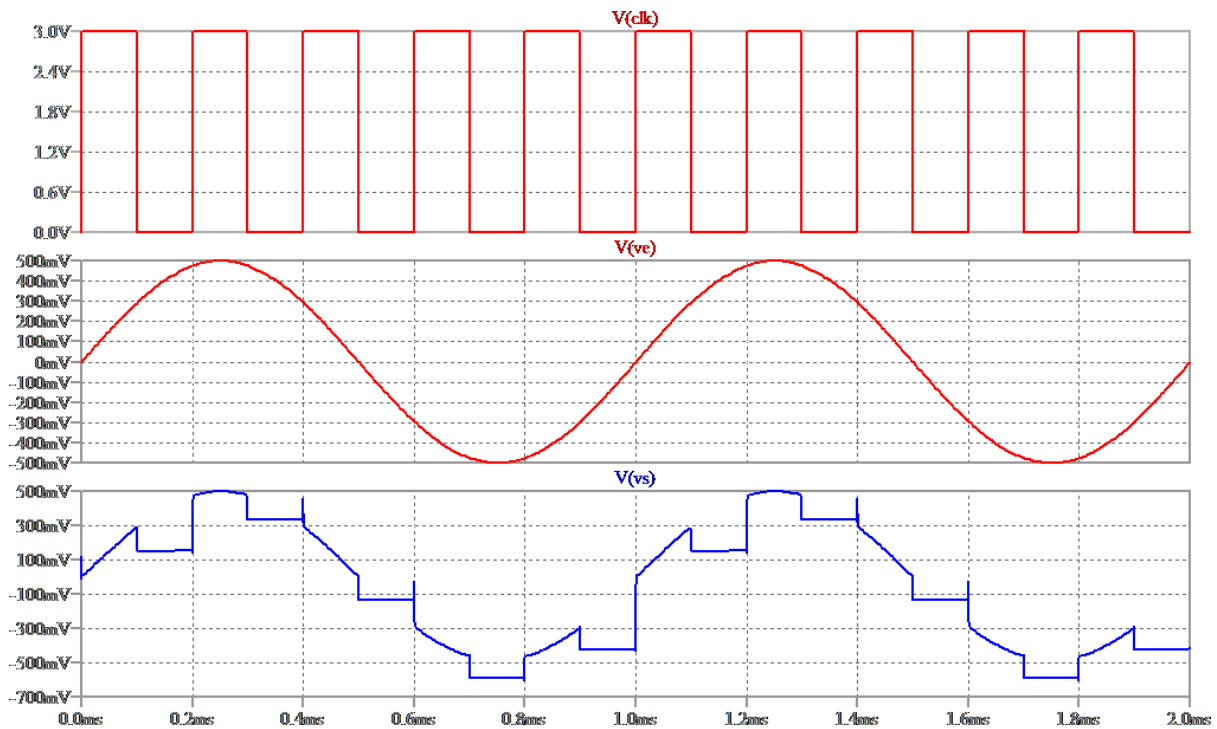


Figure 3.16. Courbe d'entrée et de sortie de l'E/B de base CMOS

4.3. Configuration de base de type Dummy Switch

Ce type de configuration utilise aussi deux transistors. Un deuxième transistor dont la source et le drain sont court circuités, avec un demi de surface de canal du transistor 1. le deuxième transistor est attaqué par un signal d'horloge barre CLKB. Figure 3.17 :

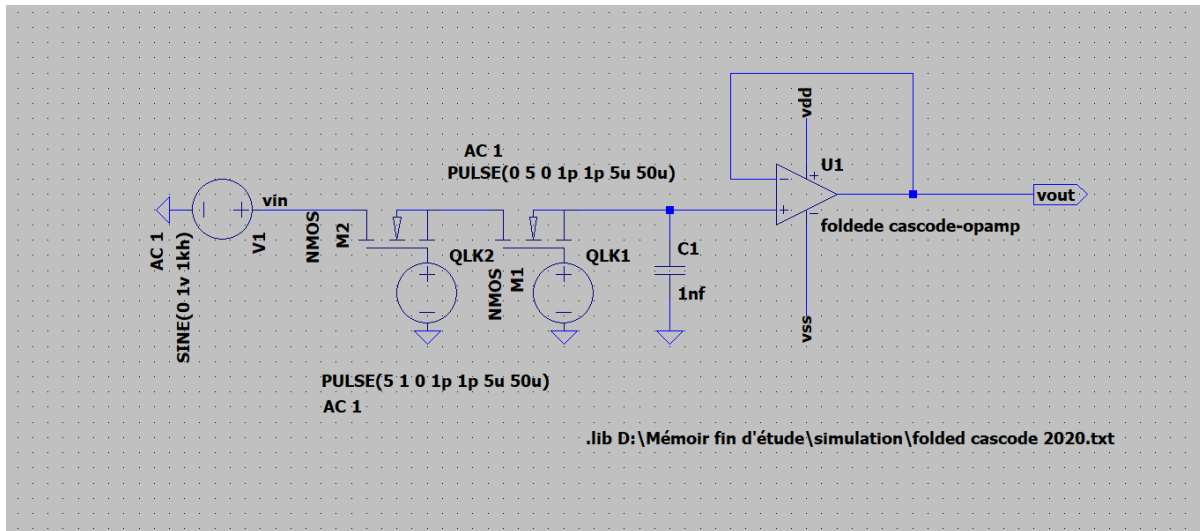


Figure 3.17. Configuration de type Dummy Switch

Les signaux de la configuration Dummy sont présentés dans la figure 3.18 :

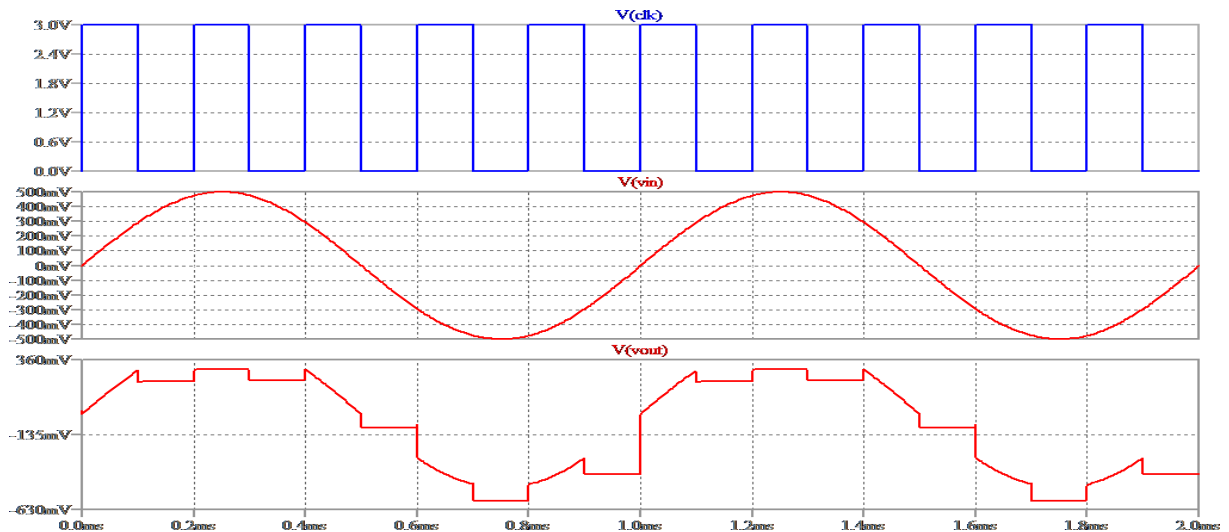


Figure 3.18. Courbe d'entrée et de sortie de l'E/B à configuration Dummy

Le transistor 2 doit être activé un peu en retard par rapport au transistor 1 pour que son canal, lorsque le transistor 2 sera passant, absorbera les charges injectées.

La figure motre une comparaison entre les trois types d'E/B de base :

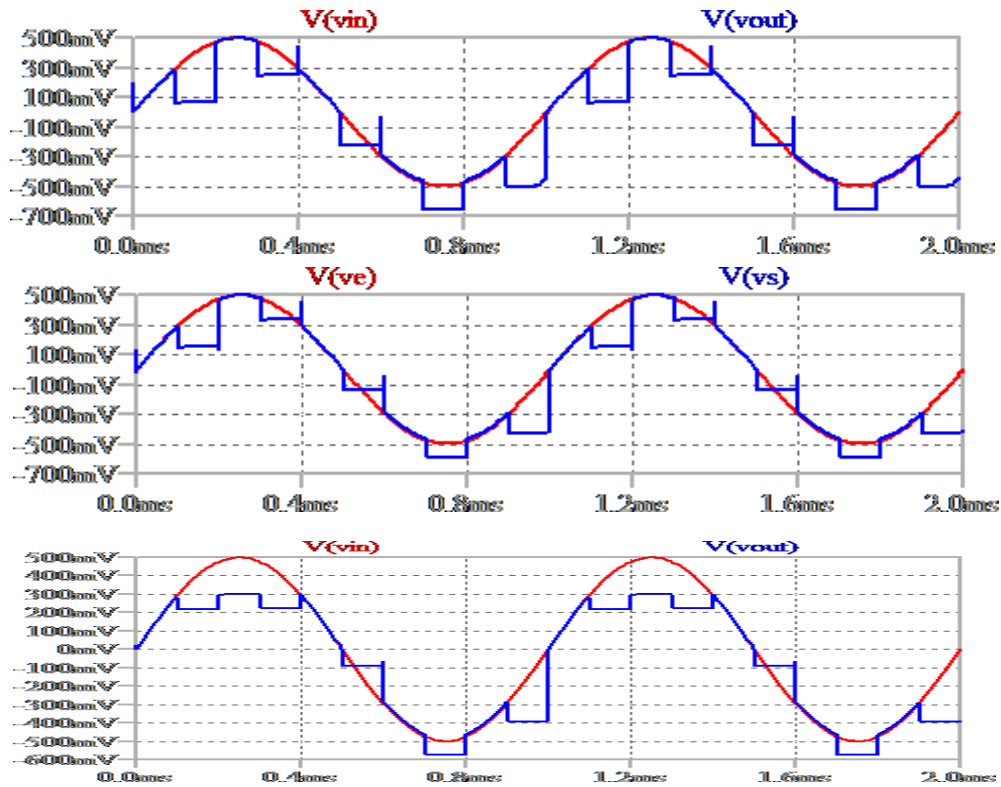


Figure 3.19. comparaison entre les trois types d'E/B de base

4.4. Echantillonneur bloqueur en boucle ouverte

Ce type d'E/B utilise deux amplificateurs opérationnels de type Folded cascode et un Switch de type NMOS figure 3.19.

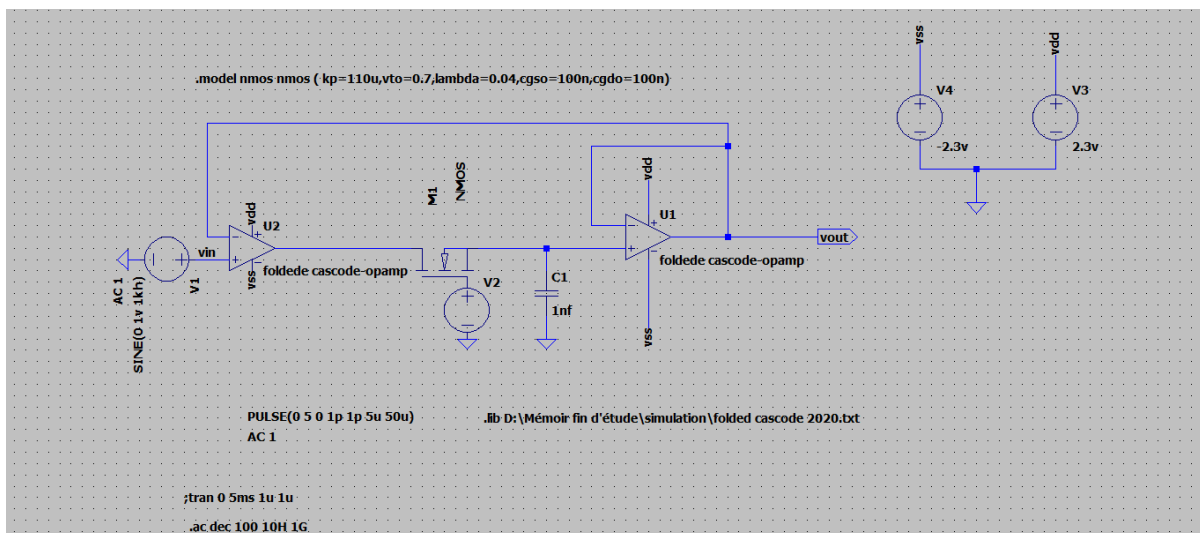


Figure 3.20. échantillonneur bloqueur en boucle ouverte

Les signaux de la configuration d'E/B en boucle ouverte sont montés sur la figure 3.20 :

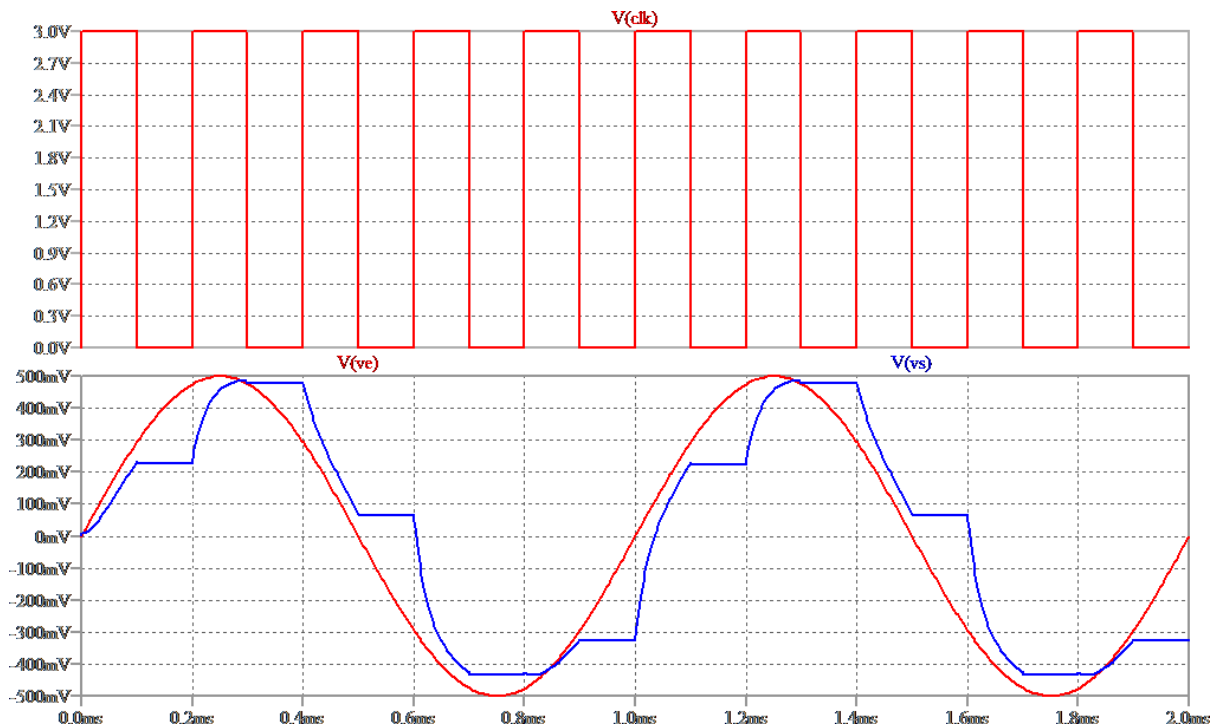


Figure 3.21. Courbe d'entrée et de sortie de l'E/B en boucle ouverte

Sur la figure 3.21 on remarque que ce montage présente l'inconvénient de fonctionner moins rapide c'est-à-dire que le signal de sortie ne suit pas bien le signal d'entrée dans la phase d'échantillanage ; ceci est dû au fonctionnement du premier amplificateur qui va se trouver dans le régime de saturation à chaque fois que les deux switches Q1 et Q3 sont ouverts

4.5. Echantillonneur bloqueur en boucle fermée

Le schéma électrique de la configuration de l'Echantillonneur bloqueur en boucle fermée est présenté dans la figure 3.22 :

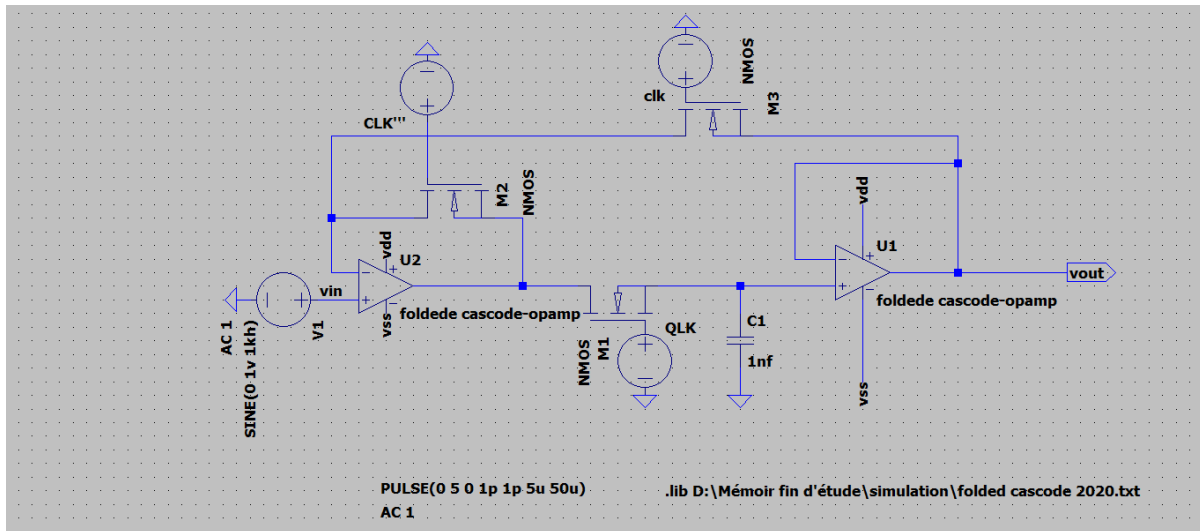


Figure 3.22. Échantillonneur bloqueur en boucle fermée

Les signaux de la configuration d'E/B en boucle fermée sont montés sur la figure 3.23.

A partir de ces courbes on remarque que pendant la phase d'échantillonnage le signal de sortie suit parfaitement le signal d'entrée, et ce grâce au premier amplificateur qui reste toujours en régime linéaire quant les deux switches Q3 et Q1 sont ouverts. Il reste à noter un mal fonctionnement dans la phase de blocage.

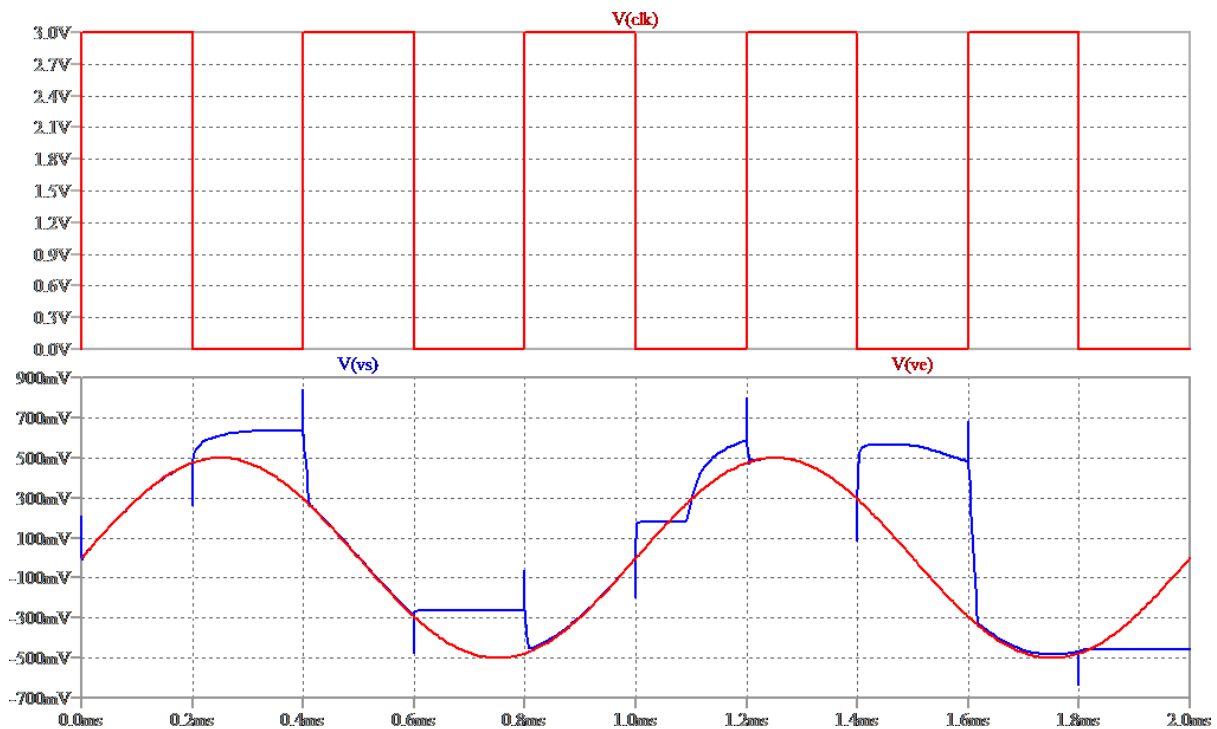


Figure 3.23. E/B : courbe d'entrée et de sortie de l'E/B en boucle fermée

5. Conclusion

Ce chapitre illustre l'ensemble des résultats de simulation réalisés, a partir d'une étude théorique sur la conception d'un circuit amplificateur CMOS de type Folded Cascode ce dernier est utilisé comme brique de base de différentes configuration d'E/B. les résultats de simulation concernait pour une première partie les spécifications de l'amplificateur conçu, ainsi nous avons étudié l'analyse DC, l'analyse AC, l'ICMR, le CMRR, le PSRR et le Slew Rate. Dans une deuxième partie nous avons présenté les résultats de simulation portée sur quelques configurations d'échantillonneurs bloqueurs a base d'un amplificateur Folded cascode.

CONCLUSION GENERALE

La technologie CMOS permet la réalisation de fonctions analogiques moyenne fréquence en éliminant l'usage des résistances toujours délicates à intégrer et souvent encombrantes grâce à l'artifice de la commutation de capacités. L'élément clef des structures analogiques est toujours l'amplificateur; c'est la source première du bruit, des décalages, des limites des performances dynamiques. Aussi depuis quelques années, un grand nombre de schémas ont vu le jour dont il est possible d'effectuer une analyse comparative dans la perspective de leur utilisation dans les circuits utilisant la commutation de capacités.

Dans ce travail l'étude d'un amplificateur opérationnel CMOS Folded cascode a été notre principal objectif pour l'utiliser comme élément de base d'un échantillonneur bloqueur E/B.

Dans un premier temps nous avons étudié les spécifications de l'amplificateur conçu, ainsi nous avons étudié l'analyse DC, l'analyse AC, l'ICMR, le CMRR, le PSRR et le Slew Rate.

Dans la deuxième partie, nous avons analysé la structure E/B de principe constituée d'un simple transistor MOS de commande et d'une capacité de stockage. Cette étude permet de décrire le comportement réel des circuits d'échantillonnage et de mettre en évidence ses limitations. Nous avons particulièrement insisté sur le phénomène d'injections de charge et de son influence sur la précision. Nous avons vu que sa compensation pouvait s'effectuer par l'utilisation de porte de transmission ou de transistors fantômes. Nous avons passé par la suite à l'étude des échantillonneurs bloqueurs à deux AOP. L'évaluation du phénomène d'injection de charges entre le mode échantillonnage et le mode de blocage a montré que ces structures ne pouvaient répondre au problème de la non-linéarité importante introduite par ce phénomène.

Bibliographie

- [1]- denis STANDAROVSKI , contribution a la conception de circuit integes analogiques en technologie CMOS basse tension pour application aux instruments d'observation de la terre, doctorat , polytechnique de toulouse , 19/12/2005
- [2]-F.Baillieu,R.Hermel, ' l'amplificateur CMOS dans les circuit a capacites commutees ' , Revue phys , appl.20(1985)465-482, 1985
- [3]-Mikko Waltari , 'Integration of high-speed CMOS sample-and-hold circuit' , helsinki university of technology . february 16,1999
- [4]- Y.BENHAMIDA, ' Etude des caracteristiques physiques et electriques d'un MOSFET nanometrique' , magister microelectronique, universite de tlemcen, 2012
- [5]- Jerome Thiault, ' etude par microscopie a force atomique en trois dimensions de l'evolution de la rugosite de bord de ligne lors de la fabrication d'une grille de transistor MOS, 2006
- [6]-O.Simonetti « Influence de la quantification en energie des porteurs sur la modélisation et la caractérisation électriques des structures MOS a oxyde de grille ultra mince » . Thèse de doctorat . université de Reims.2003
- [7]- AS.SEdra , KC.Smith Microelectronic circuits. Seventh edition, Oxford university press.2015
- [8]-M.Wang , T.L.Mayhugh Jr , S.H.K.Embabi, E.Sanchaz-Sinencio, "constantgm rail-to-rail COMS op-amp input stage with overlapped transition region",IEEE Journal of Solid-State circiut , vol 34, No 2 , pp.148-156, february 1999.
- [9]-W.-C.S.Wu, W.J.Helms, J.A.Kuhn, B.E.Byrkett, "Digital-compatible high performance operational amplifier with rail-to-rail input and output ranges" , IEEE Journal of Solid-State circiut , vol 29, No 1 , pp.63-66, January 1994.
- [10]- N.S.Sooch, "MOS Cascode Current Mirror", U.S.patent no.4550284,october 1985.
- [11]- CLAUDEL GREGOIRE DJANOU, "conception d'echantillonneurs-blouqueurs dans la technologie MOS submicronique , université du Québec a montréal. Mai 2008
- [12]- Halonen, K., et Waltari, M., "A 220-MSample/s CMOS Sample-and-Hold Circuit Using Double-Sampling", Analog integrated circiuts and signal processinge, vol.18,pp.21-31,1999.
- [13]- Wong,J.C.W., "CMOS sample-and-hold circuit", colligé de notes de cours ECE 1352 Circuit Intégrés Analogiques, Université de Toronto ,2001.
- [14]- Mokrane Dahoumane, "conception, Réalisation et caractérisation de l'électronique intégrée de lecture et de codage des signaux des détecteurs de particules chargées a pixels actifs en tchenologie CMOS", Thèse de doctorat, université de strasbourg ,03 novembre 2009.
- [15]- F. Auger: « Introduction à la théorie du signal et de l'information ». Editions Technip, 1999.
- [16] -F. De Coulon : « Théorie et traite,ent des signaux ». Edition presses polytechniques et universitaires

ro,andes, 1996.

[17] -Blanchard, R. A., Gray, P. R., et Stafford, K. R., "A complete monolithic sample/hold amplifier", IEEE Journal of Solid-state Circuits, vol. 9, no. 6, pp. 381-387, 1974.

[18] - DEA Conception des Circuits Micro-Electroniques et Micro-systèmes de l'ONPT

[19] -M. LUCAS PETBET: " Optimisation de blocs constitutifs d'un convertisseur A/N pipeline en technologie CMOS 0.18 μ m pour utilisation en environnement spatial", DOCTORAT, université de Toulouse, 2017

[20] -Randall L. Geiger, Phillip E. Allen, and Noel R. Strader, "VLSI design technique for analog and digital circuits. MacGraw-Hill, 1990.

[21]- Behzad Razavi, "Design of Analog CMOS Integrated Circuits," McGraw-Hill International Edition, 2001.

[22] -Salah HANFOUG: " Conception et layout d'un échantillonneur bloqueur à technologie CMOS 0.35 μ m ", MAGISTER, Université de BATNA.

[23]- Joyce Cheuk Wai Wong "CMOS Sample and Hold Circuits". Department of Electrical and Computer Engineering University of Toronto. November 12, 2001.

[24]- M.Yotsuyanagi, T.Etoh, K.Hirata, "A 10-b 50-MHz Pipelined CMOS A/D Converter with S/H", IEEE Journal of Solid-State Circuits, Vol.28, No 3, pp.292-300, March 2003.

[25]- E.Säll, "Design of a Low Power, High Performance Track-and-Hold Circuit in a 0.18 μ m CMOS Technology", Linköping University, LITH-ISY-EX-3248-2002, September 2002.

[26]- C.-C. Hsu, J.-T. Wu, "A CMOS 33-mW 100-MHz 80-dB SFDR Sample-and-Hold Amplifier", IEICE Trans. Electron., Vol.E85-C, No 1, January 2002.

[27]- U.Gatti, F.Maloberti, G.Palmisano, "An Accurate CMOS Sample-and-Hold Circuit", IEEE Journal of Solid-State Circuits, Vol.27, No 1, pp.120-122, January 1992.

[28] -Kyle Edward Qddington: " Design of folded cascode operational amplifier in a 1.2 silicon-carbide CMOS Process ", Electrical Engineering theses, 2017.

[29]- Nithin Muralidharan; Cours 'Folded cascode opamp design example' Departement of ECE RV College of Engineering Bengaluru.

[30]- Snorre Aunet, sa@ifi.uio.no Nanoelectronic group, Dept. of informatics Office 3432 "Sample and Hold Circuit (chapter 8)", universitet I OSLO , february .2010