

**REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE**  
**MINISTERE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA RECHERCHE**  
**SCIENTIFIQUE**

**UNIVERSITE MOHAMED BOUDIAF - M'SILA**

**DOMAINE : SCIENCES ET TECHNOLOGIES**

**FILIERE : ELECTROTECHNIQUE**

**SPECIALITE : COMMANDE ELECTRIQUE**



**FACULTE : TECHNOLOGIE**

**DEPARTEMENT : GENIE ELECTRIQUE**

**N° D'ORDRE : .....**

**MEMOIRE DE FIN D'ETUDE EN VUE DE L'OBTENTION DU**  
**DIPLOME DE MASTER**

**Présenté par :**

**MAHDI YOUNES**

**ABDELKEBIR YAKOUB**

**THEME**

**Implémentation d'un système de diagnostique des défauts**  
**de machine asynchrone sur circuit reconfigurable FPGA**

**Soutenue le. 20 /06 / 2021 devant le jury composé de :**

**LAAMARI Yahia**

**UNIVERSITE MOHAMED BOUDIAF - M'SILA**

**Président**

**KHODJA Djalal Eddine**

**UNIVERSITE MOHAMED BOUDIAF - M'SILA**

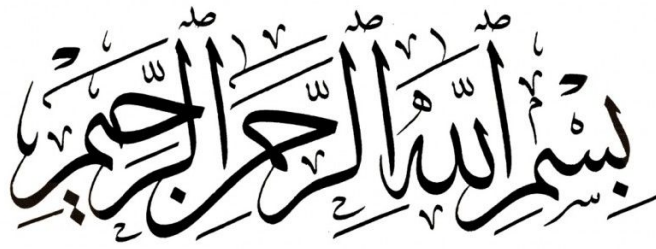
**Encadreur**

**CHERIF Bilal Djameleddine**

**UNIVERSITE MOHAMED BOUDIAF - M'SILA**

**Examineur**

**ANNEE UNIVERSITAIRE : 2020/ 2021**



### ***Dédicace***

*Je dédie ce modeste travail :*

*A ceux qui sont les plus chers du monde, Mes parents*

*A mon cher frère « Ilyase » et mes*

*chers sœurs « Khadidja » et*

*« Hadjer » et « Bochra »*

*A toute la famille MAHDI*

*A tous mes amis sans exception*

*M.Younes.*

## ***Dédicace***

*Je dédie ce modeste travail :*

*A ceux qui sont les plus chers du monde, Mes parents*

*A mes frères*

*A mes chers sœurs*

*A toute la famille*

*A tous mes amis sans exception*

*A.Yakoub.*

## **Remerciements**

*Le prophète Mohammed ﷺ dit:*

*« Celui qui ne remercie pas les gens ne remercie pas Dieu ».*

*Avec la fin de ce travail de fin d'études  
, je remercie d'abord Dieu, qui m'a fourni  
une bonne santé, en particulier dans les  
circonstances de Covid\_19, et m'a donné de  
la résolution, et je tiens également à  
remercier mes parents avant tous, En plus je  
remercie également mon professeur  
superviseur sur la mémoire de fin d'études,  
« Pr.KHODJA Djalal Eddine », qui nous  
dirigé et aidé. Je remercie aussi « Dr.AIB  
Abdelghani », qui nous a aidé avec ses  
précieuses informations*

# Table de matières

Glossaire

Nomenclature

INTRODUCTION GENERALE

## Chapitre I : Etat de l'art de diagnostic des défauts de MAS

|                                                                                       |    |
|---------------------------------------------------------------------------------------|----|
| I.1 Le moteur électrique : .....                                                      | 17 |
| I.1.1 Moteur à courant continu "MCC" : .....                                          | 17 |
| I.1.2 Moteur à courant alternatif : .....                                             | 17 |
| I.2 Les différentes défaillances qui peuvent surgir sur les moteurs asynchrones ..... | 20 |
| I.2.1 Défauts internes et externes .....                                              | 20 |
| I.2.2 Défaut électrique .....                                                         | 22 |
| I.2.3 Défaut mécanique .....                                                          | 25 |
| I.3 Défaut convertisseur .....                                                        | 26 |
| I.4 Définition et objectif du diagnostic .....                                        | 27 |
| I.4.1 Objectif du diagnostic : .....                                                  | 28 |
| I.4.2 Analyse de la procédure du diagnostic .....                                     | 28 |
| I.5 Les méthodes de diagnostic des défauts de machine asynchrone .....                | 29 |
| I.5.1 Les méthodes internes .....                                                     | 30 |
| I.5.2 Les méthodes externes .....                                                     | 31 |
| I.6 Causes des défauts .....                                                          | 35 |
| I.7 Position du problème à résoudre .....                                             | 36 |
| I.8 Conclusion .....                                                                  | 37 |

## Chapitre II : modélisation et simulation de machine asynchrone

|                                                  |    |
|--------------------------------------------------|----|
| II.1 Introduction .....                          | 39 |
| II.2 Hypothèses simplificatrices .....           | 39 |
| II.3 Modélisation de MAS triphasé .....          | 40 |
| II.3.1 Equations générales .....                 | 40 |
| II.3.2 Modélisation dans le repère de Park ..... | 43 |

|                                                    |                                                                                                              |    |
|----------------------------------------------------|--------------------------------------------------------------------------------------------------------------|----|
| II.4                                               | Représentation d'état de MAS.....                                                                            | 44 |
| II.5                                               | Simulation de model de machine asynchrone en régime normal « état sain » alimentée par réseau triphasé ..... | 46 |
| II.5.1                                             | Résultat de simulation à vide .....                                                                          | 47 |
| II.5.2                                             | Résultat de Simulation avec en charge: .....                                                                 | 48 |
| II.5.3                                             | Interprétation des résultats .....                                                                           | 49 |
| II.6                                               | Modélisation de l'onduleur de tension en utilisant la technique MLI .....                                    | 49 |
| II.7                                               | Commande directe de couple DTC de la machine asynchrone triphasé.....                                        | 52 |
| II.7.1                                             | Introduction:.....                                                                                           | 52 |
| II.7.2                                             | Principe de la commande DTC appliquée sur un onduleur à deux niveaux .....                                   | 53 |
| II.7.3                                             | La théorie de la commande directe du couple : .....                                                          | 53 |
| II.7.4                                             | Les avantages et inconvénients de la commande DTC .....                                                      | 61 |
| II.8                                               | Conclusion .....                                                                                             | 62 |
| Chapitre III : supports physiques d'implémentation |                                                                                                              |    |
| III.1                                              | Introduction.....                                                                                            | 65 |
| III.2                                              | Différents supports physiques .....                                                                          | 65 |
| III.2.1                                            | Support physique analogique .....                                                                            | 66 |
| III.2.2                                            | Support physique numérique .....                                                                             | 66 |
| III.3                                              | Les composants Standards.....                                                                                | 67 |
| III.3.1                                            | Microprocesseur.....                                                                                         | 67 |
| III.3.2                                            | Les DSP .....                                                                                                | 67 |
| III.3.3                                            | Les ASIC's.....                                                                                              | 68 |
| III.3.4                                            | PLD (les circuits à structure programmable) .....                                                            | 68 |
| III.3.5                                            | SPLD (simple programmable logic device .....                                                                 | 68 |
| III.3.6                                            | PLA.....                                                                                                     | 69 |
| III.3.7                                            | PAL .....                                                                                                    | 69 |
| III.3.8                                            | CPLD .....                                                                                                   | 69 |
| III.4                                              | FPGA (field programmable gate array) .....                                                                   | 70 |
| III.4.1                                            | Avantages et inconvénients des FPGAs.....                                                                    | 71 |
| III.4.2                                            | Architecture Interne d'un FPGA.....                                                                          | 71 |

|                                                                                          |     |
|------------------------------------------------------------------------------------------|-----|
| III.5 Comparaison entre les composants programmables .....                               | 73  |
| III.6 Flot de conception sur FPGA .....                                                  | 74  |
| III.6.1 Introduction de l'algorithme à implémenter .....                                 | 74  |
| III.6.2 Simulation fonctionnelle n°1 .....                                               | 75  |
| III.6.3 Simulation fonctionnelle n°2 .....                                               | 75  |
| III.6.4 Placement/routage.....                                                           | 75  |
| III.6.5 Simulation temporelle.....                                                       | 75  |
| III.7 Choix de technologie.....                                                          | 76  |
| III.8 Architecture interne d'un XC3S500E.....                                            | 76  |
| III.8.1 Les CLBs .....                                                                   | 77  |
| III.8.2 Les IOB.....                                                                     | 78  |
| III.9 Système d'interconnexion .....                                                     | 79  |
| III.10 Conclusion .....                                                                  | 80  |
| Chapitre 04 : implémentation système de diagnostic base de logique flou sur circuit FPGA |     |
| IV.1 Introduction.....                                                                   | 83  |
| IV.2 Traitement de signal par RMS.....                                                   | 83  |
| IV.2.1 Application du RMS sur les signaux de la machine : .....                          | 84  |
| IV.3 Diagnostic des défauts de la machine asynchrone par logique floue .....             | 84  |
| IV.3.1 Les étapes de diagnostic par logique floue .....                                  | 85  |
| IV.3.2 La logique floue sous Xilinx :.....                                               | 86  |
| IV.3.3 Les règles floues .....                                                           | 87  |
| IV.4 Application de la Co-simulation au diagnostic .....                                 | 87  |
| IV.4.1 Les étapes de la Co-simulaion .....                                               | 87  |
| IV.4.2 Caractéristique d'implémentation sur la carte FPGA .....                          | 98  |
| IV.5 Conclusion .....                                                                    | 99  |
| Conclusion générale .....                                                                | 101 |

## **Liste des figures**

### **Chapitre I**

|                                                                                      |    |
|--------------------------------------------------------------------------------------|----|
| Figure I.1: Schéma des composants d'un moteur à courant continu .....                | 17 |
| Figure I.2: Schéma des composants d'un moteur asynchrone à cage d'écureuil [31]..... | 18 |
| Figure I.3: Différentes vues et coupes d'un stator du moteur asynchrone. ....        | 19 |
| Figure I.4: Rotor bobiné et rotor à cage d'écureuil [37] .....                       | 20 |
| Figure I.5: Représenté les différents types de défauts du stator [27].....           | 23 |
| Figure I.6: Cassure des barres de rotor à cage d'écureuil [25].....                  | 24 |
| Figure I.7: Rupture d'anneau de court-circuit [26] .....                             | 24 |
| Figure I.8: Modélisation schématique de l'excentricité statique et dynamique .....   | 25 |
| Figure I.9 : Modélisation schématique de l'excentricité, .....                       | 26 |
| Figure I.10: Schéma de principe du variateur de vitesse.....                         | 27 |
| Figure I.11: Différentes étapes de diagnostic. ....                                  | 28 |
| Figure I.12: Les différentes étapes du diagnostic industriel [30] .....              | 29 |
| Figure I.13 : Les différents types du diagnostic industriel .....                    | 29 |
| Figure I.14: Principe de fonctionnement de la méthode du modèle .....                | 31 |
| Figure I.15: Structure générale d'un système expert de diagnostic.....               | 32 |
| Figure I.16: réseau de neurone artificiel.....                                       | 34 |
| Figure I.17: Répartition des causes des défauts pour une machine asynchrone .....    | 35 |
| Figure I.18: Facteurs aggravant le défaut .....                                      | 36 |

### **Chapitre II**

|                                                                                                           |    |
|-----------------------------------------------------------------------------------------------------------|----|
| Figure II.1: schéma simplifier les enroulements rotorique et statorique de machine asynchrone à cage..... | 40 |
| Figure II.2: Modèle de la MAS dans MATLAB-SIMULINK .....                                                  | 47 |
| Figure II.3: les courants statorique à vide.....                                                          | 48 |
| Figure II.4: les courants statoriques en charge .....                                                     | 48 |
| Figure II.5: Représentation de l'onduleur de tension MLI.....                                             | 50 |
| Figure II.7: Les secteurs de l'angle .....                                                                | 54 |
| Figure II.6: la composante du couple électromagnétique.....                                               | 54 |
| Figure II.8: Vecteurs des tensions .....                                                                  | 55 |
| Figure II.9: Schéma synoptique de la commande directe du couple (DTC) sans séquences nulles [30] .....    | 57 |
| Figure II.10: Schéma de simulation da la commande DTC dans MATLAB-SIMULINK.....                           | 57 |
| Figure II.11: la vitesse de commande DTC à vide .....                                                     | 58 |
| Figure II.12: le couple électromagnétique de commande DTC à vide .....                                    | 58 |
| Figure II.13: le courant isalpha de commande DTC à vide.....                                              | 58 |
| Figure II.14: les courants statoriques de commande DTC à vide.....                                        | 58 |
| Figure II.15: le flux phisalpha de commande DTC à vide .....                                              | 59 |
| Figure II.16: phisbeta=f(phisalpha) de commande DTC à vide .....                                          | 59 |

|                                                                           |    |
|---------------------------------------------------------------------------|----|
| Figure II.17: la vitesse de commande DTC en charge.....                   | 59 |
| Figure II.18: le couple électromagnétique de commande DTC en charge ..... | 59 |
| Figure II.20: les courants statoriques de commande DTC en charge .....    | 60 |
| Figure II.19: le couple électromagnétique de commande DTC en charge ..... | 60 |
| Figure II.21: le flux phisalalpha de commande DTC en charge.....          | 60 |
| Figure II.22: phisbeta=f(phisalalpha) de commande DTC en charge .....     | 61 |

### Chapitre III

|                                                                  |    |
|------------------------------------------------------------------|----|
| Figure III.1: Différentes solutions technologiques .....         | 66 |
| Figure III.2 : Architecture d'un SPLD.....                       | 68 |
| Figure III.3 : Architectures d'un PLA et d'un PAL. ....          | 69 |
| Figure III.4 : Architecture générale d'un FPGA.....              | 72 |
| Figure III.5: Cellule Logic de la famille XILINX 4000 .....      | 73 |
| Figure III.6: Représentation d'un multiplexeur configurable..... | 73 |
| Figure III.7:Fréquence utile par nombre de portes .....          | 74 |
| Figure III.8:Flot de conception.....                             | 76 |
| Figure III.9:Architecture générale de la série Spartan-3E. ....  | 77 |
| Figure III.10:Partie gauche de la Tranche le SLICEM.....         | 78 |
| Figure III.11 : Schéma simplifié d'un IOB du Spartan .....       | 79 |

### Chapitre IV

|                                                                                                                            |    |
|----------------------------------------------------------------------------------------------------------------------------|----|
| Figure IV.1: Structure du système de diagnostic flou utilisé.....                                                          | 84 |
| Figure IV.2: Schéma général de diagnostic des défauts [24] .....                                                           | 85 |
| Figure IV.3: les étapes de système flou.....                                                                               | 85 |
| Figure IV.4: entrée "Z" de logique flou dans xilinx simulink .....                                                         | 86 |
| Figure IV.5: entrée "P" de logique flou dans xilinx simulink .....                                                         | 86 |
| Figure IV.6: schéma bloc de système de diagnostique par logique flou sous xilinx Simulink. ....                            | 88 |
| Figure IV.7: Etat sain de Moteur .....                                                                                     | 88 |
| Figure IV.8: Défaut à degré 1.....                                                                                         | 89 |
| Figure IV.9: Défaut à degré 2.....                                                                                         | 89 |
| Figure IV.10: Défaut grave.....                                                                                            | 89 |
| Figure IV.11: schéma de simulation de Diagnostique de défaut des trois phases déséquilibres avec commande DTC à vide ..... | 90 |
| Figure IV.12:bloc de déséquilibré les phases .....                                                                         | 90 |
| Figure IV.14: la vitesse en défaut de déséquilibre les phases à vide.....                                                  | 91 |
| Figure IV.13:La valeur efficace des courants" isa, isb, isc" de trois phases déséquilibres .....                           | 91 |
| Figure IV.16: teste le bloc de système de diagnostique sous xilinx. ....                                                   | 92 |
| Figure IV.15: La valeur efficace des courants" isa, isb, isc" de manque phase.....                                         | 92 |
| Figure IV.17: La valeur efficace des courants" isa, isb, isc" de manque phase à vide .....                                 | 93 |

Figure IV.18: principe de l'implémentation du bloc de système de diagnostique à base de logique flou sur FPGA  
cas d' défaut manque phase .....97

**Liste des tableaux**

Tableau 1:Tableau de control du couple.....55

Tableau 2:Tableau de control du flux.....55

Tableau 3:Table de commutation sans séquences nulles.....56

Tableau 4:Table de commutation avec séquences nulles .....56

## Glossaire

$R_s$  : Résistance propre d'une phase statorique ( $\Omega$ )

$R_r$  : Résistance propre d'une phase rotorique ( $\Omega$ )

$L_r$  : Inductance propre d'une phase rotorique (H)

$L_s$  : Inductance propre d'une phase statorique (H)

$M_s$  : Inductance mutuelle entre deux phases du stator (H)

$M_r$  : Inductance mutuelle entre deux phases du rotor (H)

$M_{sr}$  : Maximum de l'inductance mutuelle entre une phase de la phase correspondante du rotor (H)

$L_{sr}$  : Inductance mutuelle entre rotor et stator (H)

$V_{sa}, V_{sb}, V_{sc}$  : Tensions des phases  $S_a, S_b, S_c$  (V)

$V_{ra}, V_{rb}, V_{rc}$  : Tensions des phases  $R_a, R_b, R_c$  (V)

$I_{sa}, I_{sb}, I_{sc}$  : Courants statorique des phases  $S_a, S_b, S_c$  (A)

$I_{ra}, I_{rb}, I_{rc}$  : Courants rotorique des phases  $R_a, R_b, R_c$  (A)

$\Omega_r$  : Vitesse angulaire de rotor (Tr/min)

$\Omega_s$  : Vitesse angulaire de stator (Tr/min)

$J$  : Moment d'inertie kg.m

$F$  : Coefficient de frottement visqueux

$C_{em}$  : Couple électromagnétique N.m

$C_r$  : Couple résistant N.m

$P$  : Nombre de paire de pole

$L_r, L_s$  : Inductances cyclique rotorique et statorique (H)

$M$  : Inductance mutuelle cyclique entre stator et rotor (H)

$\theta_s$  : Angle électrique entre ( $S_a, O_d$ ). (Degree)

## **Nomenclature**

**FPGA:** Field programmable gate array

**DSP:** Digital Signal Processing

**MAS:** Moteur Asynchrone

**PLD :** Programmable Logic Devices

**SPLD:** Simple Programmable Logic Device

**CPLD:** Complex Programmable Logic Device

**ASIC:** Application Specific Integrated Circuits

**PLA:** Programmable Logic Array

**PAL:** Programmable Array Logic

**RAM:** Random Access Memory

**ROM:** Read Only Memory

**EPROM:** Erasable Programmable ROM

**DTC:** Direct Torque Control

**RNA:** Réseau Neurone Artificielle

## **Introduction générale**

## **INTRODUCTION GENERALE**

Les moteurs à induction sont l'un des moteurs les plus utilisés. Comparés à d'autres alternatives, ils sont moins chers et plus faciles à entretenir, et en raison de leur rôle important dans la chaîne de production, ils constituent également un maillon faible. Par conséquent, dans l'industrie, le contrôle des moteurs a été fortement développé, car la nécessité d'améliorer la sécurité de fonctionnement de ces moteurs et leur durée de vie est devenue de plus en plus importante. En raison de sa résistance et de son faible coût, la cage d'écureuil à moteur asynchrone est dans une position appropriée. Au cours des dernières décennies, la détection et le diagnostic précoces des défauts affectant les moteurs à induction ont fait l'objet de nombreuses études. Il existe plusieurs types de techniques de détection et de diagnostic, à savoir l'analyse vibratoire et l'analyse thermique, l'analyse du courant du stator ou MCSA (Motor Current Signature Analysis). Sa caractéristique est que le courant du stator contient des informations sur presque tous les défauts possibles du moteur asynchrone sans avoir besoin d'ajouter des capteurs supplémentaires dédiés aux grandeurs mécaniques ou liés aux vibrations. En raison des besoins de l'industrie et de la complexité du système, le besoin de rapidité de détection et de localisation des défauts nécessite plusieurs techniques de diagnostic, qui ont des caractéristiques différentes et peuvent résoudre ces problèmes. Parmi les techniques de diagnostic les plus importantes les plus utilisées, le point culminant des techniques d'intelligence artificielle, parmi lesquelles la logique floue, qui est considérée comme la plus précise et la plus simple à implémenter sur des circuits électroniques tels que: FPGA et DSP.

Afin de bien gérer ce travail, Ce mémoire est organisé comme suite :

Le premier chapitre sera consacré à l'étude de diagnostic des défaillances des machines asynchrones. Nous commençons dans un premier lieu par une introduction sur le diagnostic, ensuite nous présentons les différentes défaillances qui peuvent surgir sur les moteurs asynchrones et nous terminons ce chapitre par une analyse des différentes techniques de diagnostic existantes en présentant ses avantages et ses inconvénients.

Dans le deuxième chapitre de ce travail nous détectons les défauts de l'association moteur onduleur et commande par logique floue. Commençant par la modélisation de la machine dans le repère de Park puis la représentation d'état de la machine ensuite la commande DTC de l'association de la MAS-Onduleur de tension et leurs résultats de simulation à l'aide de logiciel MATLAB/SIMULINK et nous terminons ce chapitre par l'affectation du diagnostic par technique de logique floue.

Dans Le troisième chapitre nous parlons sur les différents supports physiques d'implémentation et précisons sur le circuit FPGA qui est le meilleur pour notre étude.

Le dernier chapitre de notre étude présentera l'implémentation sur FPGA du système de diagnostic basé sur la logique floue pour la détection des défauts de la machine asynchrone.

## **I. Chapitre 01 : Etat de l'art de diagnostic des défauts de MAS**

## I.1 Le moteur électrique :

C'est la partie essentielle pour la conversion de l'énergie (machine entraînante). Cette partie qui peut être un moteur à courant continu ou un moteur à courant alternatif, développe un couple qui doit être supérieur au couple résistant au démarrage afin de pouvoir vaincre la charge. Une fois le moteur tourne, la vitesse prend de la valeur (Accélération), ainsi que la force électromotrice ou la tension induite, ce qui provoque la diminution du courant absorbé et le couple développé par le moteur jusqu'à où le couple devient égal au couple résistant ; par conséquent, la vitesse se stabilise et elle devient constante. Enfin, l'accélération, la décélération et le réglage de la vitesse de rotation sont commandés par l'ensemble convertisseur et commande [32].

Selon le courant d'alimentation du moteur, on peut distinguer deux catégories de moteurs :

### I.1.1 Moteur à courant continu "MCC" :

Lorsqu'on utilise les moteurs à courant continu dans les faibles puissances, le champ magnétique de la machine est produit par des aimants permanents.

Dans les grandes puissances, le champ magnétique est produit par un enroulement d'excitation séparé.

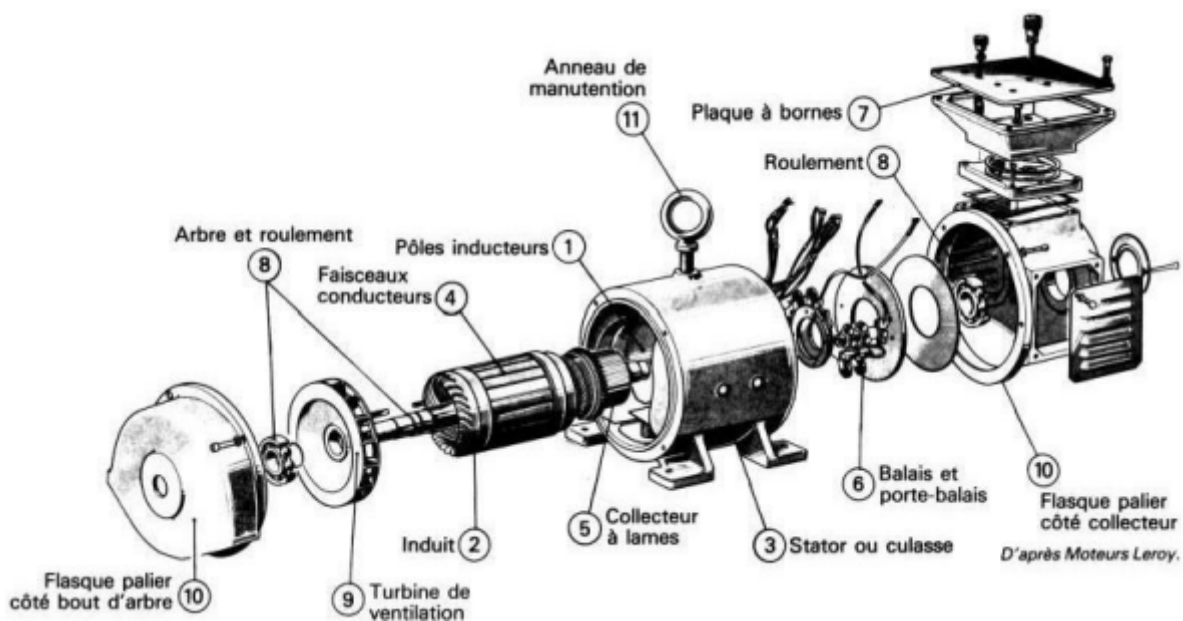


Figure I.1: Schéma des composants d'un moteur à courant continu

### I.1.2 Moteur à courant alternatif :

Dans ce type de moteurs on alimente leur enroulement par un courant monophasé ou polyphasé, la fréquence du signal courant a une influence sur la vitesse de rotation du moteur. Il existe deux types dans les moteurs AC, le moteur synchrone suit la fréquence du courant d'alimentation par contre dans les moteurs asynchrones "MAS" il y a une différence entre la fréquence d'alimentation et la fréquence de rotation du moteur (glissement), ce genre de moteur est très utilisé d'une manière massive et

disponible dans tous les usines et les industries. Mais dans ce travail on étudié la machine asynchrone triphasé.

### I.1.2.1 La constitution de la machine asynchrone :

La machine asynchrone, souvent appelée moteur à induction comprend un stator et un rotor, constitués de tôles d'acier au silicium et comportant des encoches dans lesquelles on place les enroulements. Le stator est fixe : on y trouve les enroulements reliés à la source. Le rotor est monté sur un axe de rotation. Selon que les enroulements du rotor sont accessibles de l'extérieure ou sont fermés sur eux-mêmes en permanence, on définit deux types de rotor : bobiné ou à cage d'écureuil. Toutefois, nous admettons que sa structure est électriquement équivalente à celle d'un rotor bobiné dont les enroulements sont en court-circuit. Dans ce travail, nous nous intéressons à la machine asynchrone à cage d'écureuil. [31]

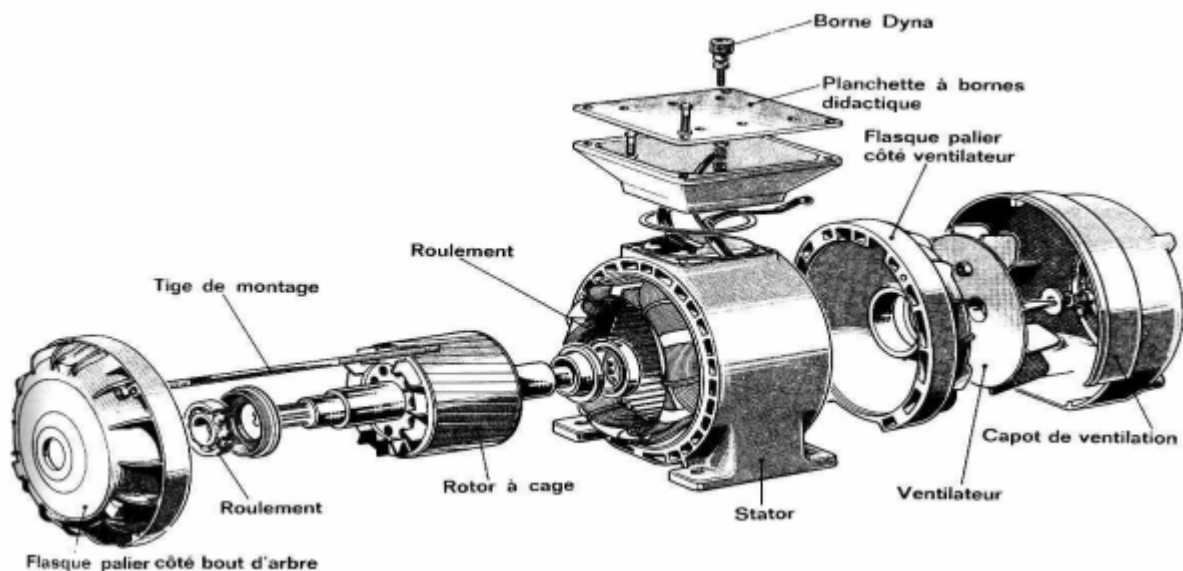


Figure I.2: Schéma des composants d'un moteur asynchrone à cage d'écureuil [31].

#### I.1.2.1.1 Le stator :

Il est constitué des enroulements bobinés réparties dans les encoches du circuit magnétique qui constituent trois bobines indépendantes qui créent un champ magnétique tournant lorsqu'on les alimente par un système de tensions ou courants triphasé. Ce circuit magnétique est constitué d'un empilage de tôles dans lesquelles sont découpées des encoches parallèles à l'axe de la machine. Le bobinage statorique peut se décomposer en deux parties : les conducteurs d'encoches et les têtes de bobines. Les conducteurs d'encoches permettent de créer dans l'entrefer le champ magnétique à l'origine de la conversion électromagnétique. Les têtes de bobines permettent, quant à elles, la fermeture des courants en organisant la circulation judicieuse des courants d'un conducteur d'encoche à l'autre. L'objectif est d'obtenir à la surface de l'entrefer une distribution de courant la plus sinusoïdale possible, afin de limiter les ondulations du couple électromagnétique.[31]

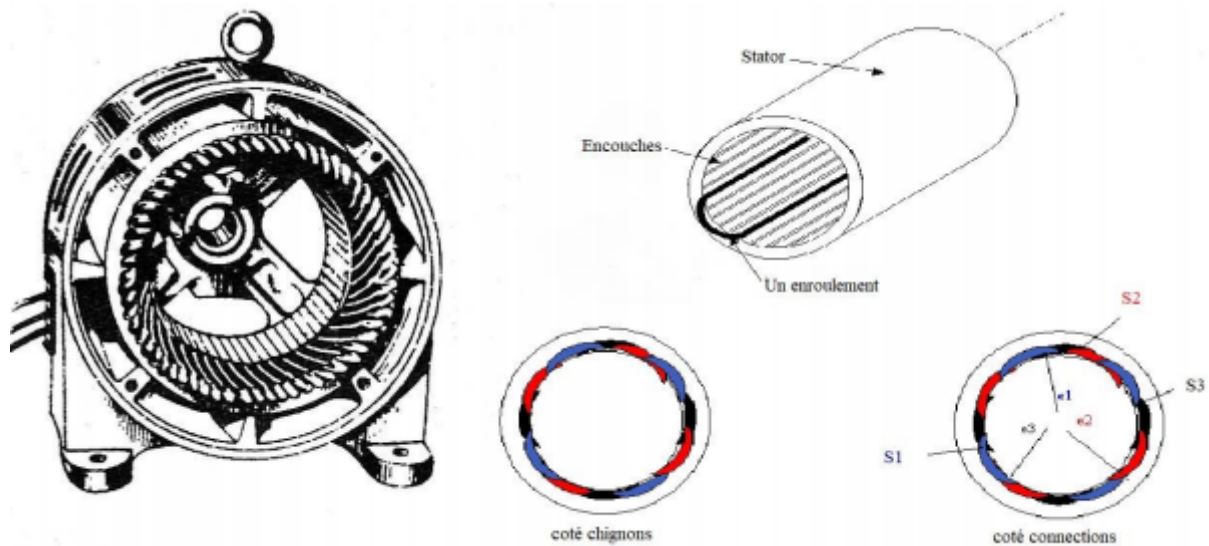


Figure I.3: Différentes vues et coupes d'un stator du moteur asynchrone.

#### I.1.2.1.2 Le rotor à cage

Dans le rotor à cage, les anneaux de court-circuit permettent la circulation des courants d'un conducteur d'encoche (barre rotoriques) à l'autre. Ces barres conductrices sont régulièrement réparties, et constituent le circuit du rotor (figure I.4). Cette cage est insérée à l'intérieur d'un circuit magnétique constitué de disques en tôles empilés sur l'arbre de la machine analogue à celui du moteur à rotor bobiné.

Dans le cas de rotor à cage d'écureuil, les conducteurs sont réalisés par coulage d'un alliage d'aluminium, ou par des barres massives de cuivre préformées et frettées dans les tôles du rotor. Il n'y a généralement pas, ou très peu, d'isolation entre les barres rotoriques et les tôles magnétiques, mais leur résistance est suffisamment faible pour que les courants de fuite dans les tôles soient négligeables, sauf lorsqu'il y a une rupture de barre. Le moteur à cage d'écureuil est beaucoup plus simple à construire que le moteur à rotor bobiné et, de ce fait, son prix de revient est inférieur. De plus, il dispose d'une plus grande robustesse. Il constitue la plus grande partie du parc de moteurs asynchrones actuellement en service.

Son inconvénient majeur est qu'il a, au démarrage, de mauvaises performances (courant élevé et faible couple). C'est pour remédier à cette situation qu'ont été développés deux autres types de cages (rotor à double cage et rotor à encoches profondes).[31]

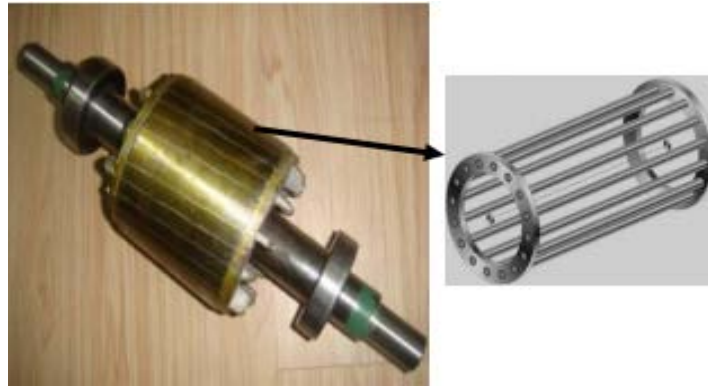


Figure I.4: Rotor bobiné et rotor à cage d'écureuil [37]

### I.1.2.1.3 Les organes mécaniques

La carcasse sert de support, elle joue le rôle d'enveloppe et assure la protection contre l'environnement extérieur. L'arbre est un organe de transmission. Il comprend une partie centrale qui sert de support au corps du rotor et un bout d'arbre sur lequel est fixé un demi-accouplement. Il est généralement constitué en acier moulé ou forgé. Son dimensionnement est fonction des efforts de flexion (force centrifuge qui s'exerce sur lui, attraction magnétique radiale, etc...), des efforts radiaux et tangentiels dus aux forces centrifuges, des efforts de torsion (couple électromagnétique transmis en régime permanent, transitoire). Il est supporté par un ou plusieurs paliers. Ces paliers soutiennent le rotor et assurent la libre rotation. Le second palier est libre pour assurer les dilatations thermiques de l'arbre. Une isolation électrique de l'un des paliers assure l'élimination des courants dans l'arbre dû aux dissymétries des réluctances du circuit magnétique. Ils sont généralement à roulements pour les machines de petite et moyenne puissance. [31]

## I.2 Les différentes défaillances qui peuvent surgir sur les moteurs asynchrones

Des multiples défaillances peuvent apparaître dans la machine asynchrone, elles peuvent être prévisibles ou intempestives, mécaniques, électriques ou magnétiques et leurs causes sont très variées. Si l'on élimine les pannes dues à des causes intrinsèques, C'est-à-dire, résultant d'une mauvaise conception (mauvais choix des matériaux), d'une mauvaise fabrication (défauts d'usinage) ou d'un mauvais montage (serrage, désalignement) du moteur, les défaillances d'une machine asynchrone les plus fréquentes qui requièrent une attention particulière sont les suivantes [11]:

### I.2.1 Défauts internes et externes

Il existe deux types de défauts principaux : internes et externes. Les causes de ces défauts sont brièvement et respectivement décrites. Nous pouvons ainsi remarquer que les défauts internes de la machine sont causés par les constituants de la machine (circuits magnétiques rotorique et statorique, bobinages statoriques, entrefer mécanique, cage rotorique,...) alors que les défauts externes sont

provoqués, soit par les tensions d'alimentation et la charge mécanique, soit par l'environnement de l'utilisation de la machine [1].

D'après les organigrammes Figure (I.12) et Figure (I.13) les origines des défauts sont diverses :

Thermique, mécanique, électrique ou encore environnementale. A titre indicatif, les démarrages fréquents provoquent des courants élevés dans les barres rotoriques.

Celles-ci engendrent par conséquent des sur échauffements et des contraintes mécaniques conduisant à terme à des fissures puis à une cassure de barres. Par effet d'avalanche la barre cassée accélère la rupture des barres adjacentes pouvant aboutir jusqu'à la destruction totale du rotor. De même, les efforts électrodynamiques que subissent les conducteurs des phases se traduisent par des vibrations mécaniques ayant pour effet de détériorer l'isolation. Sur le plan électrique, les fronts de tensions générés par les convertisseurs statiques accentuent le phénomène de décharges partielles et réduisent, par conséquent, la durée de vie de l'isolant. Quand aux origines environnementales, l'humidité et les produits corrosifs ou abrasifs sont les plus rencontrés.

Au niveau de l'entrefer, les défauts se manifestent par une excentricité statique, une excentricité dynamique ou une excentricité mixte. Le défaut d'excentricité statique est généralement dû à un désalignement de l'axe de rotation du rotor par rapport à l'axe du stator. Le défaut d'excentricité dynamique peut être causé aussi bien par une déformation du cylindre rotorique que par une déformation du cylindre statorique. L'excentricité mixte est une combinaison des deux.

Au niveau de la cage, les défauts se manifestent par la rupture de barres ou d'anneaux de court-circuit. Ces ruptures de barres ou de portions d'anneau peuvent être dues, par exemple, à une surcharge mécanique (démarrages fréquents,...), à un échauffement local excessif ou encore à un défaut de fabrication (bulles d'air ou mauvaises soudures).

Au niveau des paliers nous pouvons citer le défaut de décentrage des flasques conduisant généralement à une excentricité statique alors qu'une détérioration de roulements à billes conduit le plus souvent à une excentricité dynamique.

Il est important de signaler que plusieurs études statistiques ont été menées dans le but de quantifier l'impact de chaque type de défaut sur la fiabilité de la machine et leurs pourcentages ont été cités dans plusieurs publications. Les résultats obtenus restent quand même assez différents d'une étude à l'autre. Cependant, toutes les études convergent pour classer les défauts de paliers comme étant les plus fréquents, suivis par les défauts statoriques et, en dernier, les défauts de cage rotorique [1].

## **I.2.2 Défauts électriques**

### **I.2.2.1 Défaillances au stator**

Pour le stator, les défaillances sont principalement dues à un problème thermique (surcharge), électrique (diélectrique), mécanique (bobinage,) et environnemental (agression,...etc.). Les défauts qui sont les plus récurrents, localisés au niveau du stator, peuvent être définis comme suit [1] :

#### **I.2.2.1.1 Défauts d'isolant dans un enroulement**

La dégradation des isolants dans les enroulements peut provoquer des courts-circuits. En effet, les différentes pertes (Joule, fer, mécanique,...etc.) engendrent des phénomènes thermiques se traduisant par une augmentation de la température des différents constituants du moteur. Or, les matériaux d'isolation ont une limite thermique, électrique et mécanique. De ce fait, si l'environnement de travail d'un matériau d'isolation dépasse une de ces limites, ce dernier se dégrade de manière prématurée ou accélérée, jusqu'à la cassure totale. Les différentes causes pour ce type de défaut sont :

- Dégradation de l'isolant à la fabrication.
- Tension de l'enroulement supérieure à la limite du matériau d'isolation.
- Vibrations mécaniques.
- Courant élevé dans l'enroulement dû à un court-circuit, un défaut du convertisseur, ou à une surcharge. Ceci entraîne une élévation de la température dégradant prématurément le matériau d'isolation.
- Vieillessement naturel des isolants. Tous les matériaux isolants ont une durée de vie limitée. Même dans une utilisation 'normale', l'isolant finit naturellement par se dégrader.
- Fonctionnement dans un environnement sévère [1].

#### **I.2.2.1.2 Court-circuit entre spires**

Un court-circuit entre spires de la même phase est un défaut assez fréquent. Cette défaillance a pour origine un ou plusieurs défauts d'isolant dans l'enroulement concerné. Il entraîne une augmentation des courants statoriques dans la phase affectée. Une légère variation de l'amplitude sur les autres phases modifie le facteur de puissance et amplifie les courants dans le circuit rotorique. Ceci a pour conséquence une augmentation de la température au niveau du bobinage. De ce fait, une dégradation accélérée des isolants, peut provoquer, ainsi, un défaut en cascade (apparition d'un 2ème court-circuit). Par contre, le couple électromagnétique moyen délivré par la machine reste, sensiblement, identique hormis une augmentation des oscillations proportionnelle au défaut [1].

### I.2.2.1.3 Court-circuit entre phases

Ce type de défaillance peut arriver en tout point du bobinage. Cependant, les répercussions ne seront pas les mêmes selon la localisation. Cette caractéristique rend difficile une analyse de l'incidence de ce défaut sur le système.

L'apparition d'un court-circuit, proche de l'alimentation entre phases, induirait des courants très élevés qui conduiraient à la fusion des conducteurs d'alimentation et/ou à la disjonction par les protections. D'autre part, un court-circuit proche du neutre entre 2 phases engendre un déséquilibre sans provoquer la fusion des conducteurs.

Les courants statoriques sont, totalement, déséquilibrés. Ce déséquilibre est proportionnel au défaut qui apparaît.

Les courants dans les barres ainsi que dans les anneaux sont augmentés lors de l'apparition de ce défaut. La détection de ce type de défaut peut reposer sur le déséquilibre des courants de phases [1].

### I.2.2.1.4 Court-circuit phase-bâti

Le bâti à, généralement, un potentiel flottant. Mais, pour des raisons de liaisons mécaniques, il est souvent relié à la masse. Si le potentiel est flottant, un court-circuit entre l'enroulement et le bâti n'a pas d'importance du point de vue matériel. A l'exception des effets capacitifs, le bâti prend, alors, le potentiel de l'enroulement à l'endroit du court-circuit.

Par contre, au niveau de la sécurité des personnes, ce type de défaut peut être très dangereux. Il est alors nécessaire de mettre en place des dispositifs de protection (disjoncteurs différentiels). En présence de ce type de défaillance, la tension de la phase concernée ne change pas.

Cependant, le courant circulant dans cette phase augmente avec la réduction de la résistance et de l'inductance. Cette augmentation du courant se traduit par une augmentation de la température pouvant entraîner des défauts d'isolant dans l'enroulement. De plus, ce type de défaillance va générer une composante homopolaire entraînant l'apparition d'un couple pulsative. Une mesure du courant de fuite pourrait permettre de détecter ce type de défaut [1].

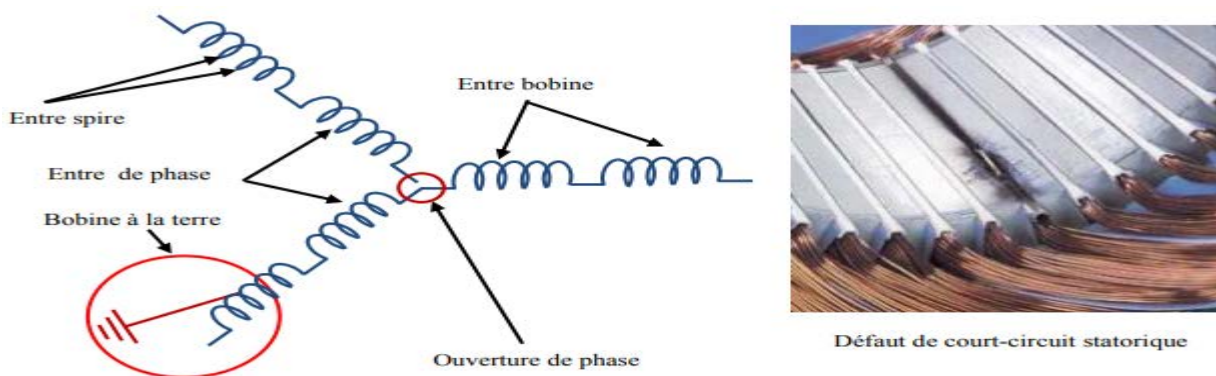


Figure I.5: Représenté les différents types de défauts du stator [27]

### I.2.2.2 Défauts de rotor

Ces défauts aboutissent dans la plupart des cas à une dissymétrie rotorique au niveau du fonctionnement de la machine, qui à son tour peut accentuer des problèmes tels que : thermique (surcharge), électromagnétique (excentricité), résiduel (déformation), dynamique (arbre de transmission) et mécanique (roulement). Les défauts qui sont les plus récurrents, localisés au niveau du rotor, peuvent être définis comme suit :

#### I.2.2.2.1 Ruptures de barres

La cassure ou rupture de barre est un des défauts les plus fréquents au rotor. Elle peut se situer soit au niveau de son encoche soit à l'extrémité qui la relie à l'anneau rotorique. La détérioration des barres réduit la valeur moyenne du couple électromagnétique par l'augmentation de l'amplitude des oscillations, qui elles-mêmes provoquent des oscillations de la vitesse de rotation. Ceci engendre des vibrations mécaniques et donc, un fonctionnement anormal de la machine. La grande amplitude de ces oscillations accélère la détérioration de la machine. Ainsi, le couple diminue sensiblement avec le nombre de barres cassées induisant un effet cumulatif de la défaillance. L'effet d'une cassure de barre croît, rapidement, avec le nombre de barres cassées [1].

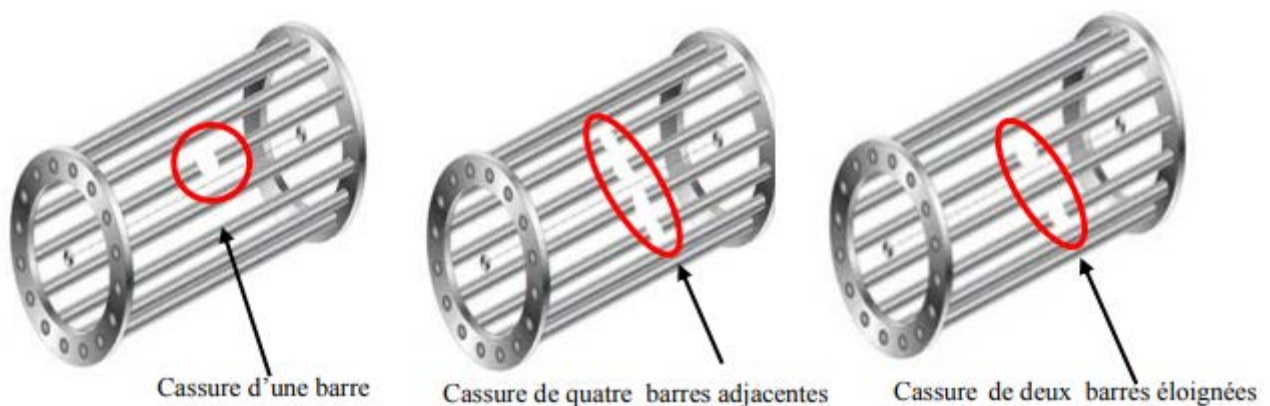


Figure I.6: Cassure des barres de rotor à cage d'écureuil [25].

#### I.2.2.2.2 Ruptures d'anneaux

La rupture d'une portion d'anneau est un défaut qui apparaît aussi fréquemment que la cassure de barres. Ces ruptures sont dues soit à des bulles de coulées ou aux dilatations différentielles entre les barres et les anneaux. Comme, il est difficile de le détecter, ce défaut est généralement groupé, voir confondu, avec la rupture de barres dans les études statistiques. Ces portions d'anneaux de court-circuit véhiculent des courants plus importants que ceux des barres rotoriques. De ce fait, un mauvais dimensionnement des anneaux, une détérioration des conditions de fonctionnement (température, humidité,...etc.) ou une surcharge de couple et donc de courants, peuvent entraîner leur cassure. La rupture d'une portion d'anneau déséquilibre la répartition des courants dans les barres rotoriques. De ce fait, elle engendre un effet de modulation d'amplitude sur les courants statoriques similaires à celui provoqué par la cassure de barres [1].

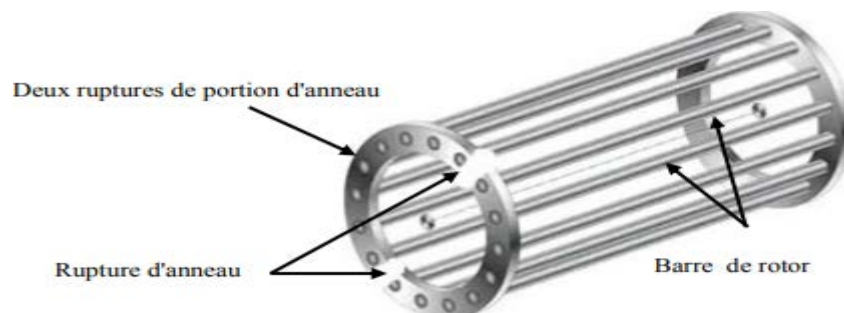


Figure I.7: Rupture d'anneau de court-circuit [26]

### I.2.3 Défaut mécanique

#### I.2.3.1 Excentricité statique et dynamique

Parfois, la machine électrique peut être soumise à un décentrement du rotor, se traduisant par des oscillations de couple (décalage entre le centre de rotation de l'arbre et le centre du rotor ).

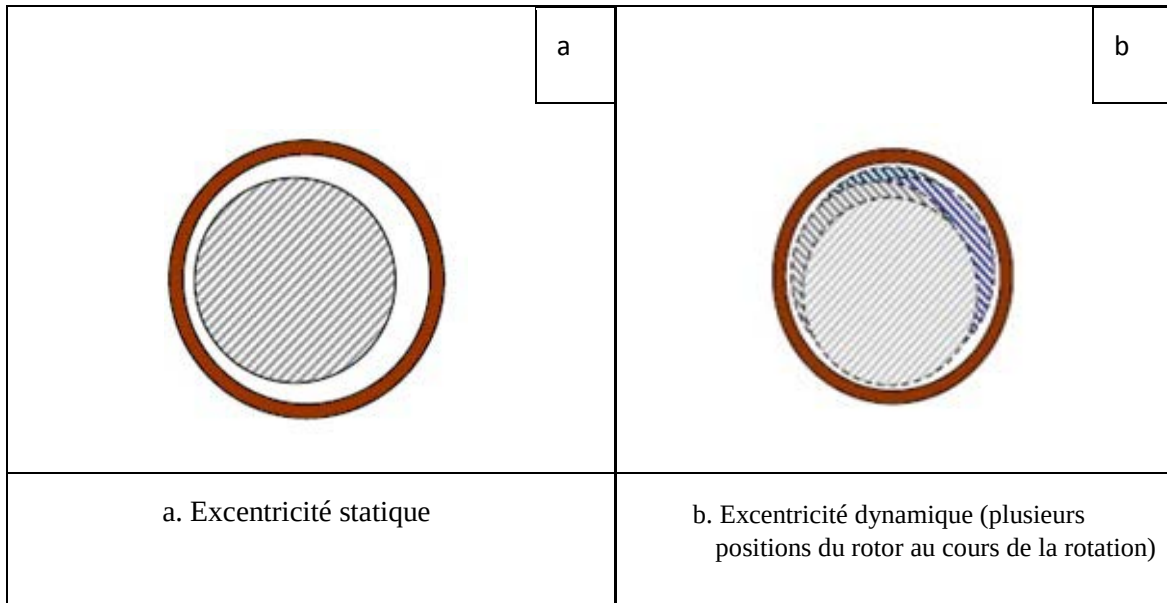


Figure I.8: Modélisation schématique de l'excentricité statique et dynamique

Ce phénomène est appelé excentricité (statique et dynamique) dont l'origine peut être liée à un positionnement incorrect des paliers lors de l'assemblage, à un défaut de roulement (usure), à un défaut de charge, ou à un défaut de fabrication (usinage).

Trois cas d'excentricité sont, généralement, distingués :

- Excentricité statique : Le rotor est déplacé du centre de l'alésage stator mais tourne toujours autour de son axe.
- Excentricité dynamique : Le rotor est positionné au centre de l'alésage mais ne tourne plus autour de son axe.
- L'excentricité mixte : Il caractérise les 2 cas, précédemment, cités.

Ce défaut d'excentricité modifie le comportement magnétique ainsi que mécanique de la machine.

En effet, l'augmentation de l'excentricité dans l'entrefer induit une augmentation des forces électromagnétiques qui agissent directement sur le noyau statorique ainsi que l'enroulement correspondant. Ceci engendre une dégradation de son isolation. D'autre part, cette augmentation peut avoir comme conséquence des frottements entre le stator et le rotor en raison des forces d'attraction magnétique qui déséquilibrent le système. Ceci donne naissance à des niveaux de vibration considérables dans les enroulements [1].

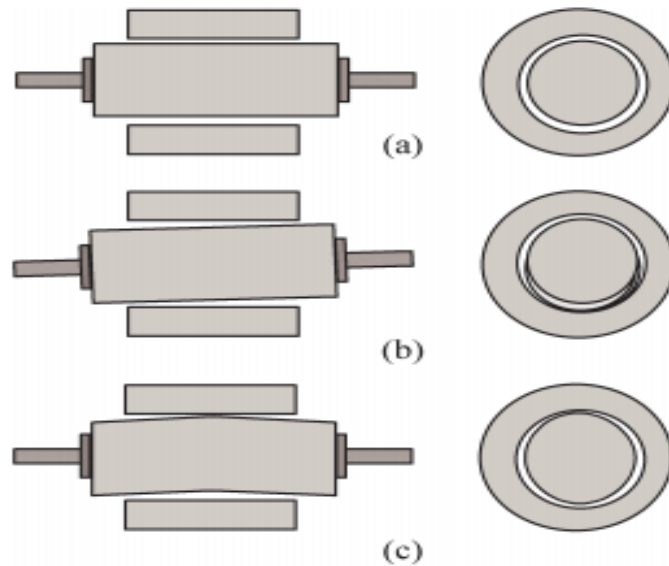


Figure I.9 : Modélisation schématique de l'excentricité,

(a) L'excentricité statique, (b) L'excentricité dynamique, (c) L'excentricité mixte

### I.2.3.2 Défaut roulement

Les roulements sont des éléments importants jouent un rôle très grand dans le fonctionnement de tous types des machines électriques et permettent le mouvement rotatif des arbres. En fait, les roulements sont la principale cause de défaillance des machines. Selon certaines données statistiques, les pannes de roulement représentent plus de 41% de toutes les pannes de moteur [28].

### I.2.3.3 Défaillances de l'arbre

L'arbre de la machine peut laisser paraître une fissure due à l'utilisation d'un mauvais matériau lors de sa construction. A court ou long terme, cette fissure peut mener à une fracture nette de l'arbre provoquant ainsi un arrêt irrémédiable de la machine asynchrone. Les milieux corrosifs peuvent aussi affaiblir la robustesse de l'arbre de la machine. Par exemple, l'humidité peut provoquer des microfissures et conduire à une destruction complète de la machine. Une excentricité statique, dynamique ou mixte peut induire des efforts considérables sur l'arbre moteur, amenant ainsi une fatigue supplémentaire. Une analyse vibratoire, une analyse par ultrason, une analyse fréquentielle des courants absorbés ou simplement une analyse visuelle de l'arbre de la machine permet de détecter ce type de défaillance. [35]

## I.3 Défaut convertisseur

C'est un dispositif qui convertit l'énergie électrique en énergie électrique sous plusieurs formes pour l'alimentation du moteur électrique. Ce convertisseur peut être un redresseur, un gradateur, un onduleur ou un hacheur. [10]

Afin d'assurer la variation de vitesse des moteurs électriques mais aussi la conversion de l'énergie, de nombreuses machines se voient associer un convertisseur. Ainsi, de nos jours, on trouve dans un grand nombre de procédés industriels, des associations entre des convertisseurs statiques et des machines électriques (pompage, levage...). Cela permet de fournir aux moteurs des tensions et des courants de fréquence variable servant à commander la machine en couple ou en vitesse.[32]

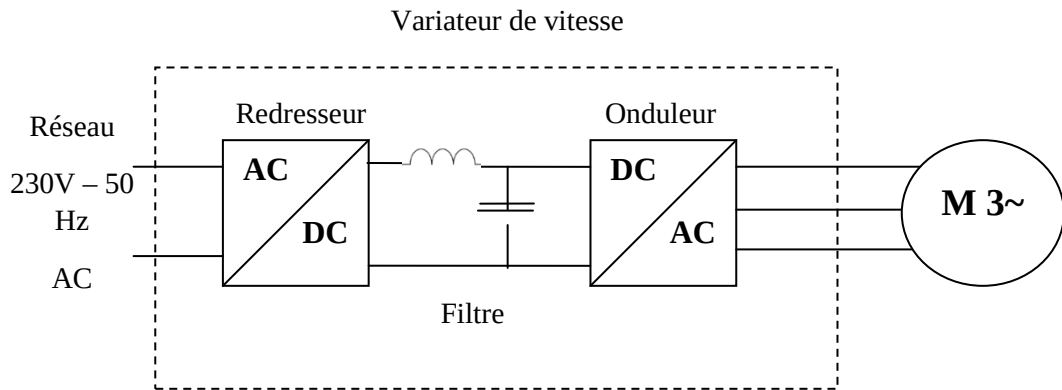


Figure I.10: Schéma de principe du variateur de vitesse.

Deux types de défaut < composant > sont possibles [34] :

- Composant toujours fermé : Ce défaut est destructif pour la source continue car il provoque un court-circuit de la source. Par ailleurs, il entraîne la destruction du composant voire au fonctionnement des protections de la source. On aboutit alors à l'autre type de défaut.
- Composant toujours ouvert : Ce défaut peut entraîner des contraintes sur le moteur car il provoque des déséquilibres que la commande ne peut que partiellement compenser.

Quant aux défauts dans la transmission de la commande aux interrupteurs, ils proviennent :

- De la rupture de la connexion entre le pilote et l'interrupteur qui est alors maintenu dans l'état précédant la rupture.
- De l'inhibition du pilote suite à la détection d'un court-circuit ou une tension d'alimentation insuffisante.

#### I.4 Définition et objectif du diagnostic

Le diagnostic de défaut se déroule en trois étapes principales : la détection, localisation et identification des défauts. La détection consiste à signaler l'existence du défaut, tandis que la localisation objet principale d'identifier le type de défaut ou l'endroit d'apparition du défaut, Alors que l'identification détermine le degré de gravité d'un défaut dans un système. Le diagnostic est la partie la plus évoluée pour détecter et localiser un composant ou un élément défectueux dans un système électrique [29].

### I.4.1 Objectif du diagnostic :

L'objectif d'un système de diagnostic est de prévoir l'apparition d'un défaut le plus rapidement possible et le plus précisément possible (détection), afin de localiser le défaut ainsi l'identifier pour intervenir et applique le type de maintenance qui convient. En effet, pour pouvoir expliquer ce principe avec plus de précision, nous rappellerons les fonctions du diagnostic telle que la détection, la localisation, l'identification des défauts [10].

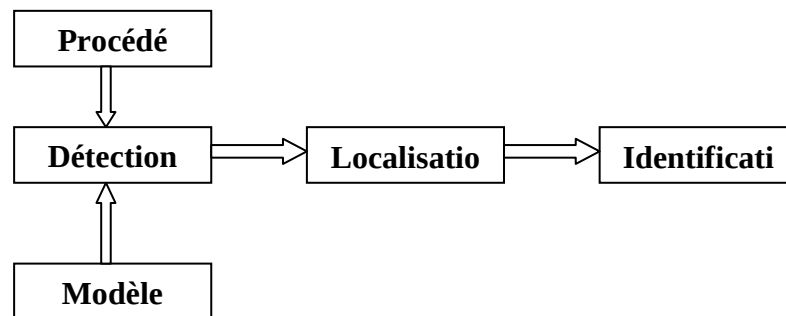


Figure I.11: Différentes étapes de diagnostic.

### I.4.2 Analyse de la procédure du diagnostic

Lorsqu'un défaut survient dans un équipement industriel, le système de diagnostic connecté à ce dernier doit d'abord détecter le fonctionnement anormal, puis utiliser un raisonnement logique pour déterminer la cause du défaut afin de l'isoler [10]. En fait, l'organisation globale de la procédure de diagnostic s'articule autour des étapes suivantes:

- A partir des moyens de mesure ou d'observation appropriés, nous effectuons l'extraction des informations nécessaires à la mise en forme des caractéristiques associées aux fonctionnements normaux et anormaux ;
- l'élaboration des valeurs associées à des symptômes de défaillance en vue de la détection d'un dysfonctionnement ;
- la détection d'un dysfonctionnement par comparaison avec des valeurs associées à des états de fonctionnements normaux ;
- une phase d'interprétation des données de diagnostic (identification du type et de la nature du défaut);
- la prise de décision en fonction des conséquences et de l'importance des défauts.

La figure (I.12), représente l'ensemble des tâches à réaliser pour assurer un fonctionnement satisfaisant d'un processus industriel :

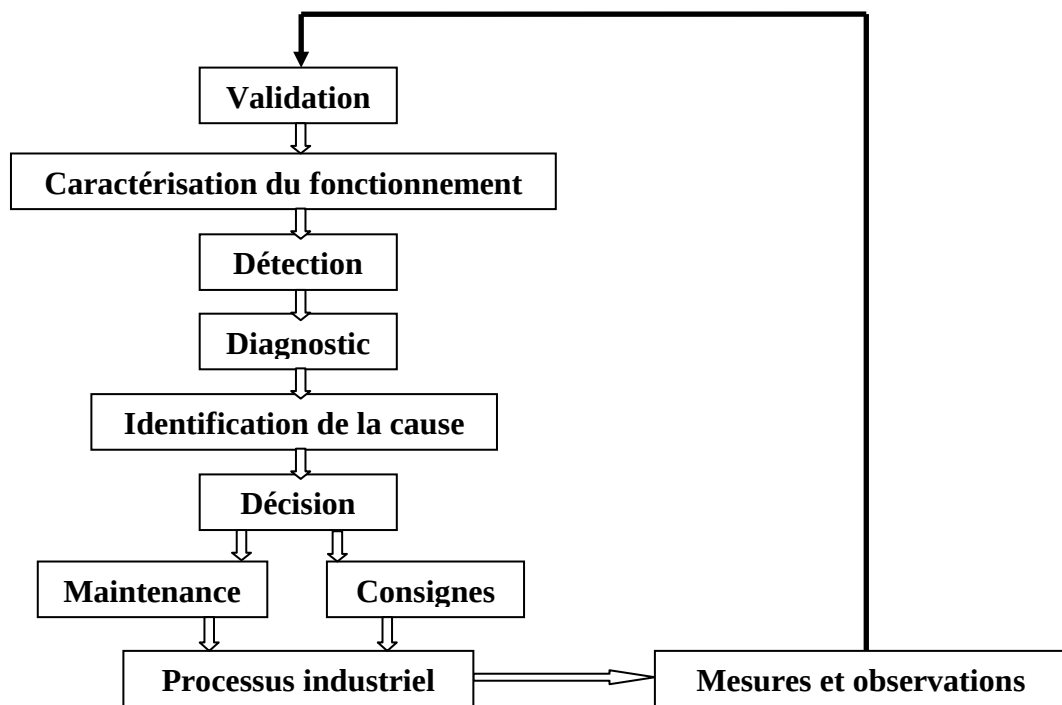


Figure I.12: Les différentes étapes du diagnostic industriel [30]

### I.5 Les méthodes de diagnostic des défauts de la machine asynchrone

Le diagnostic industriel est toujours basé sur la comparaison entre le comportement du processus de défaut et le comportement sanitaire ou sa connaissance du modèle. La comparaison nécessite des indicateurs pour montrer les symptômes. Une fois ces symptômes analysés, le mauvais comportement peut être détecté en premier, la fonction ou l'élément de défaut (emplacement) peut être déduit, la cause peut être déterminée et enfin, si possible, elle peut être corrigée.

La figure ci-dessous montre les différentes méthodes de diagnostic [7].

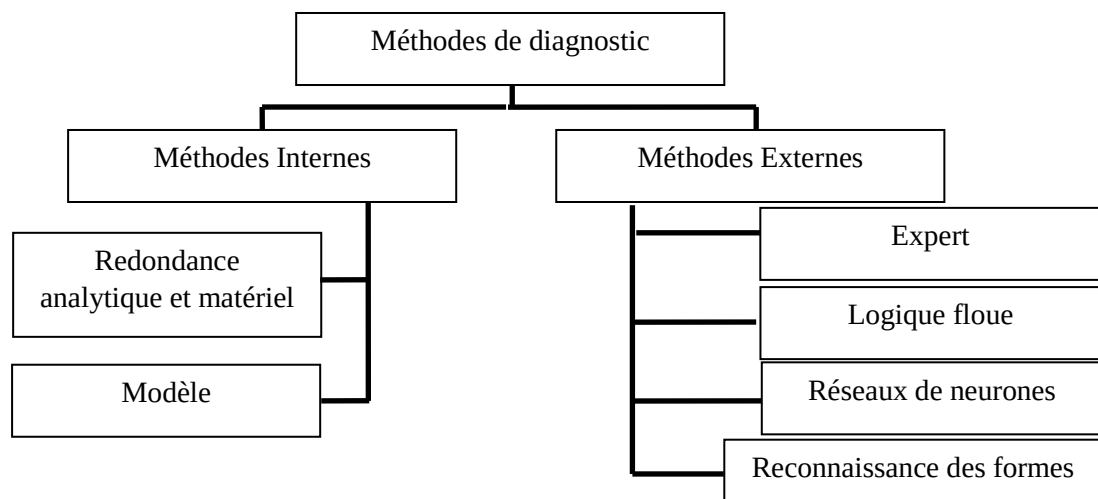


Figure I.13 : Les différents types du diagnostic industriel

### **I.5.1 Les méthodes internes**

Cette série de méthodes provient principalement de la technologie utilisée par les ingénieurs en automatisation. Le modèle physique ou comportement vérifié par la technologie d'identification des paramètres peut mettre en œuvre la méthode du problème inverse, et le diagnostic des défauts peut être réalisé en suivant l'évolution des paramètres physiques en temps réel ou en utilisant l'inversion du modèle de type «boîte noire». Les méthodes de diagnostic interne sont divisées en deux grandes familles:

- la méthode du modèle.
- la méthode de redondance analytique et matérielle [10].

#### **I.5.1.1 La redondance analytique et matérielle**

La redondance analytique se base sur la connaissance d'un modèle mathématique du système à surveiller, ce modèle placé dans les mêmes conditions que le système est calculé en temps réel, fournit les relations de redondances nécessaires à la comparaison du procédé avec le modèle.

D'un côté, il existe une méthode par la redondance matérielle qui consiste à doubler ou à tripler l'équipement et plusieurs actionneurs plusieurs capteurs et plusieurs systèmes de commande.

L'utilisation de cette méthode est essentiellement réservée aux cas où la continuité de service est obligatoire (avionique). En effet, elle apporte l'avantage une fois.

La défaillance détectée, d'utiliser la partie de l'équipement encore saine c'est une méthode chère et complexe [9].

#### **I.5.1.2 La méthode du modèle**

La méthode du diagnostic basée sur le modèle consiste à comparer les grandeurs déduites d'un modèle représentatif du fonctionnement des différentes entités du processus avec les mesures directement observées sur le processus industriel. [7]

La figure (I.14) représente le fonctionnement d'un système de détection de défaillances utilisant l'approche basée sur le modèle.

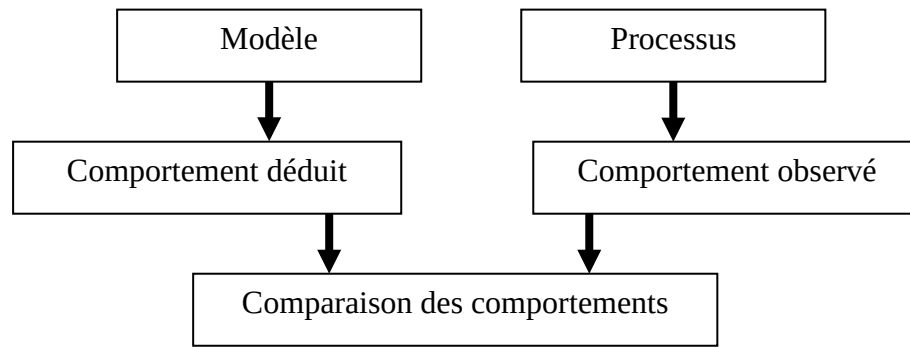


Figure I.14: Principe de fonctionnement de la méthode du modèle

Généralement, pour un processus continu avec un système de contrôle, il est judicieux d'utiliser un modèle qui prend en compte respectivement la chaîne de contrôle, les actionneurs et les sous-composants du processus industriel. Étant donné que ce modèle est utilisé dans un système d'entraînement électrique, sa structure et son processus sont les mêmes. La comparaison de comportement est utilisée pour détecter les écarts entre les signaux d'état normal et anormal [9].

## I.5.2 Les méthodes externes

Dans cette catégorie, nous avons trouvé toutes les méthodes basées sur l'intelligence artificielle. L'intelligence artificielle est presque plus ancienne que l'informatique. Parmi ces méthodes, on peut citer: les systèmes experts, la logique floue, la reconnaissance de formes et les réseaux de neurones artificiels.

### I.5.2.1 Diagnostic par systèmes experts

Les systèmes experts doivent apporter des réponses liées à une situation donnée car ils savent que la complexité du domaine de recherche ne détermine pas à l'avance toutes les configurations de situation possibles. Par conséquent, les experts en dépannage utiliseront une partie de la description de la situation pour le diagnostic. En utilisant une série de symptômes disponibles, il peut utiliser d'autres informations collectées sur le système à diagnostiquer pour en déduire toutes les conclusions possibles, proposer de nouvelles hypothèses et approfondir le diagnostic [10].

#### I.5.2.1.1 La base de connaissances :

La base de connaissances est généralement une partie stable du système et sera exécutée immédiatement lorsque le système sera appelé, et la base de connaissances est la base pour collecter les connaissances nécessaires pour résoudre les problèmes du domaine.

#### I.5.2.1.2 La base de faits :

Le fait est l'objet de base de l'application. La base factuelle qui contenait à l'origine les informations initiales liées au domaine s'est progressivement enrichi des conclusions ou de nouveaux faits déduits par le moteur d'inférence.

### I.5.2.1.3 Le moteur d'inférence :

Représente l'organe de la résolution, son fonctionnement basé sur une exploitation indépendante des informations de la base de connaissance et la base de faits (méthode de résolution) pour la résolution de problème donné. Par ailleurs, le moteur d'inférence produit dans son mécanisme de résolution des nouveaux faits qui sont ajouté à la base de faits.

La méthode de résolution par système expert inclus les étapes suivantes :

1. la sélection de règles dans la base de connaissance en fonction des faits établis.
  2. la résolution des conflits entre les règles sélectionnées.
  3. l'exécution en indiquant les conditions de déclenchement et les conséquences jusqu'à ce que le but recherché soit atteint, par exemple le diagnostic. En diagnostic, ce type d'approche est adapté aux problèmes nécessitant la manipulation d'une quantité importante de données non homogènes.
- [33,10]

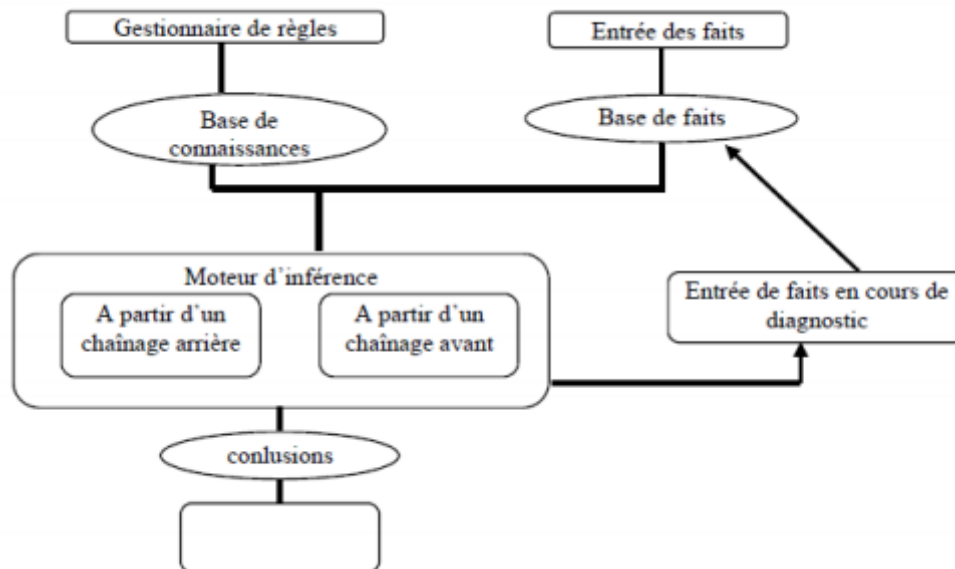


Figure I.15: Structure générale d'un système expert de diagnostic

### I.5.2.2 Diagnostic par logique floue

Contrairement à la logique du tout ou rien, cette méthode vise à considérer la logique de la pensée humaine.

Le concept de sous-ensembles flous est introduit pour tenir compte de l'imprécision. La fonction d'appartenance de l'ensemble flou adopte la valeur dans l'intervalle entre 0 et 1.

Le principe de fonctionnement du diagnostic basé sur la logique floue comprend: l'utilisation de règles de langage exprimées sous forme de fonctions d'appartenance pour extraire et calculer les signaux d'entrée (les courants statoriques); ces règles peuvent contenir tous les modèles possibles correspondant au mode de défaillance considéré.

Le moteur de raisonnement utilise indépendamment les informations de la base de faits et de la base de connaissances pour fournir des solutions à un problème donné. De plus, le moteur de raisonnement génère de nouveaux faits dans son mécanisme de raisonnement et les stocke dans la bibliothèque de faits.

En général, la procédure de fonctionnement d'un système flou est effectuée en trois étapes :

- La fuzzification ;
- L'inférence ;
- La défuzzification.

Le bloc fuzzification contient en général un traitement des données préliminaire ; ces données sont alors traitées par des règles linguistiques, ce qui nécessite leur définition par des fonctions d'appartenance. La fuzzification fournit une série de variables floues, réunies par un vecteur, qui va être introduit au bloc d'inférence.

Dans le bloc inférence, les valeurs des variables linguistiques sont liées par plusieurs règles qui doivent tenir compte du comportement statique et dynamique du système (causes des effets du système à diagnostiquer).

Dans la dernière étape, il faut transformer la valeur floue (linguistique) en une valeur déterminée pour déduire l'état du système, ceci se faisant dans le bloc défuzzification.[10]

### **I.5.2.3 Le diagnostic externe avec les réseaux de neurones**

Cette méthode faite partie des méthodes de diagnostic externes, elle utilise la classification automatique des signaux et des formes.

Le principe de fonctionnement du réseau neuronal artificiel est inspiré du mécanisme de fonctionnement du cerveau humain. De l'extérieur, le réseau neuronal artificiel ressemble à une «boîte noire» qui peut recevoir des signaux d'entrée et fournir des réponses appropriées.

En cas de diagnostic, diverses conditions de fonctionnement normales et anormales sont généralement caractérisées par des signaux. Après avoir mémorisé et appris différentes formes de signatures liées à un certain état, un opérateur humain peut identifier très rapidement l'état de la machine après avoir lu la nouvelle signature. S'il connaît déjà la nouvelle signature, il devra l'expliquer et s'en souvenir. Généralement RNA aide à reconstruire le processus de raisonnement humain décrit ci-dessus.

Par ailleurs, un réseau de neurones artificiels est défini par :

- la nature des cellules élémentaires qui le constituent (binaires ou continues) ;
- l'architecture et le nombre des couches du réseau ;

- la nature des connexions ;
- les méthodes d'apprentissage ;
- les performances de classification ;
- les mécanismes de mémorisation [8].

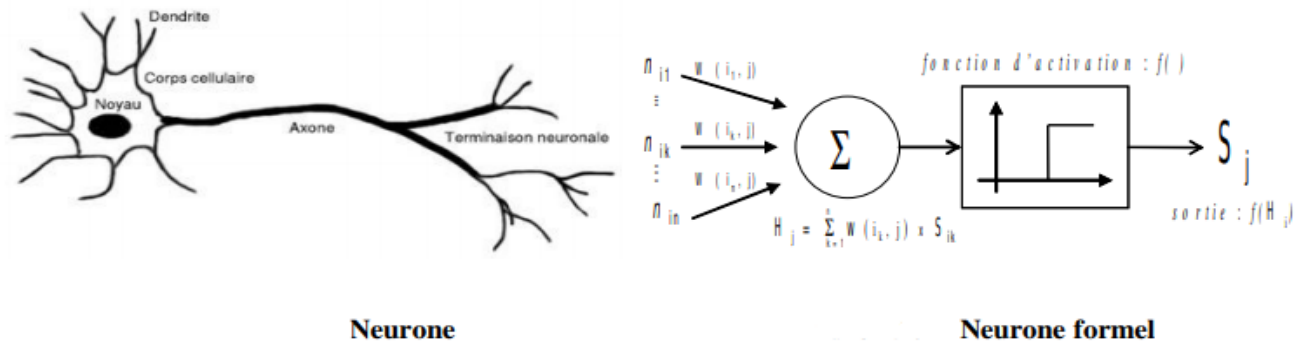


Figure 1.16: réseau de neurone artificiel

#### I.5.2.4 Les méthodes de reconnaissance des formes

Parmi toutes les approches du diagnostic, la reconnaissance des formes est une technique de définition d'algorithmes permettant de classer des objets dont l'aspect a varié par rapport à un objet type. Il s'agit de définir à quelle forme type une forme observée ressemble le plus [7].

Dans ce cas, la forme est définie par un ensemble de 'd' paramètres appelés caractères qui sont les composants du vecteur forme  $x$  ;

les prototypes sont les points représentatifs du vecteur forme dans l'espace à 'd' dimensions ; Dans un problème de reconnaissance des formes on suppose généralement que les formes  $x$  à classer appartiennent à  $M$  catégories bien déterminées appelées classes et notées  $W_1, W_2, \dots, W_m$ .

Compte tenu du bruit de mesure les vecteurs appartenant à une classe donnée  $w_i$  forment une zone particulière dans l'espace de dimension "d".

Le problème de la reconnaissance des formes consiste à déterminer les formes séparant les  $M$  classes dans le but de pouvoir ultérieurement classer une nouvelle forme " $x$ " lors de l'opération de classification ou de discrimination [9].

La procédure de diagnostic basée sur les techniques de reconnaissance des formes met en œuvre quatre étapes principales suivantes :

- Choix de la signature initiale
- Construction des vecteurs formes
- Réalisation de la base d'apprentissage de représentation des classes

- Acquisition de nouvelles données, (Représentation, classification et détection)

## I.6 Causes des défauts

La figure (I.17) présente les phénomènes à l'origine des défauts dans la machine : la principale source de défauts provient de la mécanique; la deuxième cause de défauts est la surchauffe du moteur qui accentue le vieillissement des composants; la troisième cause de défauts référencés est le claquage d'isolants d'isolants conduisant à des courts-circuits.

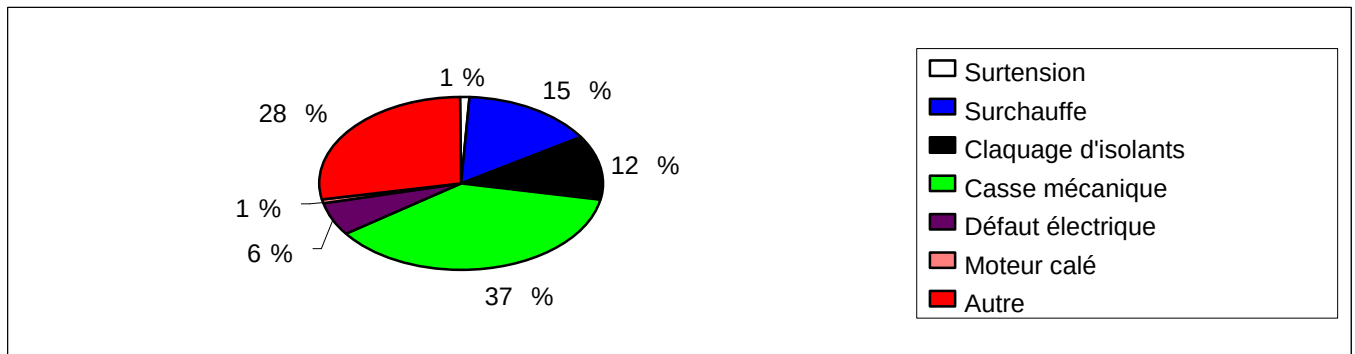


Figure I.17: Répartition des causes des défauts pour une machine asynchrone [34]

La figure (I.18) précise les conditions qui aggravent le défaut: la première source d'aggravation provient de l'usure des éléments avec l'âge et la durée de service. Cette usure est renforcée par les différentes conditions de fonctionnement (surchauffe, humidité, exposition,...).

En règle générale, toute différence par rapport au point de fonctionnement nominal contribue à aggraver le défaut naissant voir à le faciliter. [34]

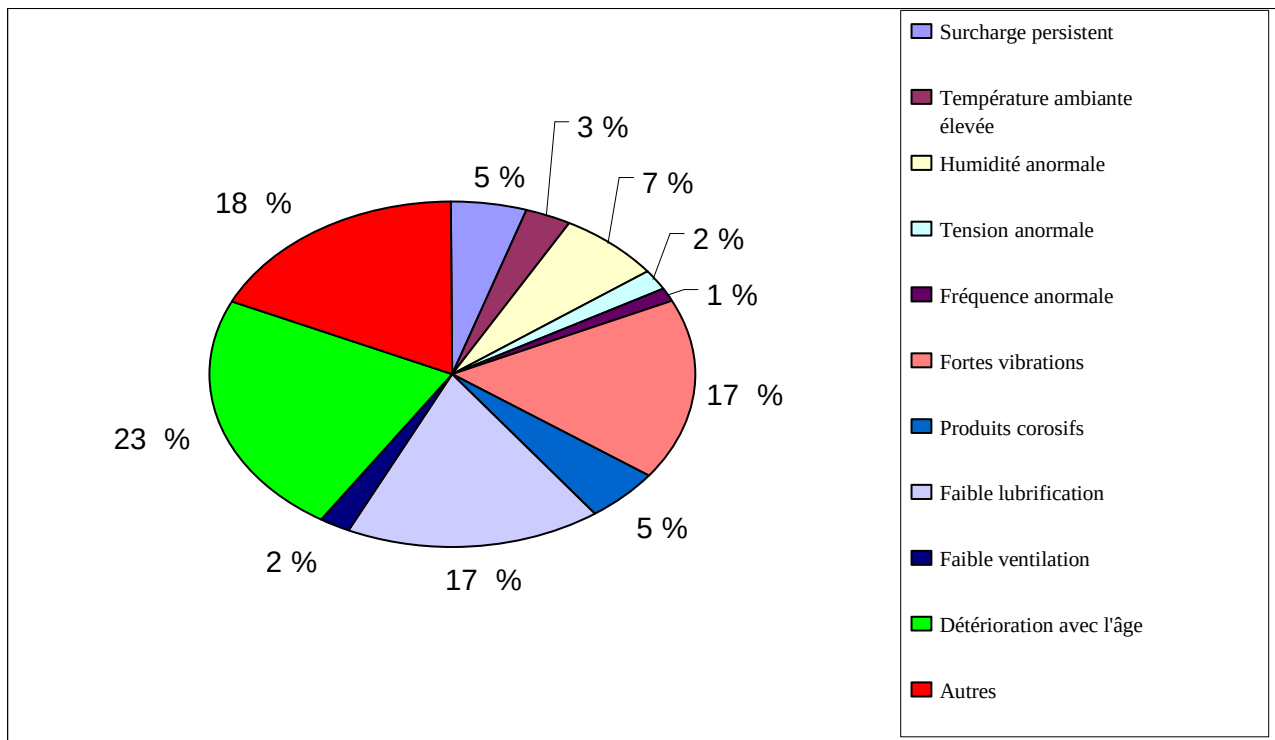


Figure I.18: Facteurs aggravant le défaut [34]

### I.7 Position du problème à résoudre

Au vu de l'état de l'art de la machine asynchrone, la machine asynchrone apparaît comme très importante dans le système électrique en raison de son rôle dans la conversion électromécanique et aussi pour sa disponibilité dans les usines.

D'après les études statistiques précédentes, des défauts statoriques sont susceptibles de se produire dans les enroulements dans toutes les gammes de puissance, et il est possible d'avoir un déséquilibre entre les trois phases ou manque phase, pour étudier ce problème, il est nécessaire de créer une analyse mathématique modèle pour modéliser la machine asynchrone et également l'erreur de déséquilibres des trois phases et manque phase, la simulation de ce modèle peut donner un aperçu du comportement de la machine en présence d'un défaut ainsi que d'identifier des signatures de défaut spécifiques, pour créer un système de diagnostic intelligent basé sur la logique floue nous analyserons le signal de courant statique qui nous donnera toutes les informations sur l'état de la machine asynchrone.

Ce système que nous allons implémenter sur un circuit reconfigurable FPGA.

**I.8 Conclusion**

Ce chapitre présente différentes méthodes de diagnostic et leur implémentation. Ensuite, après avoir combiné ces méthodes, on constate que la logique floue est la plus adaptée pour diagnostiquer divers défauts de moteurs asynchrones. Pour leur mise en œuvre, les circuits FPGA sont choisis car leurs performances sont les meilleures. Avant d'implémenter la logique floue sur FPGA, nous devons aborder dans le deuxième chapitre l'étude du comportement du MAS et son contrôle, et le diagnostiquer par la logique floue.

## **II. Chapitre 02 : Modélisation et simulation de la machine asynchrone**

## II.1 Introduction

Dans ce chapitre on s'intéressera à l'étude de l'ensemble convertisseur-moteur et leur commande en utilisant la commande DTC en vue de leur diagnostic.

Ensuite, nous allons appliquer la Logique Floue pour la détection des différentes défaillances qui peuvent surgir sur cet ensemble.

## II.2 Hypothèses simplificatrices

L'étude de la modélisation de la machine asynchrone sera faite dans le contexte habituel d'hypothèses simplificatrices suivantes pour simplifier le modèle de machine [14,15] :

- L'entrefer constant.
- L'effet de l'encoche négligé.
- La distribution spatiale sinusoïdale des forces magnétomotrices d'entrefer.
- Le circuit magnétique non saturé et à perméabilité constante.
- Les pertes ferromagnétiques négligeables.
- L'influence de l'effet de peau et de l'échauffement sur les caractéristiques, ne sont pas pris en compte.
- L'additivité des flux.
- La constante des inductances propres.
- la distribution des FMM d'entrefer est sinusoïdale.
- les résistances des enroulements ne variant pas avec la température.

La machine est représentée à la figure (II.1) par ces six enroulements dans l'espace électrique, l'angle ( $\theta$ ) repère l'axe fixe de la phase rotorique de référence ( $\alpha_r$ ) par rapport à la phase statorique de références ( $\alpha_s$ ), les flux sont comptés positivement selon les axes des phases [16].

### II.3 Modélisation de MAS triphasé

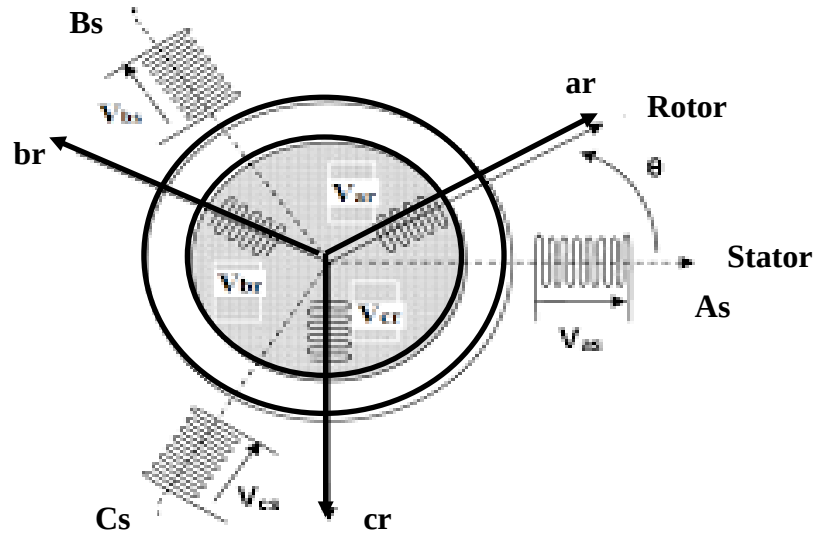


Figure II.1: schéma simplifié des enroulements rotorique et statorique de machine asynchrone à cage

#### II.3.1 Equations générales

Le comportement de la machine asynchrone est entièrement défini par trois types d'équations à savoir :

- Les équations électriques.
- Les équations magnétiques.
- Les équations mécaniques

##### II.3.1.1 Equations électriques

Pour l'ensemble des phases au stator :

$$\begin{bmatrix} V_{sa} \\ V_{sb} \\ V_{sc} \end{bmatrix} = \begin{bmatrix} R_s & 0 & 0 \\ 0 & R_s & 0 \\ 0 & 0 & R_s \end{bmatrix} \begin{bmatrix} I_{sa} \\ I_{sb} \\ I_{sc} \end{bmatrix} + \frac{d}{dt} \begin{bmatrix} \phi_{sa} \\ \phi_{sb} \\ \phi_{sc} \end{bmatrix} \quad (\text{II.1})$$

$$\begin{bmatrix} V_{sa} \\ V_{sb} \\ V_{sc} \end{bmatrix} = R_s \begin{bmatrix} I_{sa} \\ I_{sb} \\ I_{sc} \end{bmatrix} + \frac{d}{dt} \begin{bmatrix} \phi_{sa} \\ \phi_{sb} \\ \phi_{sc} \end{bmatrix} \quad (\text{II.2})$$

La résistance statorique étant la même pour les trois phases, il n'y a pas lieu d'écrire une matrice de résistances.

Ou :

$$[V_{sabc}] = [R_s][I_{sabc}] + \frac{d}{dt}[\phi_{sabc}] \quad (\text{II.3})$$

De même, au rotor :

$$\begin{bmatrix} V_{ra} \\ V_{rb} \\ V_{rc} \end{bmatrix} = \begin{bmatrix} R_r & 0 & 0 \\ 0 & R_r & 0 \\ 0 & 0 & R_r \end{bmatrix} \begin{bmatrix} I_{ra} \\ I_{rb} \\ I_{rc} \end{bmatrix} + \frac{d}{dt} \begin{bmatrix} \phi_{ra} \\ \phi_{rb} \\ \phi_{rc} \end{bmatrix} \quad (\text{II.4})$$

$$\begin{bmatrix} V_{sa} \\ V_{sb} \\ V_{sc} \end{bmatrix} = R_s \begin{bmatrix} I_{sa} \\ I_{sb} \\ I_{sc} \end{bmatrix} + \frac{d}{dt} \begin{bmatrix} \phi_{sa} \\ \phi_{sb} \\ \phi_{sc} \end{bmatrix} \quad (\text{II.5})$$

Ou :

$$[V_{rabc}] = [R_r][I_{rabc}] + \frac{d}{dt}[\phi_{rabc}] = [0] \quad (\text{II.6})$$

Le rotor étant en court-circuit, ses tensions sont nulles.

$[V_s]$  : La matrice des courants au stator.

$[I_r]$  : La matrice des courants au rotor.

$R_s$  : Résistance propre statorique.

$R_r$  : Résistance propre rotorique.

### II.3.1.2 Equations magnétiques

Chaque flux comporte une interaction avec les courants de toutes les phases y compris la sienne (notion de flux/ inductance propre).

**Coté stator :**

$$\begin{bmatrix} \phi_{sa} \\ \phi_{sb} \\ \phi_{sc} \end{bmatrix} = [L_s] \begin{bmatrix} i_{sa} \\ i_{sb} \\ i_{sc} \end{bmatrix} + [M_{sr}] \begin{bmatrix} i_{ra} \\ i_{rb} \\ i_{rc} \end{bmatrix} \quad (\text{II.7})$$

$$[\phi_{sabc}] = [L_s][I_{sabc}] + [M_{sr}][I_{rabc}] \quad (\text{II.8})$$

**Coté rotor :**

$$\begin{bmatrix} \phi_{ra} \\ \phi_{rb} \\ \phi_{rc} \end{bmatrix} = [M_{rs}] \begin{bmatrix} i_{sa} \\ i_{sb} \\ i_{sc} \end{bmatrix} + [L_r] \begin{bmatrix} i_{ra} \\ i_{rb} \\ i_{rc} \end{bmatrix} \quad (\text{II.9})$$

$$[\phi_{rabc}] = [M_{rs}] [I_{sabc}] + [L_r] [I_{rabc}] \quad (\text{II.10})$$

Avec :

$$[L_s] = \begin{bmatrix} L_s & M_s & M_s \\ M_s & L_s & M_s \\ M_s & M_s & L_s \end{bmatrix} \quad \text{Matrice des bobinages (inductances) au stator}$$

$L_s$  : L'inductance d'un bobinage seul.

$M_s$  : L'inductance mutuelle de couplage entre deux phases (bobinage) du stator.

$$[L_r] = \begin{bmatrix} L_r & M_r & M_r \\ M_r & L_r & M_r \\ M_r & M_r & L_r \end{bmatrix} \quad \text{Matrice des bobinages (inductances) au rotor}$$

$L_r$  : L'inductance d'un bobinage seul.

$M_r$  : L'inductance mutuelle de couplage entre deux phases (bobinage) du rotor.

$$[M_{sr}] = [M_{rs}]^t = M_{sr} \begin{bmatrix} \cos \theta & \cos(\theta + \frac{2\pi}{3}) & \cos(\theta - \frac{2\pi}{3}) \\ \cos(\theta - \frac{2\pi}{3}) & \cos \theta & \cos(\theta + \frac{2\pi}{3}) \\ \cos(\theta + \frac{2\pi}{3}) & \cos(\theta - \frac{2\pi}{3}) & \cos \theta \end{bmatrix} \quad (\text{II.11})$$

$\theta$  : Angle électrique définit la position relative instantanée entre les axes rotoriques et les axes statoriques qui sont choisis comme axes de références.

On aura finalement :

$$[V_{sabc}] = [R_s] [I_{sabc}] + \frac{d}{dt} ([L_s] [I_{sabc}] + [M_{sr}] [I_{rabc}]) \quad (\text{II.12})$$

$$[V_{rabc}] = [R_r] [I_{rabc}] + \frac{d}{dt} ([L_r] [I_{rabc}] + [M_{rs}] [I_{sabc}]) \quad (\text{II.13})$$

### II.3.1.3 Equation mécanique

$$J \frac{d}{dt} \Omega = C_{em} - f\Omega - C_r \quad (14)$$

$C_{em}$  : Le couple électromagnétique de la machine. [Nm].

$C_r$  : Le couple résistant (la charge) à l'arbre de la machine. [Nm].

$J$  : Le moment d'inertie. [ $\text{Kg m}^2$ ].

$\Omega$  : La vitesse mécanique du rotor. [tr/min].

$f$  : Coefficient de frottement. [ $\text{Nm/rad/s}$ ].

### II.3.2 Modélisation dans le repère de Park

$$[x_{dq}] = T(\theta)[x_{abc}]$$

Avec :

$$T(\theta) = \sqrt{\frac{2}{3}} \begin{bmatrix} \cos \theta & \cos(\theta - \frac{2\pi}{3}) & \cos(\theta + \frac{2\pi}{3}) \\ -\sin \theta & -\sin(\theta - \frac{2\pi}{3}) & -\sin(\theta + \frac{2\pi}{3}) \end{bmatrix} \quad (\text{II.14})$$

#### II.3.2.1 Choix de repère UV

##### 1 Référentiel fixe par rapport au stator

$$\dot{\theta}_s = 0; \dot{\theta}_r = -\dot{\theta}; \omega_r = -\omega.$$

##### a. Equations électriques

$$\begin{aligned} V_{s\alpha} &= R_s i_{s\alpha} + \frac{d\phi_{s\alpha}}{dt} \\ V_{s\beta} &= R_s i_{s\beta} + \frac{d\phi_{s\beta}}{dt} \end{aligned} \quad (\text{II.15})$$

$$\begin{aligned} V_{r\alpha} &= R_r i_{r\alpha} + \omega_r \phi_{r\beta} + \frac{d\phi_{r\alpha}}{dt} \\ V_{r\beta} &= R_r i_{r\beta} - \omega_r \phi_{r\alpha} + \frac{d\phi_{r\beta}}{dt} \end{aligned}$$

##### b. Equation magnétique

$$\begin{aligned} \phi_{s\alpha} &= L_s i_{s\alpha} + M i_{r\alpha} \\ \phi_{s\beta} &= L_s i_{s\beta} + M i_{r\beta} \\ \phi_{r\alpha} &= M i_{s\alpha} + L_r i_{r\alpha} \\ \phi_{r\beta} &= M i_{s\beta} + L_r i_{r\beta} \end{aligned} \quad (\text{II.16})$$

##### c. Equation mécanique

$$C_{em} = p(\phi_{s\alpha} i_{s\beta} - \phi_{s\beta} i_{s\alpha}) \quad (\text{II.17})$$

##### 2 Référentiel fixe par rapport au rotor

$$\dot{\theta}_s = \dot{\theta} = \omega; \dot{\theta}_r = \omega_r = 0$$

**a. Equation électrique**

$$\begin{aligned}
V_{sx} &= R_s i_{sx} - \omega_s \phi_{sy} + \frac{d\phi_{sx}}{dt} \\
V_{sy} &= R_s i_{sy} + \omega_s \phi_{sx} + \frac{d\phi_{sy}}{dt} \\
V_{rx} &= R_r i_{rx} + \frac{d\phi_{rx}}{dt} \\
V_{ry} &= R_r i_{ry} + \frac{d\phi_{ry}}{dt}
\end{aligned} \tag{II.18}$$

**b. Equation magnétique**

$$\begin{aligned}
\phi_{sx} &= L_s i_{sx} + M i_{rx} \\
\phi_{sy} &= L_s i_{sy} + M i_{ry} \\
\phi_{rx} &= M i_{sx} + L_r i_{rx} \\
\phi_{ry} &= M i_{sy} + L_r i_{ry}
\end{aligned} \tag{II.19}$$

**c. Equation mécanique**

$$C_{em} = p(\phi_{sx} i_{sy} - \phi_{sy} i_{sx}) \tag{II.20}$$

**3 Référentiel fixe par rapport au champ tournant****a. Equation électrique**

$$\begin{aligned}
V_{sd} &= R_s i_{sd} - \omega_s \phi_{sq} + \frac{d\phi_{sd}}{dt} \\
V_{sq} &= R_s i_{sq} + \omega_s \phi_{sd} + \frac{d\phi_{sq}}{dt} \\
V_{rd} &= R_r i_{rd} - \omega_r \phi_{rq} + \frac{d\phi_{rd}}{dt} \\
V_{rq} &= R_r i_{rq} + \omega_r \phi_{rd} + \frac{d\phi_{rq}}{dt}
\end{aligned} \tag{II.21}$$

**b. Equation magnétique**

$$\begin{aligned}
\phi_{sd} &= L_s i_{sd} + M i_{rd} \\
\phi_{sq} &= L_s i_{sq} + M i_{rq} \\
\phi_{rd} &= M i_{sd} + L_r i_{rd} \\
\phi_{rq} &= M i_{sq} + L_r i_{rq}
\end{aligned} \tag{II.22}$$

**c. Equation mécanique**

$$C_{em} = p(\phi_{sd} i_{sq} - \phi_{sq} i_{sd}) \tag{II.23}$$

Avec :

$p$  : Nombre paire de pôles.

**II.4 Représentation d'état de MAS**

En écrivant le système d'équations en forme représentation d'état dans le repère fixe par rapport au stator:

$$\left[ \frac{dX}{dt} \right] = AX + BU \quad (\text{II.24})$$

Avec :m

$$[X] = [\phi_{s\alpha} \quad \phi_{s\beta} \quad i_{s\alpha} \quad i_{s\beta}]^T \quad (\text{II.25})$$

$$[U] = [V_{s\alpha} \quad V_{s\beta}]^T \quad (\text{II.26})$$

$$A = \begin{bmatrix} 0 & 0 & -R_s & 0 \\ 0 & 0 & 0 & -R_s \\ \frac{1}{(T_r L_s \sigma)} & \frac{\omega}{L_s \sigma} & -\frac{(1/T_s + 1/T_r)}{\sigma} & -\omega \\ \frac{-\omega}{L_s \sigma} & \frac{1}{(T_r L_s \sigma)} & \omega & -\frac{(1/T_s + 1/T_r)}{\sigma} \end{bmatrix} \quad (\text{II.27})$$

$$B = \begin{bmatrix} 1 & 0 \\ 0 & 1 \\ \frac{1}{\sigma L_s} & 0 \\ 0 & \frac{1}{\sigma L_s} \end{bmatrix} \quad (\text{II.28})$$

Avec :

$$\sigma = \left( 1 - \frac{M^2}{L_s L_r} \right) \text{ Coefficient de dispersion.}$$

$$T_s = \frac{L_s}{R_s} \text{ Constant de temps statorique.}$$

$$T_r = \frac{L_r}{R_r} \text{ Constant de temps rototorique.}$$

$$A = A_{11} + \omega A_{12}$$

Avec :

$$A_{11} = \begin{bmatrix} 0 & 0 & -R_s & 0 \\ 0 & 0 & 0 & -R_s \\ \frac{1}{(T_r L_s \sigma)} & 0 & -\frac{(1/T_s + 1/T_r)}{\sigma} & 0 \\ 0 & \frac{1}{(T_r L_s \sigma)} & 0 & -\frac{(1/T_s + 1/T_r)}{\sigma} \end{bmatrix} \quad (\text{II.29})$$

$$A_{12} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & \frac{1}{L_s \sigma} & 0 & -1 \\ \frac{-1}{L_s \sigma} & 0 & 1 & 0 \end{bmatrix} \quad (\text{II.30})$$

## II.5 Simulation de model de machine asynchrone en régime normal « état sain » alimentée par réseau triphasé

### Schéma de simulation

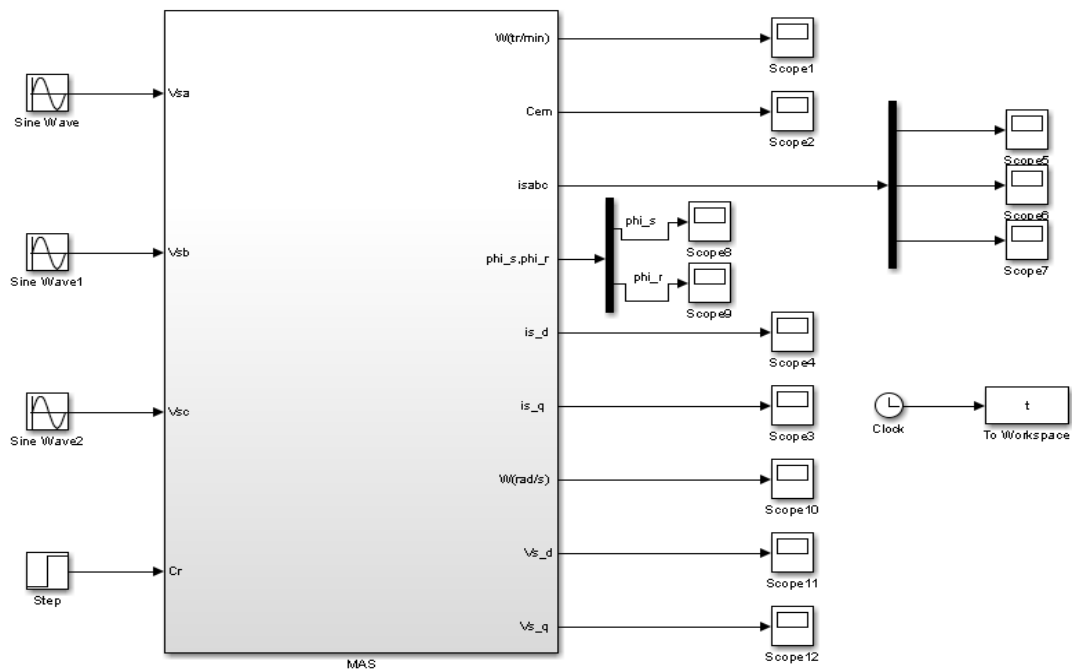


Figure II.2: Modèle de la MAS dans MATLAB-SIMULINK

### II.5.1 Résultat de simulation à vide

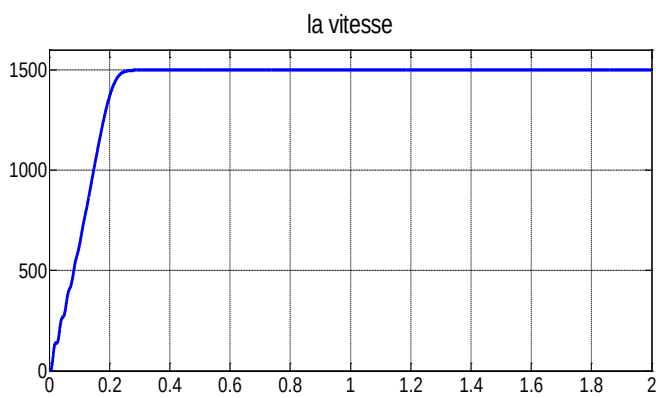


Figure II.2: la vitesse à vide

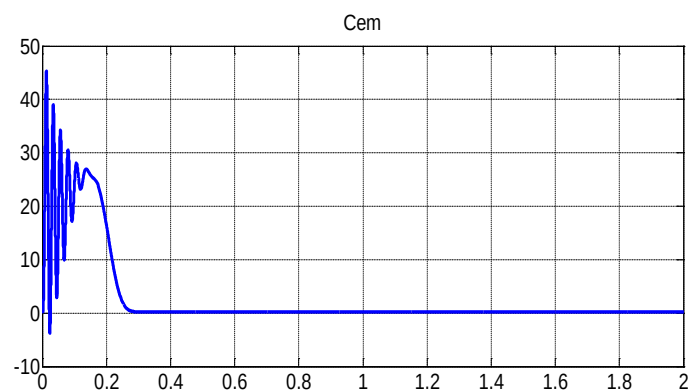


Figure II.3: le couple électromagnétique à vide

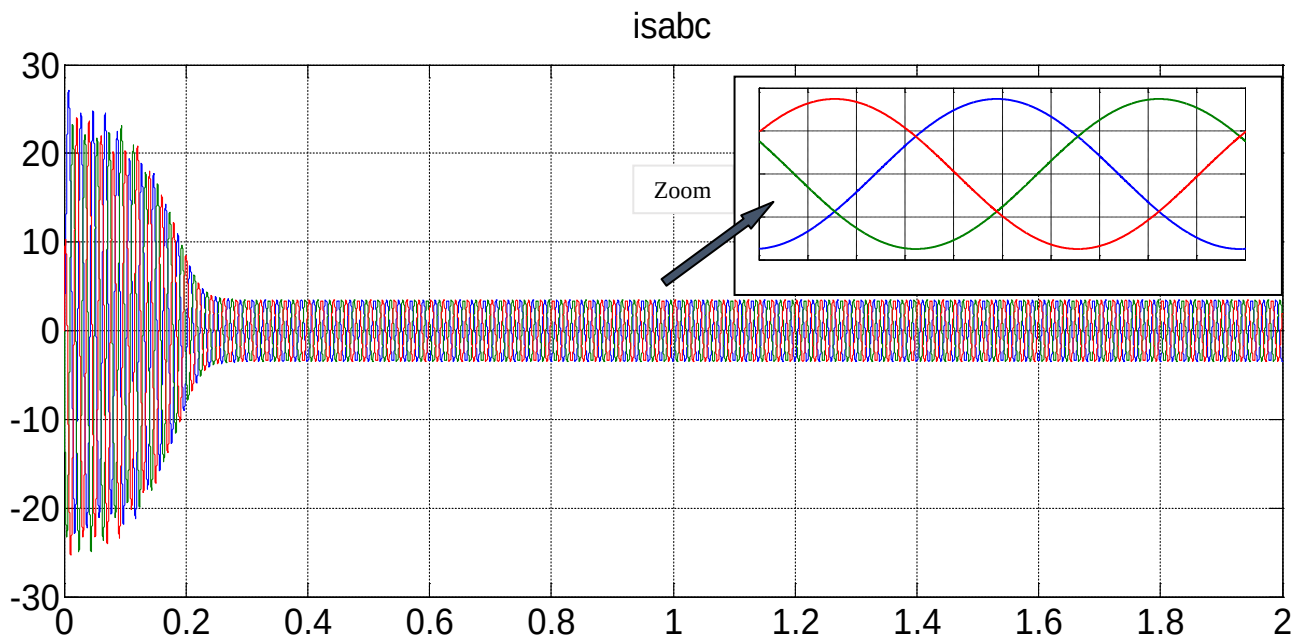


Figure II.3: les courants statorique à vide

### II.5.2 Résultat de Simulation avec en charge:

$$C_r = 10 Nm$$

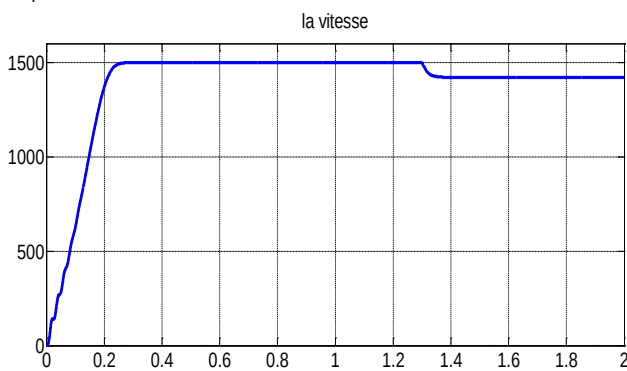


Figure II.5: la vitesse en charge

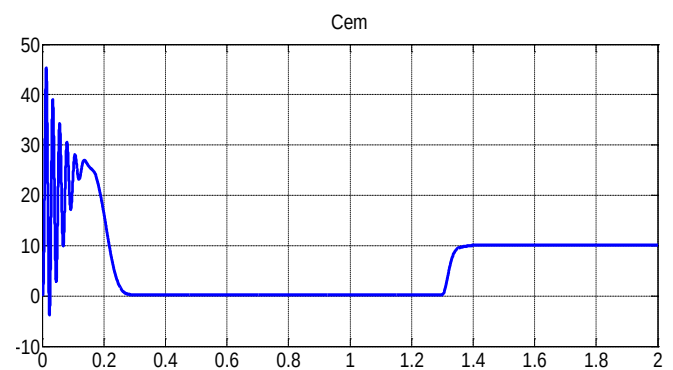


Figure II.6: le couple électromagnétique en charge

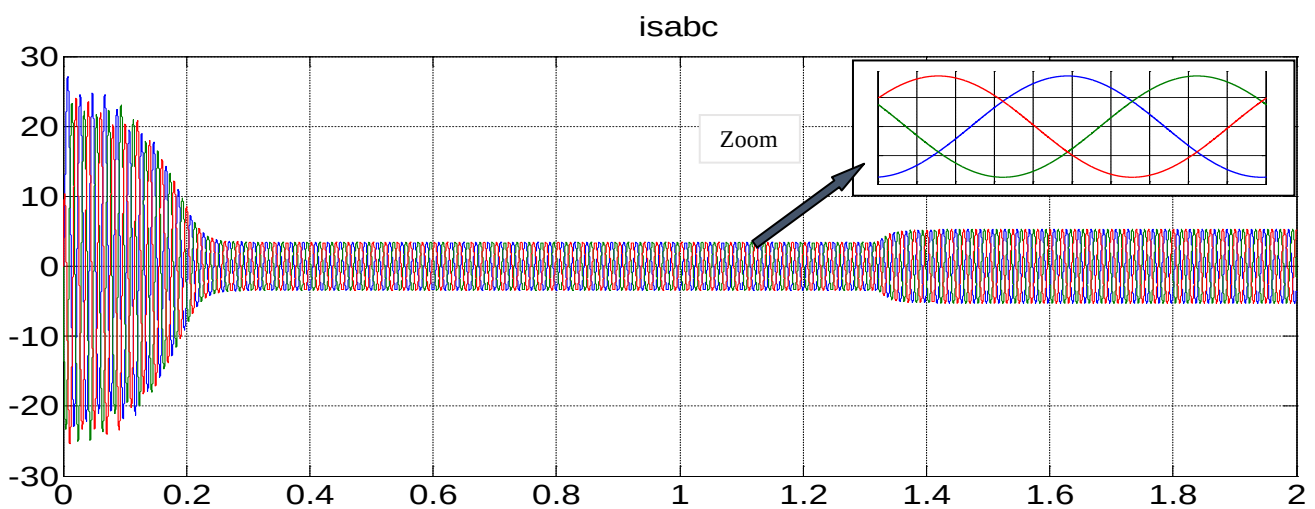


Figure II.4: les courants statoriques en charge

### II.5.3 Interprétation des résultats

#### II.5.3.1 La vitesse

La vitesse augmente presque linéairement et rapidement au démarrage et à l'instant  $t=1.5s$  on a appliqué un couple résistant  $C_r=10Nm$ , la vitesse diminue, car la relation entre le couple de la charge et la vitesse est inverse.

#### II.5.3.2 Le couple électromagnétique

La croissance de la vitesse au démarrage indique la présence du fort couple électromagnétique (ou plus un couple résistant), ce dernier oscille de manière décroissante jusqu'à la valeur 0.

Lorsqu'on applique un couple résistant après certain temps, on remarque une augmentation du couple électromagnétique jusqu'à la valeur de perturbation associée.

#### II.5.3.3 Le courant statorique

Au démarrage, le courant atteindra sa valeur maximale. Le courant oscille autour de zéro jusqu'à atteindre sa valeur permanente (onde sinusoïdale).

Lorsqu'une charge (perturbation) est appliquée, on remarquera naturellement la demande de courant (augmentation), ce qui signifie que l'enroulement du moteur chauffe, surtout lorsque le couple résistif devient supérieur au couple nominal.

### II.6 Modélisation de l'onduleur de tension

Les onduleurs de tension, associés aux machines à courant alternatif, sont de nos jours très largement utilisés dans les systèmes d'entraînement industriels. En premier lieu, les progrès en matière de semi-conducteur ont permis la réalisation de convertisseurs statiques de plus en plus performants. En second lieu, l'évolution des techniques numériques, notamment l'utilisation sans cesse grandissante des processeurs de signaux (DSP, "Digital Signal Processing") et des systèmes à base d'architecture reconfigurable (FPGA, "Field Programmable Gate Array"), permet désormais d'exécuter en temps réel des algorithmes complexes de contrôle des convertisseurs [9]

En agissant simultanément sur la fréquence et la tension du stator, la vitesse du rotor MAS peut être ajustée de manière logique. Par conséquent, afin de fournir un moyen pour cette opération, il est nécessaire de disposer d'une alimentation capable de délivrer une tension d'amplitude et de fréquence à valeur instantanée réglable.

L'onduleur peut répondre à cette demande. Les trois unités de commutation (bras) qui composent l'onduleur triphasé sont des courants bidirectionnels, contrôlés par le (demi-bras) lors de l'ouverture et de la fermeture, et chaque demi-bras a son circuit complémentaire.

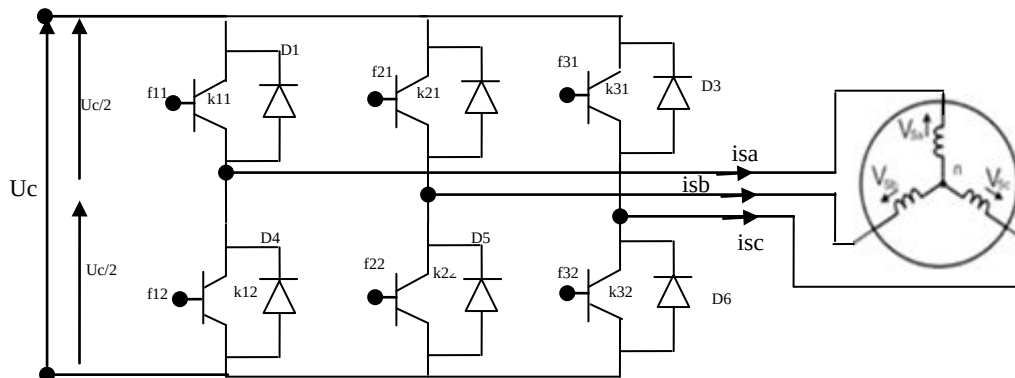


Figure II.5: Représentation de l'onduleur de tension MLI.

Pour simplifier l'étude, on supposera que [39] :

- la commutation des interrupteurs est instantanée,
- la chute de tension aux bornes des interrupteurs est négligeable,
- la charge triphasé est équilibrée, couplé en étoile avec un neutre isolé.

On définit la fonction de connexion  $F_{ci}$  ( $c \in \{1, 2, 3\}$ ,  $i \in \{1, 2\}$ ) comme l'état de l'interrupteur  $K_{ci}$ , on a :

$$\begin{cases} f_{11} = 1 - f_{10} \\ f_{21} = 1 - f_{20} \\ f_{31} = 1 - f_{30} \end{cases} \quad (\text{II.31})$$

Avec :

- $f_{ci} = 1$  si l'interrupteur est fermé,
- $f_{ci} = 0$  si l'interrupteur est ouvert.

L'onduleur est alimenté par une source de tension continue constante, d'amplitude «  $U_c$  », les potentiels des nœuds « a, b, c » de l'onduleur triphasé par rapport au point milieu fictif « n » sont donnés par tensions suivantes :

$$\begin{cases} V_{an} = f_{11}U_c \\ V_{bn} = f_{21}U_c \\ V_{cn} = f_{31}U_c \end{cases} \quad (\text{II.32})$$

Les tensions composés délivrées par cet onduleur sont donnés par :

$$\begin{cases} U_{sab} = U_c (f_{11} - f_{21}) \\ U_{sbc} = U_c (f_{21} - f_{31}) \\ U_{sca} = U_c (f_{31} - f_{11}) \end{cases} \quad (\text{II.33})$$

Pour une charge triphasé équilibrée, couplé en étoile avec un neutre isolé, les tensions statoriques simples sont reliés par :

$$V_{sa} + V_{sb} + V_{sc} = 0 \quad (\text{II.34})$$

Les tensions simples sont liées aux tensions composées par :

$$\begin{cases} V_{sa} = \frac{1}{3}(U_{sab} - U_{sca}) \\ V_{sb} = \frac{1}{3}(U_{sbc} - U_{sab}) \\ V_{sc} = \frac{1}{3}(U_{sca} - U_{sbc}) \end{cases} \quad (\text{II.35})$$

Après arrangement les équations des deux systèmes (II.33) et (II.35), on obtient le système matricielle suivant :

$$\begin{bmatrix} V_{sa} \\ V_{sb} \\ V_{sc} \end{bmatrix} = \frac{U_c}{3} \begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{bmatrix} \begin{bmatrix} f_{11} \\ f_{21} \\ f_{31} \end{bmatrix} \quad (\text{II.36})$$

Pour déterminer les fonctions «  $f_{ci}$  », on présentera dans ce qui suit la stratégie de commande de l'ondue.

## II.7 Commande directe de couple DTC de la machine asynchrone triphasé

### II.7.1 Introduction:

Introduction de la technologie de contrôle direct du couple (DTC) Écrit par « M.Takahashi » au milieu des années 80 [17]-[19]. Récemment, cette technologie est N'est plus utilisé dans l'industrie, et d'autres types de commandes sont parfaitement passés, et Surtout par le contrôle de flux (Field Oriented Control "FOC"), car Le principal inconvénient de cette technique est sa grande sensibilité aux changements Dans les paramètres de base des moteurs asynchrones triphasés.

La commande DTC inclut le calcul des variables de contrôle, ces variables de contrôle sont le flux statorique et Couple électromagnétique dans la mesure du courant du stator, pas besoin d'utiliser Capteurs mécaniques, en même temps, ce contrôle assure un découplage naturel entre les deux capteurs Le flux magnétique et le couple ainsi que sa carte météo ont une structure simple car il n'y a pas de boucle Contrôle du courant, transformée Park et blocs pour le calcul de la modulation La tension PWM rend la réalisation du contrôle DTC meilleure que par Direction du flux du rotor.

Aussi, cette technique offre, des avantages déjà bien connus par rapport aux autres techniques, classiques présentés les points suivants [18] :

- N'exige qu'un seul régulateur, qui représente la régulation de vitesse.
- Le contrôle par hystérésis dépend à la fréquence de commutation de l'onduleur.
- Une grande robustesse contre la variation des paramètres de la machine.

Cependant, le DTC a des problèmes à bas régime et doit estimer le flux et le couple du stator. Ses contraintes de conception sont beaucoup plus fortes (20 à 30 kHz) [20] -[21], ainsi que les fluctuations de couple et de débit. Dans ce chapitre, nous montrerons le principe de fonctionnement du contrôle direct du couple, tel que la direction de développement du flux statorique et du couple électromagnétique requis, estimerons ces quantités à partir de l'électricité pure et déterminerons le secteur en calculant l'angle électrique. Pour le flux statorique, un correcteur de bande d'hystérésis est utilisé pour contrôler le flux magnétique et le couple afin d'établir une table de vérité représentant le noyau de l'algorithme de commutation requis par la stratégie de commande.

### II.7.2 Principe de la commande DTC appliquée sur un onduleur à deux niveaux

Le principe du contrôle DTC est basé sur le réglage direct du couple électromagnétique du moteur. La méthode consiste à appliquer différents vecteurs de tension à l'onduleur sélectionné. Les grandeurs contrôlées sont le flux magnétique statorique et le couple électromagnétique, qui sont généralement contrôlés par un régulateur à deux ou plusieurs niveaux de bandes d'hystérésis pour maintenir ces grandeurs dans leurs bandes et pour déterminer les variations précises de ces grandeurs contrôlées.

La sortie de ces régulateurs et l'angle représentant la position du flux statorique déterminent le meilleur vecteur tension inverseur à appliquer à chaque instant de commutation [22].

### II.7.3 La théorie de la commande directe du couple :

#### II.7.3.1 Le contrôle vectoriel du couple :

On utilise les expressions vectorielles de la machine dans le référentiel lié au stator.[23]

$$C_{em} = \frac{PM}{\sigma L_r L_s} (\overline{\phi_s} \otimes \overline{\phi_r}) \quad (II.31)$$

$$C_{em} = \frac{PM}{\sigma L_r L_s} \|\phi_s\| \cdot \|\phi_r\| \cdot \sin(\gamma) \quad (II.32)$$

$$\gamma = (\overline{\phi_s} \phi_r)$$

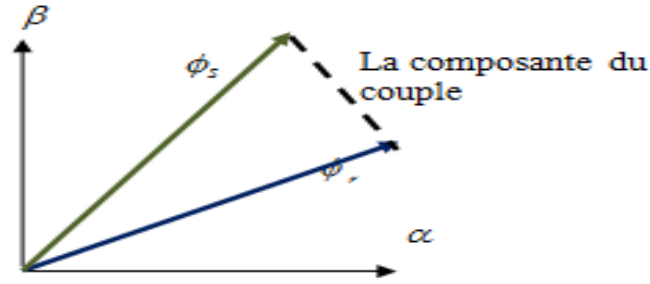


Figure II.6: la composante du couple électromagnétique

Donc le cas d'application d'un vecteur de tension  $V_s$  à un pas d'échantillonnage donné  $T_e$  très petit, le flux statorique  $\phi_s$  change plus rapidement que le flux rotorique  $\phi_r$ .

Comme-si le flux rotorique reste constant dans un pas d'échantillonnage  $T_e$ .

Dans ce cas le couple dépend uniquement de la variation du flux statorique  $\phi_s$  et de l'angle  $\theta_s$ .

### II.7.3.2 Le contrôle du flux statorique:

Par l'intégration de l'équation statorique de la machine asynchrone (3), on peut établir l'équation qui régit le comportement du vecteur flux statorique en fonction de temps par :

$$V_s = R_s I_s + \frac{d\phi_s}{dt}$$

$$\phi_s = \int_0^t (V_s - R_s I_s) dt$$

$$\phi_s = \phi_{s0} + V_s T_e$$

### II.7.3.3 Les secteurs de l'angle :

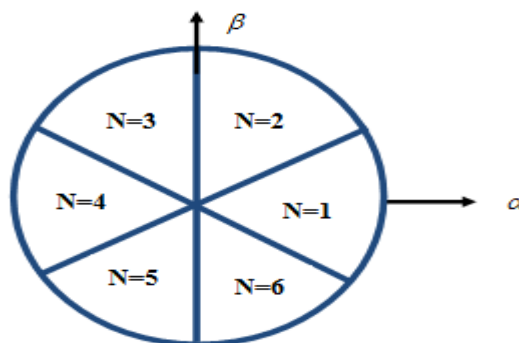


Figure II.7: Les secteurs de l'angle

## II.7.3.4 Les vecteurs de tension :

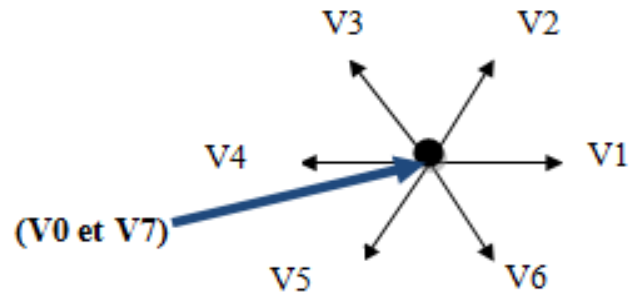


Figure II.8: Vecteurs des tensions

## II.7.3.5 Tableau de control du couple

| secteur | <i>Cem</i> croît | <i>Cem</i> décroît |
|---------|------------------|--------------------|
| N1      | V2, V3           | V5, V6             |
| N2      | V3, V4           | V6, V1             |
| N3      | V4, V5           | V1, V2             |
| N4      | V5, V6           | V2, V3             |
| N5      | V6, V1           | V3, V4             |
| N6      | V1, V2           | V4, V5             |

Tableau 1:Tableau de control du couple

La tension appliqué pour reste le couple constant est : **V0 et V7**

## II.7.3.6 Tableau de control du flux

| secteur | $\phi_s$ croît | $\phi_s$ décroît |
|---------|----------------|------------------|
| N1      | V1, V2, V6     | V3, V4, V5       |
| N2      | V1, V2, V3     | V4, V5, V6       |
| N3      | V2, V3, V4     | V5, V6, V1       |
| N4      | V3, V4, V5     | V6, V1, V2       |
| N5      | V4, V5, V6     | V1, V2, V3       |
| N6      | V5, V6, V1     | V2, V3, V4       |

Tableau 2:Tableau de control du flux

**Avec :**

$V1=[1\ 0\ 0], V2=[1\ 1\ 0], V3=[0\ 1\ 0], V4=[0\ 1\ 1], V5=[0\ 0\ 1], V6=[1\ 0\ 1], V0=[0\ 0\ 0], V7=[1\ 1\ 1]$ .

Par exemple  $V1= [1\ 0\ 0]$ .

L'état des l'interrupteurs supérieures de l'onduleur

**1** : interrupteur fermé.

**0** : interrupteur ouvert.

#### II.7.3.7 Table de commutation sans séquences nulles

| $\Delta\phi_s$ | $\Delta C_{em}$ | Secteur 1 | Secteur 2 | Secteur 3 | Secteur 4 | Secteur 5 | secteur   |
|----------------|-----------------|-----------|-----------|-----------|-----------|-----------|-----------|
| <b>0</b>       | <b>1</b>        | <b>V3</b> | <b>V4</b> | <b>V5</b> | <b>V6</b> | <b>V1</b> | <b>V2</b> |
|                | <b>0</b>        | <b>V5</b> | <b>V6</b> | <b>V1</b> | <b>V2</b> | <b>V3</b> | <b>V4</b> |
| <b>1</b>       | <b>1</b>        | <b>V2</b> | <b>V3</b> | <b>V4</b> | <b>V5</b> | <b>V6</b> | <b>V1</b> |
|                | <b>0</b>        | <b>V6</b> | <b>V1</b> | <b>V2</b> | <b>V3</b> | <b>V4</b> | <b>V5</b> |

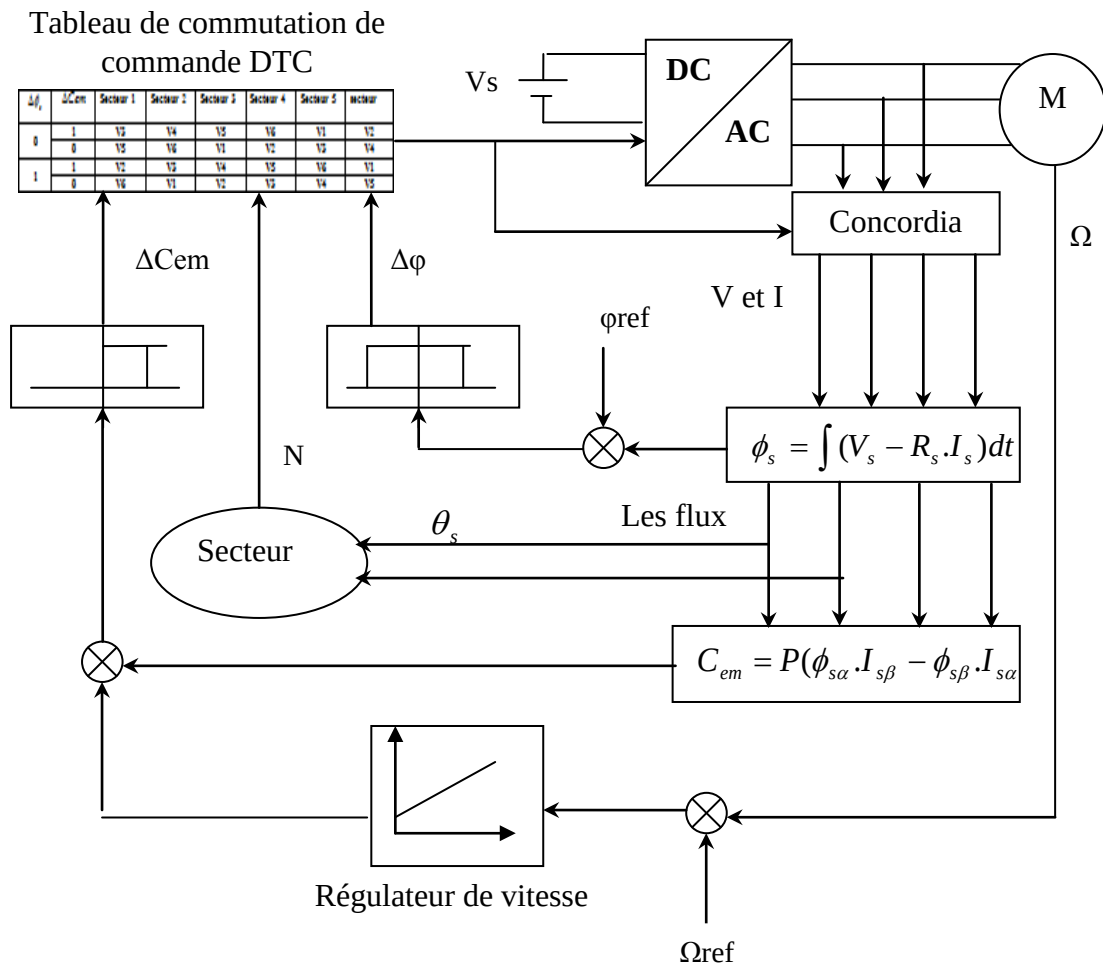
Tableau 3:Table de commutation sans séquences nulles

#### II.7.3.8 Table de commutation avec séquences nulles

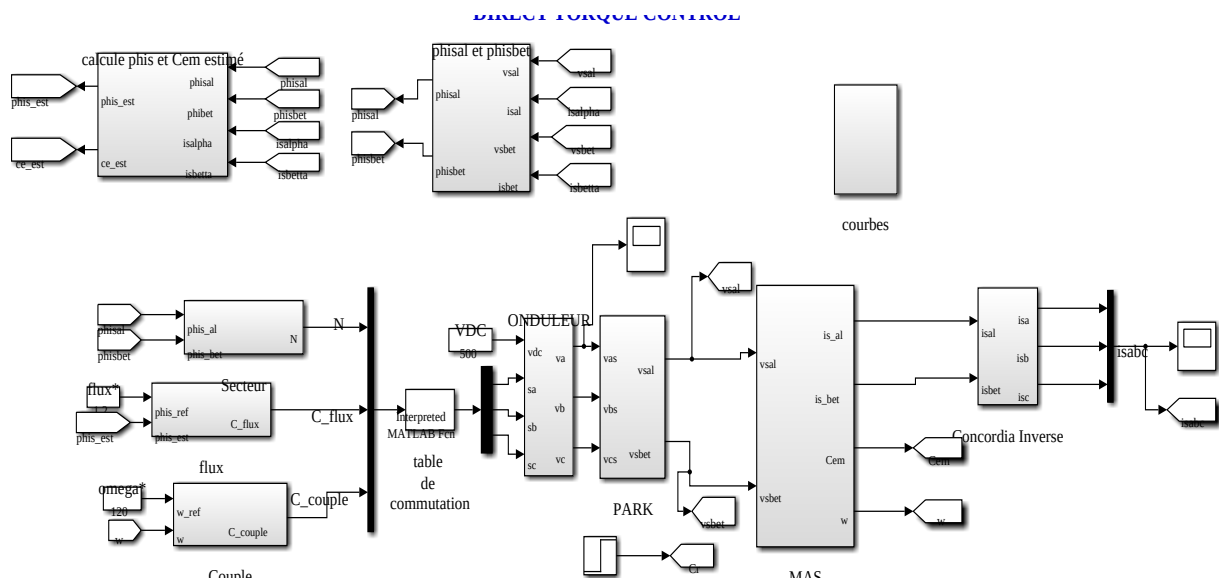
| $\Delta\phi_s$ | $\Delta C_{em}$ | Secteur 1 | Secteur 2 | Secteur 3 | Secteur 4 | Secteur 5 | secteur   |
|----------------|-----------------|-----------|-----------|-----------|-----------|-----------|-----------|
| <b>0</b>       | <b>1</b>        | <b>V3</b> | <b>V4</b> | <b>V5</b> | <b>V6</b> | <b>V1</b> | <b>V2</b> |
|                | <b>0</b>        | <b>V0</b> | <b>V7</b> | <b>V0</b> | <b>V7</b> | <b>V0</b> | <b>V7</b> |
|                | <b>-1</b>       | <b>V5</b> | <b>V6</b> | <b>V1</b> | <b>V2</b> | <b>V3</b> | <b>V4</b> |
| <b>1</b>       | <b>1</b>        | <b>V2</b> | <b>V3</b> | <b>V4</b> | <b>V5</b> | <b>V6</b> | <b>V1</b> |
|                | <b>0</b>        | <b>V7</b> | <b>V0</b> | <b>V7</b> | <b>V0</b> | <b>V7</b> | <b>V0</b> |
|                | <b>-1</b>       | <b>V6</b> | <b>V1</b> | <b>V2</b> | <b>V3</b> | <b>V4</b> | <b>V5</b> |

Tableau 4:Table de commutation avec séquences nulles

## II.7.3.9 Schéma synoptique de la commande DTC



## Schéma de simulation



## II.7.3.10 Résultats de simulation

## a. A vide:

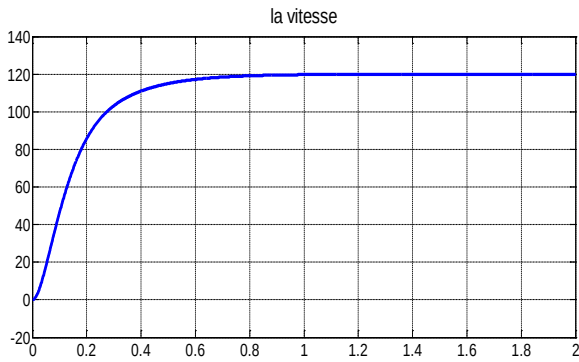


Figure II.11: la vitesse de commande DTC à vide

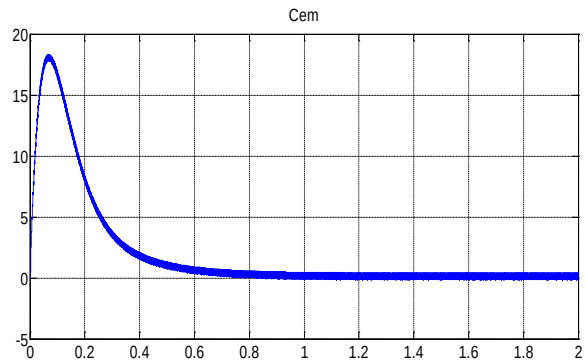


Figure II.12: le couple électromagnétique de commande DTC à vide

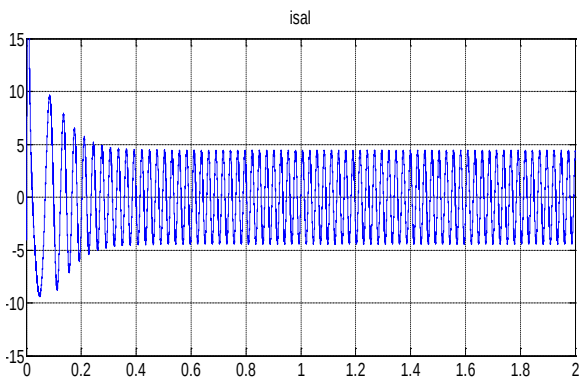


Figure II.13: le courant isalpha de commande DTC à vide

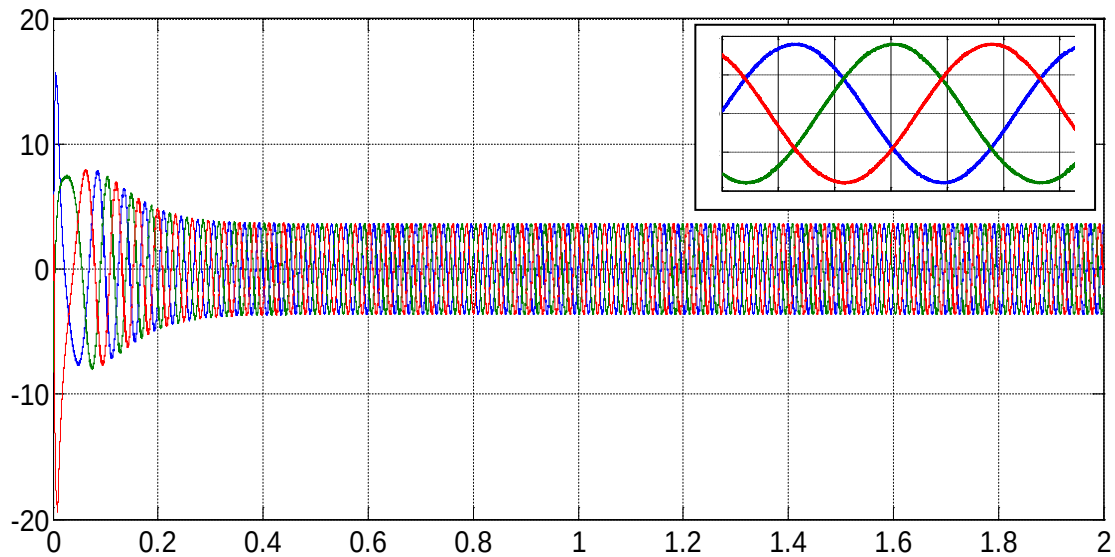
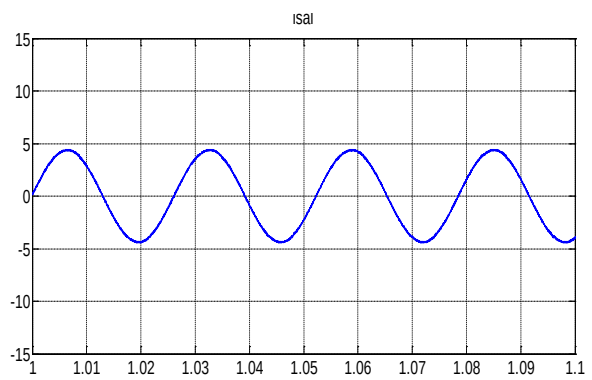


Figure II.14: les courants statoriques de commande DTC à vide

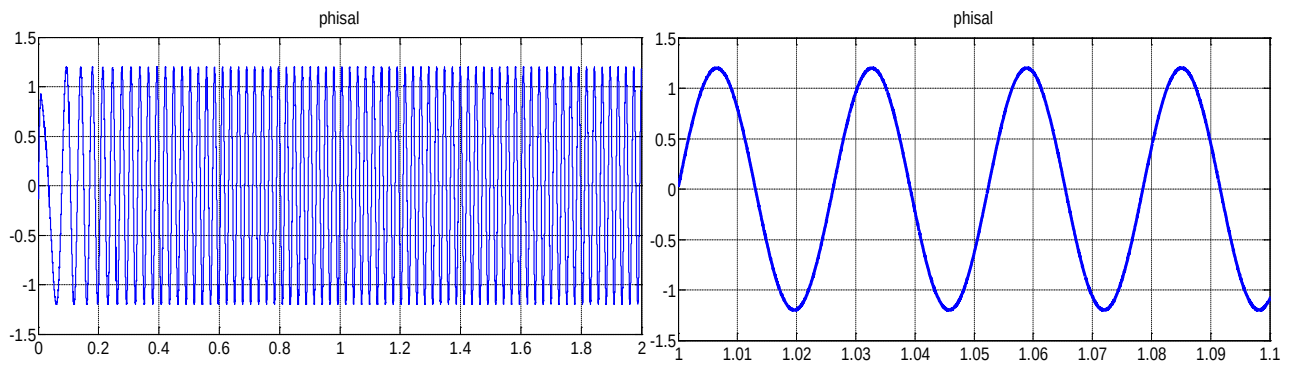


Figure II.15: le flux phisalpa de commande DTC à vide

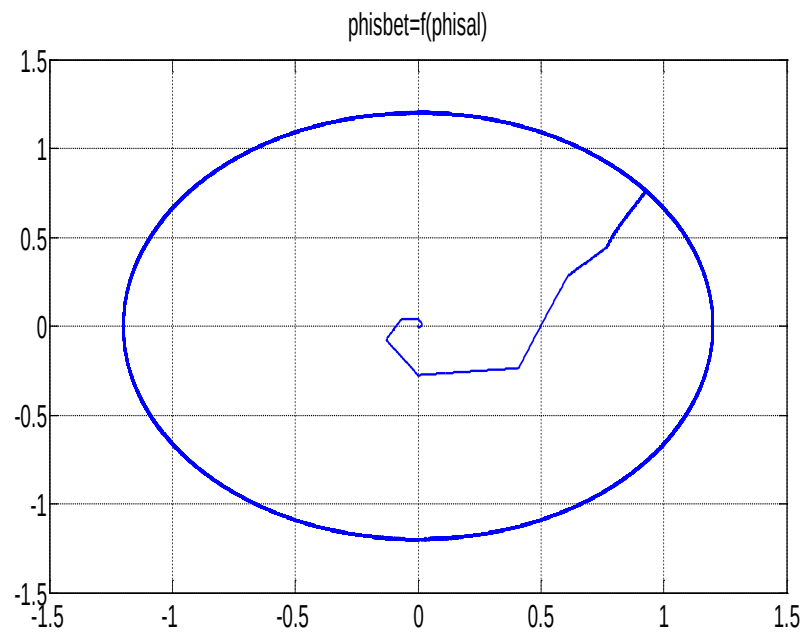


Figure II.16: phisbeta=f(phisalpha) de commande DTC à vide

### b. En charge $C_r=10Nm$ à $t=1.3s$

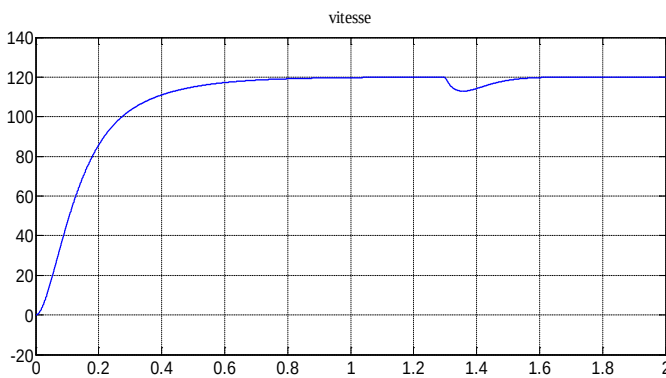


Figure II.17: la vitesse de commande DTC en charge

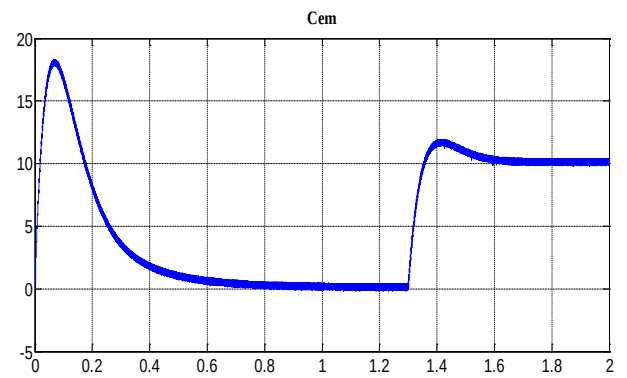


Figure II.18: le couple électromagnétique de commande DTC en charge

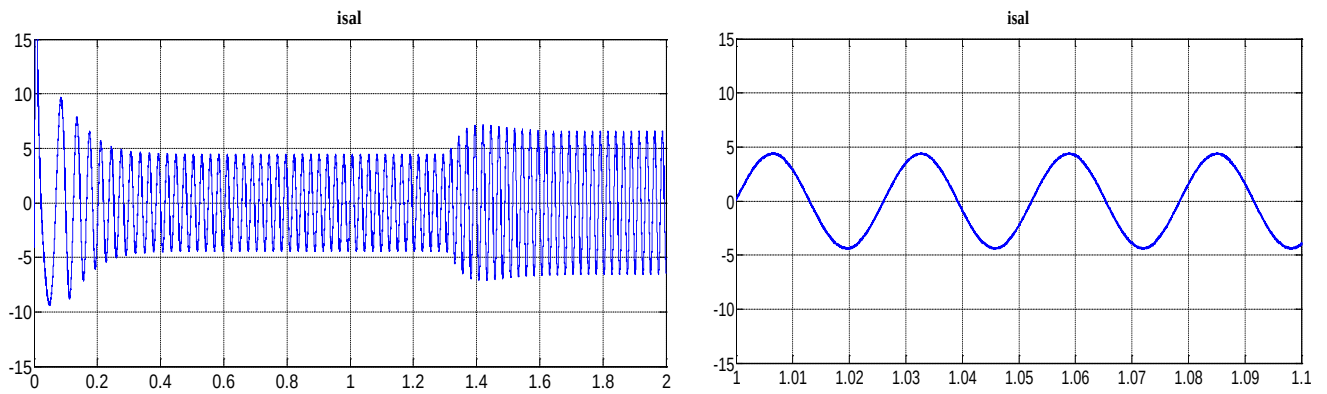


Figure II.19: le couple électromagnétique de commande DTC en charge

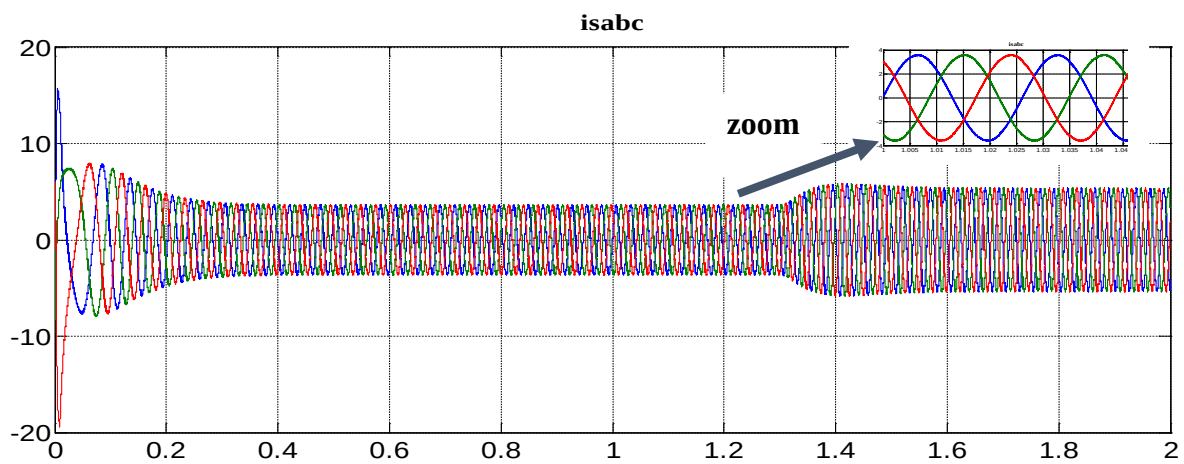


Figure II.20: les courants statoriques de commande DTC en charge

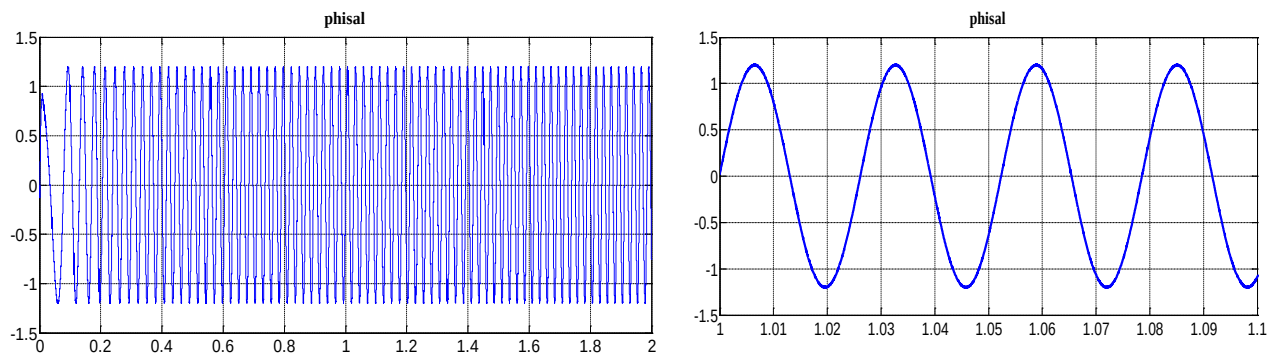


Figure II.21: le flux phisalalpha de commande DTC en charge

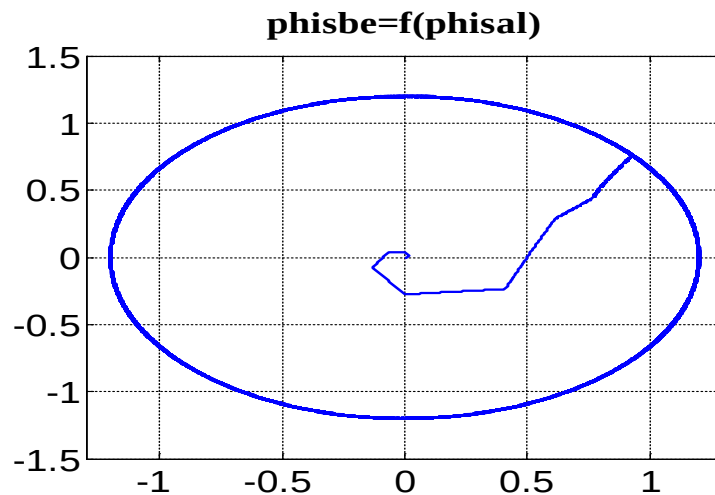


Figure II.22: phisbeta=f(phisalpha) de commande DTC en charge

#### II.7.3.11 Interprétation des résultats

La vitesse augmente dans le régime transitoire, puis elle se stabilise à la valeur de référence, à l'instant  $t=1.3s$  on applique une charge  $Cr=10N.m$  en, la vitesse diminue mais rapidement elle revient à la valeur de référence car il ya un régulateur de vitesse.

Le couple électromagnétique dans le régime transitoire augmente rapidement au démarrage jusqu'à le régime permanent devient nul, à l'instant  $t=1.3s$  on applique un couple résistant, alors le couple électromagnétique augmente jusqu'à la valeur  $Cr=10Nm$ .

Au démarrage, le courant atteindra sa valeur maximale. Le courant oscille autour de zéro jusqu'à atteindre sa valeur permanente (onde sinusoïdale).

Lorsqu'une charge (perturbation) est appliquée, on remarquera naturellement l'appel du courant (augmentation), ce qui signifie que l'enroulement du moteur chauffe, surtout lorsque le couple résistif devient supérieur au couple nominal.

### II.7.4 Les avantages et inconvénients de la commande DTC

#### II.7.4.1 Les avantages

Parmi les avantages de la commande DTC on peut citer [30] :

- Le couple et le flux peuvent être changés rapidement, par la possibilité de modifier brutalement leur consigne respective.
- Cette commande ne nécessite pas obligatoirement un capteur de la vitesse.
- Les réponses des grandeurs sont instantanées.

- Bon rendement, car les transistors n'étant commutés qu'en cas de besoin.
- Réponse à un échelon sans dépassement.
- Pas de transformation de Park, donc pas nécessaire de connaître la position du rotor pour calculer l'algorithme.
- Robuste contre les changements paramétriques de la machine (Résistance statorique).

#### II.7.4.2 Les inconvénients

Les inconvénients de la commande DTC peuvent être résumés par les points suivants [30] :

- A cause de la commande par hystérésis, la fréquence de commutation n'est pas constante. Toutefois, la définition de la plage de tolérance permet de régler approximativement la fréquence de commutation moyenne.
- Oscillations importantes dans les réponses du flux et du couple.
- Le microcontrôleur utilisé doit être très rapide. Il lui faut une grande puissance de calcul. En effet, l'algorithme doit être calculé très régulièrement, pour éviter que le flux ou le couple ne sortent de leurs plages de tolérance.
- Le capteur des courants doit être bien étalonné et de très bonne classe de mesure, afin de ne pas induire aucune erreur dans les calculs de contrôleur.
- Un filtre passe-bas ne peut pas être introduit dans le circuit pour enlever le bruit parce que le retard qu'il causerait empêcherait le bon fonctionnement de régulateurs à l'hystérésis.
- La mesure des tensions doit également être de bonne qualité, pour des raisons similaires au capteur des courants.
- Les courants et les tensions statoriques sont mal contrôlés en régimes transitoires.

## II.8 Conclusion

Dans ce chapitre, nous avons modélisé le moteur asynchrone triphasé dans repère triphasé puis appliqué la transformation de Park et extrait la représentation d'état de moteur, puis nous avons simulé un moteur asynchrone alimenté par un réseau triphasé, et modélisé l'onduleur de tension.

Nous avons également discuté du principe de la technique de commande « Direct Torque Control » DTC, et nous avons simulé le moteur asynchrone avec DTC et commenté les résultats.



### **III. Chapitre III : supports physiques d'implémentation**

### III.1 Introduction

L'évolution technologique de la microélectronique a permis de voir naître un nouveau type de composants électroniques, dits circuits programmables. Cette évolution, aujourd'hui en pleine expansion et progression offre de plus en plus des circuits programmables puissants avec une grande flexibilité et une grande rapidité de fonctionnement. Cette grande puissance fait de ces circuits une solution technologique (support physique) incontournable pour l'implémentation des différents algorithmes de commande caractérisés par leurs grandes complexités.

De plus les circuits programmables qui sont de grande simplicité de conception, bénéficient des avantages de l'électronique analogique et de ceux des microprocesseurs. En effet, bien qu'ils aient les mêmes caractéristiques de l'électronique analogique, ils permettent de palier à plusieurs cas de contraintes temporelles.

Nous traitons dans ce chapitre les différents supports physiques permettant l'implémentation des algorithmes. Cependant, notre étude sera aiguillée vers les circuits programmables du fait que les FPGA ( Field programmable gate array) sont choisis comme technologie cible pour la réalisation du présent travail. Aussi, les différentes méthodes de programmation de ces circuits seront présentées.

### III.2 Différents supports physiques

Les supports physiques d'implémentation se concrétisent sous forme d'un ou de plusieurs composants, ces composants peuvent être regroupés sous deux grandes catégories : Analogique et Numérique (voir figure III.1). La forme numérique est très riche et diversifiée vu l'évolution croissante de la microélectronique, cette forme peut être répartie en trois groupes essentiels ; les composants standards, tels que les microprocesseurs et les DSP ( Digital Signal Processing), les composants PLD (Programmable Logic Devices ) regroupant les différents circuits programmables tels que les FPGA et les CPLD ( Complex Programmable Logic Device ) et les composants d'ASIC (Application Specific Integrated Circuits numérique) [40]

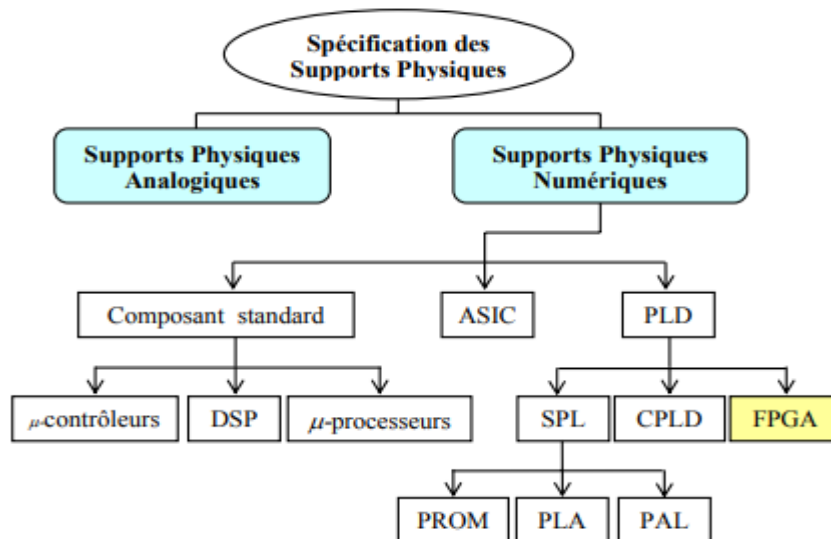


Figure III.1 : Différentes solutions technologiques

### III.2.1 Support physique analogique

Cet ensemble de circuits analogiques peut fournir une réponse à large bande passante Haute résolution rapide ; cependant, ils présentent plusieurs inconvénients, (Principalement, ils sont sujets au bruit, à la complexité du circuit et Difficulté à modifier le circuit). De plus, la fiabilité des systèmes électroniques diminue à mesure que le nombre augmente. Composants. Et ces circuits sont très compliqués et difficiles à modifier. De plus, nous avons enregistré la difficulté de modifier le circuit. Enfin, les problèmes ci-dessus et les coûts de maintenance du système La barrière entièrement câblée est rapidement devenue un obstacle [41]. Toutes ces contraintes nous incitent à évoluer vers les nouveaux médias Technologie d'implémentation basée sur la technologie électronique numérique.

### III.2.2 Support physique numérique

Selon les différentes fonctions numériques que les supports physiques numériques peuvent remplir, ils peuvent être divisés en trois technologies principales (figure III.1) [42].

Nous distinguons :

**Composants standards** : Cette série regroupe toutes les anciennes technologies de composants encore en développement, comme les microprocesseurs, les microcontrôleurs et toute la logique TTL ou CMOS ; **Les ASIC's** : circuits intégrés dédiés à des applications spécifiques ;

**Les composants logiques programmables** : ils ne sont pas disponibles Intégré à fonction fixe circuits. Chaque fonction doit être programmée à l'aide d'un logiciel spécifique à la technologie du circuit à programmer. On distingue trois principaux types de circuits programmables, à savoir : SPLD, CPLD et FPGA.

### III.3 Les composants Standards

#### III.3.1 Microprocesseur

Un microprocesseur est un circuit intégré, et sa fonction principale est de réaliser toute fonction (instruction) ou une série d'instructions qui constituent un programme et de les exécuter à son tour [43]. Le plus grand avantage d'un microprocesseur est sa polyvalence, car n'importe quel programme peut y être exécuté. De plus, il suffit de le programmer pour traduire des problèmes spécifiques dans la langue du microprocesseur.

Le fonctionnement de base du microprocesseur est divisé en trois unités : la mémoire, l'unité de traitement et l'unité de contrôle. Le microprocesseur, considéré comme l'unité centrale de traitement, est responsable du traitement de toutes les informations d'entrée / sortie. Il gère la mémoire centrale, la **RAM** (Random Access Memory), la **ROM** (Read Only Memory) et l'**EPROM** (Erasable Programmable ROM), les circuits «d'entrée-sortie» et d'interface qui assurent la communication avec les utilisateurs. Il assure également l'exécution et le traitement du programme.

Malgré les avantages et le développement continu des microprocesseurs, il peut encore être reconnu grâce à son fonctionnement en série (article par article). En effet, l'exécution du programme comprend plusieurs étapes, ce qui rend le temps d'exécution du calcul très considérable, notamment lorsqu'il s'agit d'algorithmes complexes, tels que : le diagnostic des défauts et les algorithmes de contrôle.

De cette manière, l'architecture du microprocesseur peut être plus adaptée à une tâche qu'à une autre. Pour cette raison, le microprocesseur ne peut pas répondre à toutes les exigences fonctionnelles sous des contraintes de temps trop fortes.

#### III.3.2 Les DSP

DSP est un microprocesseur dédié au traitement du signal, conçu pour Applications nécessitant beaucoup de calculs (transformée de Fourier, Convolution, etc.). La particularité de ces puces est de combiner un certain nombre de puces entre elles Les éléments architecturaux le rendent approprié pour des calculs intensifs [44].

En effet, ces processeurs sont très adaptés aux calculs liés aux traitements suivants : signal. Par conséquent, ils sont conçus pour gérer le processus de calcul et le test des conditions et des conditions. Les connexions sont très défavorables car elles ont tendance à vider le tuyau [44] ; Cela ralentira la vitesse de fonctionnement et peut amener les utilisateurs à perdre tout intérêt à utiliser de tels processeurs. Cependant, on voit que les DSP aux architectures de plus en plus complexes font Montre un fort potentiel en calcul parallèle.

### III.3.3 Les ASIC's

Si les composants numériques précédents peuvent être développés de manière simple Les ordinateurs, les supports numériques d'ASIC nécessitent l'intervention des fondateurs, Le circuit demandé sera généré à partir du masque fourni par le demandeur. Lorsqu'il est appliqué à Un environnement restreint comme un système de technologie électronique Contrôle et réglementation [45], ces circuits présentent d'énormes avantages, à savoir :

**Une consommation faible** : grâce à la conception du circuit ciblé.

**Un faible volume et de meilleures performances** : la balance intégrée permet de concentrer plusieurs fonctions (équivalentes à des centaines de circuits standard) sur une seule puce. La réduction significative de la taille réduit le nombre de composants, cartes et connecteurs utilisés dans le système de contrôle. Cela améliore la résistance au bruit, la vitesse d'exécution, la plage de température et la résistance mécanique.

### III.3.4 PLD (les circuits à structure programmable)

Le développement de la microélectronique a permis de favoriser fortement le développement de circuits logiques programmables En fait, nous en avons aujourd'hui plusieurs types dont les structures sont assez différentes des capacités d'intégration et des fréquences de fonctionnement. Les circuits logiques programmables sont principalement divisés en trois catégories [42]. SPLD's, CPLD's et FPGA.

### III.3.5 SPLD (simple programmable logic device)

SPLD's [46] (Figure III.2) est composé d'une grille de portes ET et d'une grille de portes OU, qui sont connectées. L'entrée du système peut être connectée à la porte « ET » et le résultat de la porte « OU » est la sortie du système. Dans ces circuits, les connexions sont préexistantes, et les différents fils sont connectés par des fusibles, des transistors EPROM ou des transistors EEPROM (Electrically EPROM). En brûlant certains de ces fusibles ou en programmant des transistors, diverses fonctions logiques peuvent être exécutées.

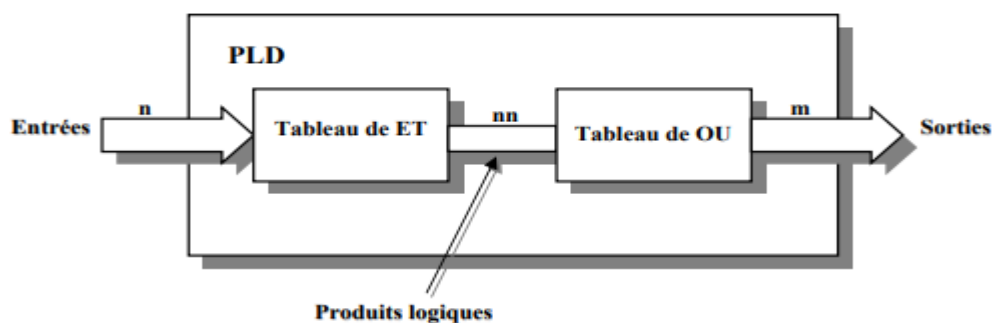


Figure III.2 : Architecture d'un SPLD.

### III.3.6 PLA

Les PLAs [42] sont apparues vers 1975 pour limiter les limitations de PROM. En effet, en PLA (Figure III.3), et PROM, toutes les interconnexions peuvent être programmées, ce qui en fait le plus Général. Ensuite, vous pouvez définir le produit et la somme pour les fabriquer. Il est particulièrement efficace lorsque plusieurs magasins utilisent le même produit. Une sorte de limitation s'accompagne souvent d'inconvénients, qui est l'une de ses lacunes. Le PLA est comparé à PROM ; c'est-à-dire que deux tableaux (AND / OR) sont. Grâce à la programmation, le temps de propagation du signal de l'entrée à la sortie est considérablement plus long. C'est important lors de la programmation d'un seul tableau.

### III.3.7 PAL

Vers la fin des années 1970, les PALs [47] furent introduites afin de contrer le problème de vitesse de propagation des PLAs. Dans un PAL (Figure 3.b), les connexions entre les portes ET et OU sont fixes, et les connexions entre les entrées et les portes ET peuvent être programmées. L'avantage des PALs sur les PLAs est donc leur rapidité, mais elles présentent l'inconvénient de n'avoir qu'un nombre limité de produits pour chaque porte OU.

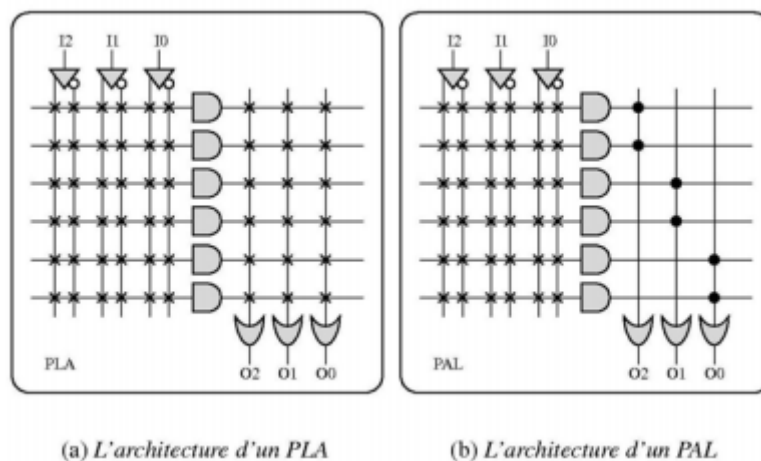


Figure III.3 : Architectures d'un PLA et d'un PAL.

Les SPLDs présentent deux limitations majeures, à savoir l'impossibilité de réaliser des fonctions à plusieurs niveaux et celle de ne pouvoir partager les produits de différentes fonctions. A cet effet une nouvelle génération de circuits programmables est développée.

### III.3.8 CPLD

Le CPLD (ou EPLD d'Altera) est apparu au début des années 80 en tant que développement du SPLD. Ils permettent la mise en œuvre de systèmes plus complexes, et sont composés d'éléments de base programmables et connectés entre eux via un réseau d'interconnexion relativement simple. Ces éléments de base sont de type SPLD. Veuillez noter que l'un des avantages du CPLD par rapport aux FPGA que nous présenterons dans le paragraphe suivant est la rapidité. En fait, le réseau d'interconnexion est beaucoup plus simple, plus rapide que le réseau d'interconnexion FPGA. De plus,

la connexion est toujours en contact avec la destination de la source, de sorte que le temps de propagation est toujours le même. Par conséquent, la spécification de l'emplacement d'une personne dans CPLD n'est pas critique et le routage peut être systématisé sans tenir compte des contraintes de temps[40].

Le routage du CPLD a commencé à susciter l'intérêt des gens, car en plus de définir les fonctions de modules simples comme SPLD, ils peuvent également être interconnectés.

### **III.4 FPGA (field programmable gate array)**

Les FPGA sont des circuits intégrés constitués d'une matrice de cellules logiques identiques interconnectées par programmation (reliées par des bus de communication configurables). Le principe de base est simple : afin d'implanter une fonction logique dans un FPGA, il suffit de configurer les cellules logiques et de les relier correctement en utilisant les bus internes. En effet, les FPGA sont les descendants de CPLD, ils sont simplement beaucoup plus complexes et puissants. Il y en a toutes les grosseurs, quelques milliers de portes logiques à quelques millions, ce qui permet d'implanter des circuits complexes sans avoir recours à concevoir un ASIC. En plus des cellules configurables, plusieurs FPGA possèdent des mémoires et des modules plus complexes comme les multiplicateurs. Certains fabricants vont même jusqu'à implanter des noyaux de microprocesseurs [47].

Le coût unitaire d'un FPGA est plus élevé que celui d'un circuit dédié de la même densité. Cette différence de coût est largement compensée, pour un volume de production restreint, par la réduction du coût de conception pour réaliser le composant.

En plus d'une grande flexibilité qui résulte en un style de conception à faible risque où les conséquences des erreurs logiques sont faibles à la fois en coût et en délais de projet.

Les FPGAs sont donc, pratiques pour le développement rapide de produits et de prototypes. Ils permettent des cycles de conception très courts. En plus, ils sont totalement testés après la production, donc les designs ne demandent pas la génération de programmes de test du composant, ni la génération automatique des vecteurs de tests (ou le design pour la testabilité). Ils nécessitent seulement des tests de type fonctionnel.

En ce qui concerne la vitesse, les FPGAs offrent des unités qui opèrent à des vitesses dépassant les 400 MHz dans plusieurs applications. Évidemment, les vitesses sont plus élevées que celles dans les systèmes réalisés en utilisant des circuits discrets, mais elles restent plus faibles que celles obtenues par les circuits dédiés. La raison principale provient de la programmabilité. Les interconnexions programmables rajoutent des résistances aux chemins internes. La vitesse des FPGAs est adéquate pour la plupart des applications. Dans les cas critiques, les applications peuvent être accélérées par simple utilisation d'unités plus rapides, souvent sans modifier la conception du circuit. Avec les

circuits dédiés, la situation est totalement différente. En effet, les nouveaux procédés de fabrication nécessitent la réalisation de masques et augmentent le coût global et le délai de la production.

Le développement des FPGAs s'accompagne par une évolution constante des outils de conception. Ces outils de haut niveau restent abordables même par des petites entreprises de conception. Le temps de développement est composé uniquement du temps de simulation et de réalisation du prototype, tandis que les temps des autres phases nécessaires pour les circuits dédiés : génération des vecteurs de test / production des masques, fabrication des gaufres, mise en boîtier et le test final en manufacture, sont évités. Ce qui mène à un temps de développement pour les FPGAs mesuré en journées ou en semaines. Alors que pour les circuits dédiés les durées sont calculées en mois.

#### III.4.1 Avantages et inconvénients des FPGAs

Les FPGA ont plusieurs avantages comparés à d'autres technologies, principalement [42] :

- Vu leur structure, toutes les fonctions peuvent être implémentées, même les plus complexes, y compris des microprocesseurs ou des DSP
- Peuvent être reconfigurés indéfiniment ;
- Fonctionnement parallèle ;
- Les pattes d'un FPGA sont généralement configurables et peuvent s'adapter à plusieurs protocoles de communication (TTL, PC, etc.) ;
- Leur programmation se fait par des langages évolués, tels que le VHDL, Verilog, System generator.

Le FPGA possède quelques inconvénients (qui ne sont pas très importants) tels que :

- La programmation de ces circuits nécessite un apprentissage du langage de programmation, bien que plusieurs études ont contribué à générer le langage VHDL par des langages plus évolués, à savoir : le langage C ou MATLAB ;
- Etant donné que les FPGA ne sont pas des circuits dédiés, les fonctions implémentées sont plus lentes et prennent plus d'espaces comparé à un circuit dédié, tel que, le DSP ;
- La représentation en point flottant est presque impossible.

#### III.4.2 Architecture Interne d'un FPGA

L'architecture typique d'un FPGA est représentée sur la Figure (III.4), l'unité logique de base d'un FPGA est le CLB (Configurable Logic Blocks). Ces unités sont arrangées en matrice, et chaque CLB est divisée en plusieurs sections identiques nommées tranches (Slices). Ces éléments logiques se basent sur des multiplexeurs (MUX), comme dans le cas du XC6200 [48], ou sur des tables de conversion LUT (Look-Up Tables), comme dans le cas du XC35500E [49]. A cet effet, ces unités logiques sont typiquement capables de réaliser de la logique combinatoire ou séquentielle de

différentes complexités. En outre, des ressources d'interconnexion permettent de créer (d'assurer) des liaisons programmables entre les entrées sorties des CLB et les blocs d'entrées/sorties IOB (Input Output Blocks).

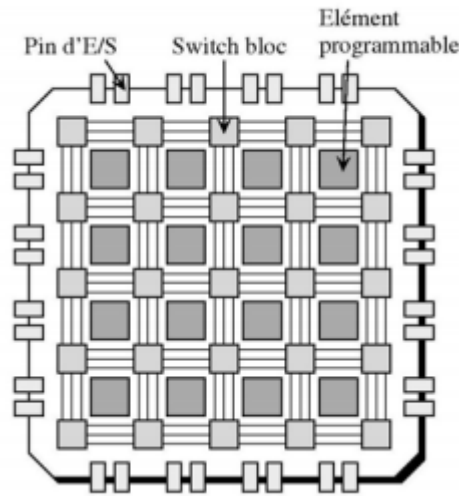


Figure III.4 : Architecture générale d'un FPGA

#### III.4.2.1 Blocs logiques

Beaucoup de fournisseurs emploient une architecture de FPGA dite Island-Style. Les blocs de logique dans cette architecture sont mentionnés comme des CLB et sont arrangés comme rangée symétrique. Les voies de routinage ont la géométrie de Manhattan ; c'est-à-dire, elles sont horizontales ou verticales [50]. Un CLB est un bloc de logique combinatoire [51], dans la plupart de FPGAs commercial se compose d'un ou plusieurs BLE (Basic Logic Element) [50], chaque BLE se compose habituellement (suivant les indications de la figure (III.5) de [38] :

- une LUT (Look Up Table) pour implémenter la fonctionnalité logique,
- une Bascule pour implémenter le classement logique
- un multiplexeur pour créer la connectivité logique.
- La LUT est un élément qui dispose de K-entrées, il existe donc  $2^K$ — combinaisons différentes de ces entrées. L'idée consiste à mémoriser la sortie correspondant à chaque combinaison d'entrée dans une petite table de  $2^K$  bits, la LUT devient ainsi un petit bloc générateur de fonctions [51].

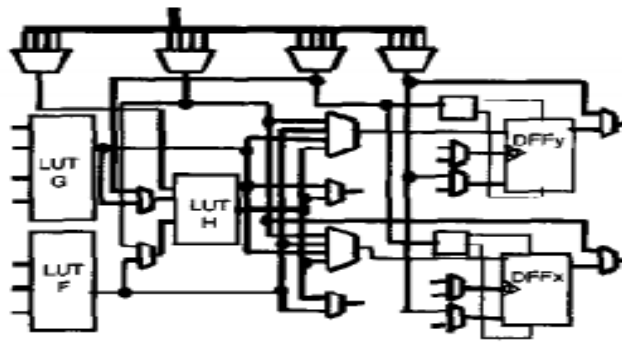


Figure III.5 : Cellule Logic de la famille XILINX 4000

Comme exemple, la figure(III.5) tirée de [38] donne une cellule logique de la famille de XILINX 4000 avec 3 LUTs, 2 bascules et environ 12 multiplexeurs pour le raccordement entre les entrées de cellules, les bascules et les sorties de cellules. Les cellules de RAM ne sont pas habituellement représentées dans la description de FPGA en tant que celle donnée sur la figure (III.5), mais elles sont évidemment présentes et reliées aux « entrées configurables » du multiplexeur configurable et du LUT [38].

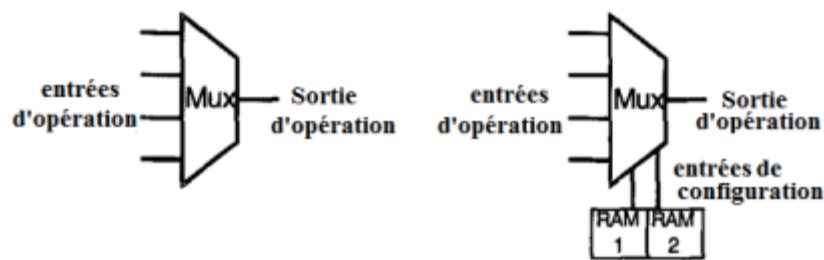


Figure III.6 : Représentation d'un multiplexeur configurable

Comme exemple la figure (III.6) donne la représentation habituelle d'un multiplexeur configurable où seulement les entrées d'opération apparaissent ; tandis que la figure (III.6) donne la représentation complète avec les entrées d'opération et modules d'entrées de configuration peut être reliée à n'importe quel signal interne actuel sur le routage de FPGA tandis que les entrées de configuration sont seulement reliées aux cellules de RAM de configuration [38].

#### III.4.2.2 Blocs I/O

Ces blocs d'entrée/sortie permettent l'interface entre les broches du composant FPGA et la logique interne développée à l'intérieur du composant. Ils sont présents sur toute la périphérie du circuit FPGA. Chaque bloc d'E/S contrôle une broche du composant et il peut être défini en entrée, en sortie, en signal bidirectionnel [51].

### III.5 Comparaison entre les composants programmables

Nous présentons sur la Figure (III.7) une comparaison entre les PAL, les CPLD et les FPGA. Nous prenons en compte seulement les deux caractéristiques essentielles ; à savoir : la capacité d'intégration de chaque circuit et sa fréquence (sans faire allusion au coût de production et d'intégration, à la

consommation du circuit, au volume et la fiabilité). Les PAL sont des circuits très rapides et à capacité d'intégration très faible ce qui limite leurs utilisations à des applications simples, contrairement aux FPGA qui sont des composants moins rapides à grande capacité d'intégration ce qui les place dans la meilleure position pour l'implémentation des algorithmes complexes. Tandis que, les CPLD se placent entre les deux. En effet, pour les systèmes peu complexes, l'utilisation des CPLD est plus intéressante.

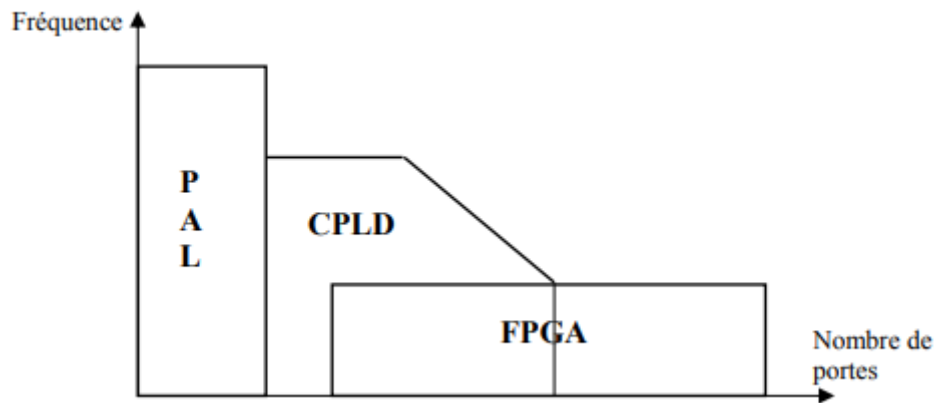


Figure III.7 : Fréquence utile par nombre de portes

### III.6 Flot de conception sur FPGA

Afin de programmer de manière optimale le FPGA, le concepteur doit respecter Quelques étapes (voir Figure III.8)

#### III.6.1 Introduction de l'algorithme à implémenter

Pour programmer les FPGA, le langage de description matérielle, telles que : le VHDL le VERILOG ou ABEL sont généralement utilisés.

##### a. Le VHDL :

Ce langage a été développé au début des années 80 par le Département USA de la défense. Il a été standardisé en 1987 par IEEE. Actuellement, il est le plus utilisé par les développeurs. Son principal rival est le VERILOG. Afin d'écrire un programme en VHDL, des logiciels, tels que : Xilinx de la société Xilinx ou Quartus de la société Altera sont généralement utilisés. Le code VHDL est très modulaire ce qui permet de réutiliser les fonctions déjà écrites et d'insérer des modules standard. Cependant, il demeure lourd et complexe pour quiconque n'est pas familier au VHDL. On note aussi que la simulation d'un code VHDL est trop longue. A cet effet, Xilinx commercialise un outil de conception de haut niveau nommé System Generator (SG).

**b. System Generator :**

Le générateur de système lui-même n'est pas un programme, mais une bibliothèque de logiciels MATLAB / SIMULINK. L'avantage est que tout utilisateur SIMULINK peut facilement utiliser les modules fournis par XILINX pour implémenter des algorithmes sur FPGA sous certaines contraintes. De plus, il vous permet également d'effectuer une simulation fonctionnelle sur MATLAB.

**III.6.2 Simulation fonctionnelle n°1**

L'algorithme peut être vérifié dans son ensemble. La programmation, dans ce cas, ne tient pas compte des contraintes physiques des composants. Le simulateur XILINX ou Modelsim provient de la société « montor graphic ».

**III.6.3 Simulation fonctionnelle n°2**

Temps requis pour chaque opération. Considérez les opérations de l'algorithme. En cas de conflit, le concepteur doit revoir Ses procédures.

**III.6.4 Placement/routage**

C'est l'étape de la synthèse logique, de la mise en page et du routage. Pour les très petites conceptions, cette étape peut être réalisée manuellement, pour les plus grandes conceptions, cette étape peut être réalisée via le logiciel « Xilinx Deseign Manager ». Cependant, lorsque la conception occupe presque tout le circuit, cette tâche peut être très difficile (même avec le meilleur processeur disponible). En fait, les modules d'interconnexion doivent être placés le plus près possible pour limiter le retard sur les fils, et le logiciel doit trouver un moyen de les connecter tous à tous les fils de routage existants. Ou via le logiciel « Xilinx Deseign Manager ». Ce dernier est généralement utilisé.

**III.6.5 Simulation temporelle**

Il comprend la prise en compte des contraintes de fonctionnement et des contraintes des composants à utiliser lors de la réalisation de la simulation. Après vérification, le programme peut être implémenté et testé sur le FPGA.

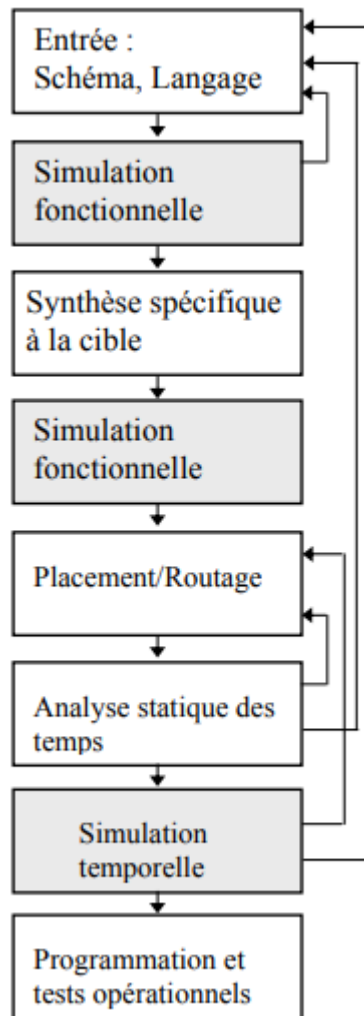


Figure III.8 :Flot de conception.

### III.7 Choix de technologie

Sur le marché des FPGA, nous trouvons plusieurs types et plusieurs fournisseurs, entre autres : Xilinx, ALTERA, ACTEL, etc. Notre choix s'est orienté sur la compagnie Xilinx. Etant donné, la qualité et la disponibilité de ces composants. Par la suite, notre choix a été guidé par des contraintes technico-économiques, en effet, nous avons choisi le circuit Xilinx Spatan-3<sup>E</sup> (le XC35500E implanté sur la carte SPARTAN-3<sup>E</sup> STARTER KIT est de coût relativement faible comparé aux cartes Virtex ). Sur le plan technique nous avons jugé que ce circuit est suffisant pour l'implémentation des RNA lorsque la conception est optimale.

### III.8 Architecture interne d'un XC3S500E

L'architecture générale d'un FPGA de la famille Spartan est représentée sur la Figure (III.9) Le circuit XC3S500E possède 1162 CLBs équivalente à 10476 unités logiques, et des IOBs ainsi que des blocs DCM (Digital Clock Manager Blocks) offrant un auto-calibrage, temporisation, multiplication, division et décalage de phase des signaux d'horloge [49]. Ce circuit contient également des blocs de

RAM fournissant un stockage de données sous forme de blocs 18-Kbit avec un accès double et des blocs de multiplicateurs acceptant deux nombres binaires de 18 bit comme entrées et assurent le calcul du produit. Les FPGAs de la série SPARTAN peuvent aller jusqu'à une fréquence de 50 MHz. Le Virtex-II offre la même architecture avec des technologies nouvelles, alors que la technologie de 65 nm est employée pour la fabrication des FPGA de la série Virtex-5 [49]. Ces dernières contiennent des blocs multiplieurs accumulateurs (MAC) de 25×18bits, des blocs de RAM de 36 Kbits et jusqu'à 640 « 550 MHz DSP48E Slice ».

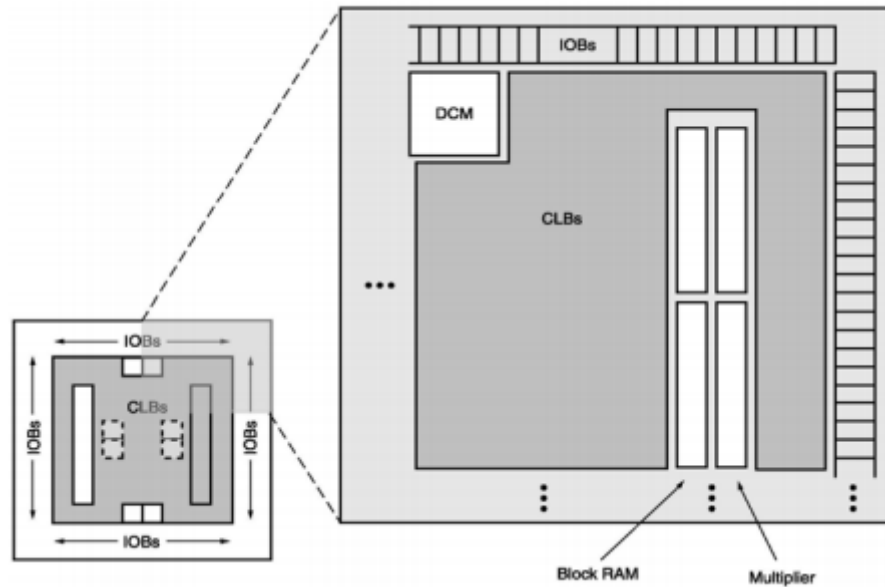


Figure III.9 :Architecture générale de la série Spartan-3<sup>E</sup>.

### III.8.1 Les CLB

Dans le XC3S500E Les CLB constituent la principale ressource de la logique séquentielle et combinatoire. Chaque CLB contient quatre tranches ; et chaque tranche en contient deux LUTs pour implémenter les fonctions logiques et deux éléments de stockage qui peuvent être utilisés comme flip-flop ou latches. Le LUTs peut être utilisé comme une mémoire 16x1 (RAM16) ou comme un registre du changement de 16 bit [48]. Les tranches sont groupées dans des paires. Chaque paire est organisée comme une colonne. La paire gauche supporte la logique et la fonction mémoire et ses tranches sont appelées SLICEM. La paire droite, supporte seulement la logique et ses tranches sont appelées SLICEL. Par conséquent, un demi des LUTs supporte logique et mémoire (RAM16 et registres SRL16) tandis que l'autre demie supporte seulement la logique.

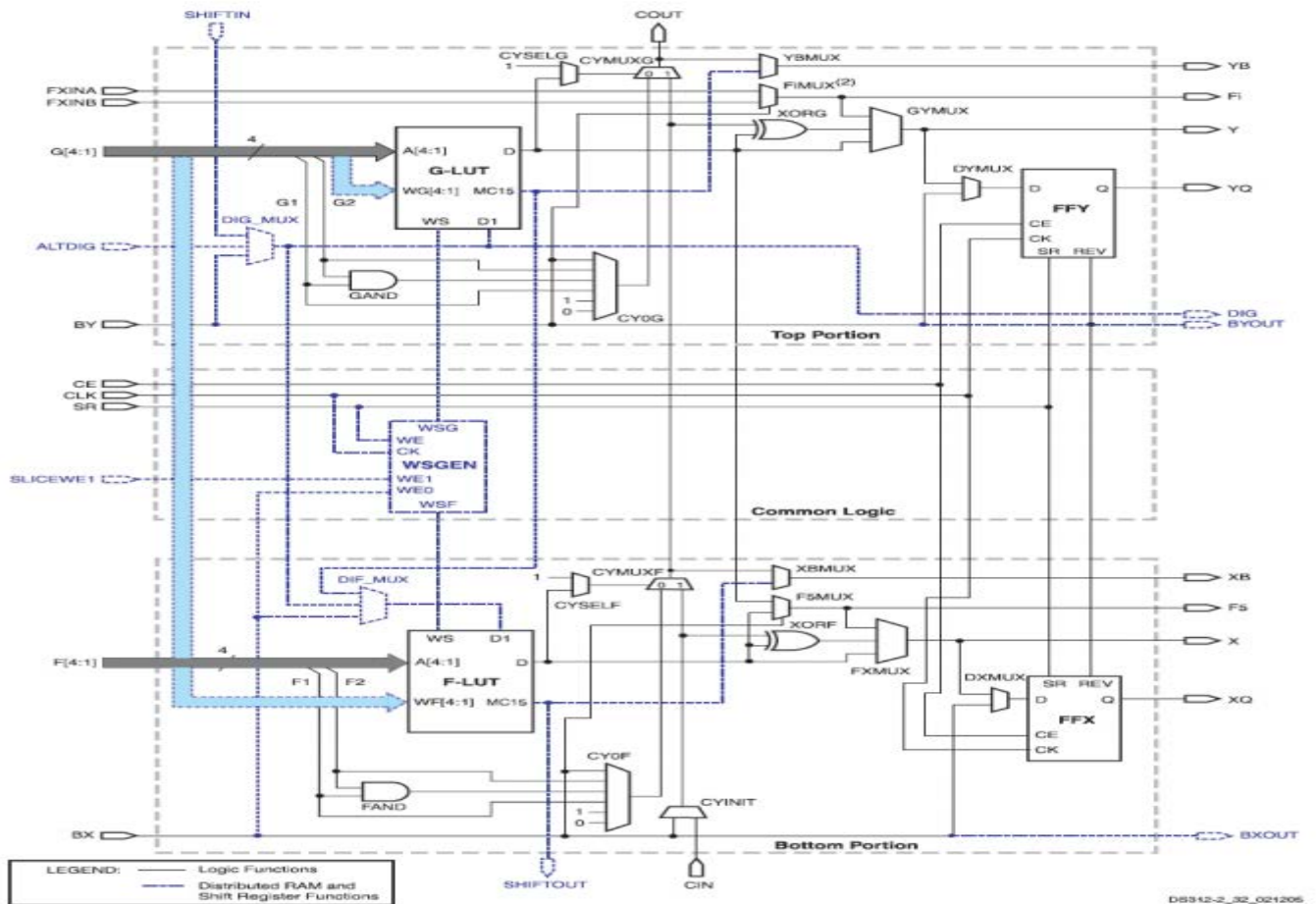


Figure III.10 : Partie gauche de la Tranche le SLICEM.

Le SLICEL réduit la dimension du CLB et baisse le coût de l'appareil et peut fournir aussi des performances supérieures par rapport au SLICEM. Figure (III.10) présente le SLISEM [48]. La technologie du Virtex- II XSV300 ou celle du XCV600 est très semblable à celle décrite, cependant, le nombre des CLBs dans ce cas est plus important.

### III.8.2 Les IOB

Les blocs IOB sont programmables, leurs niveaux peuvent être programmés pour être compatible avec treize standards différents. Tous le E/S sont protégées contre les décharges électrostatiques et les surtensions transitoires Figure (III.11). Chacun des signaux d'entrées et de sorties est associé à une bascule D d'un amplificateur pouvant positionner la sortie et munie d'un signal de contrôle direct ou pouvant passer par une bascule.

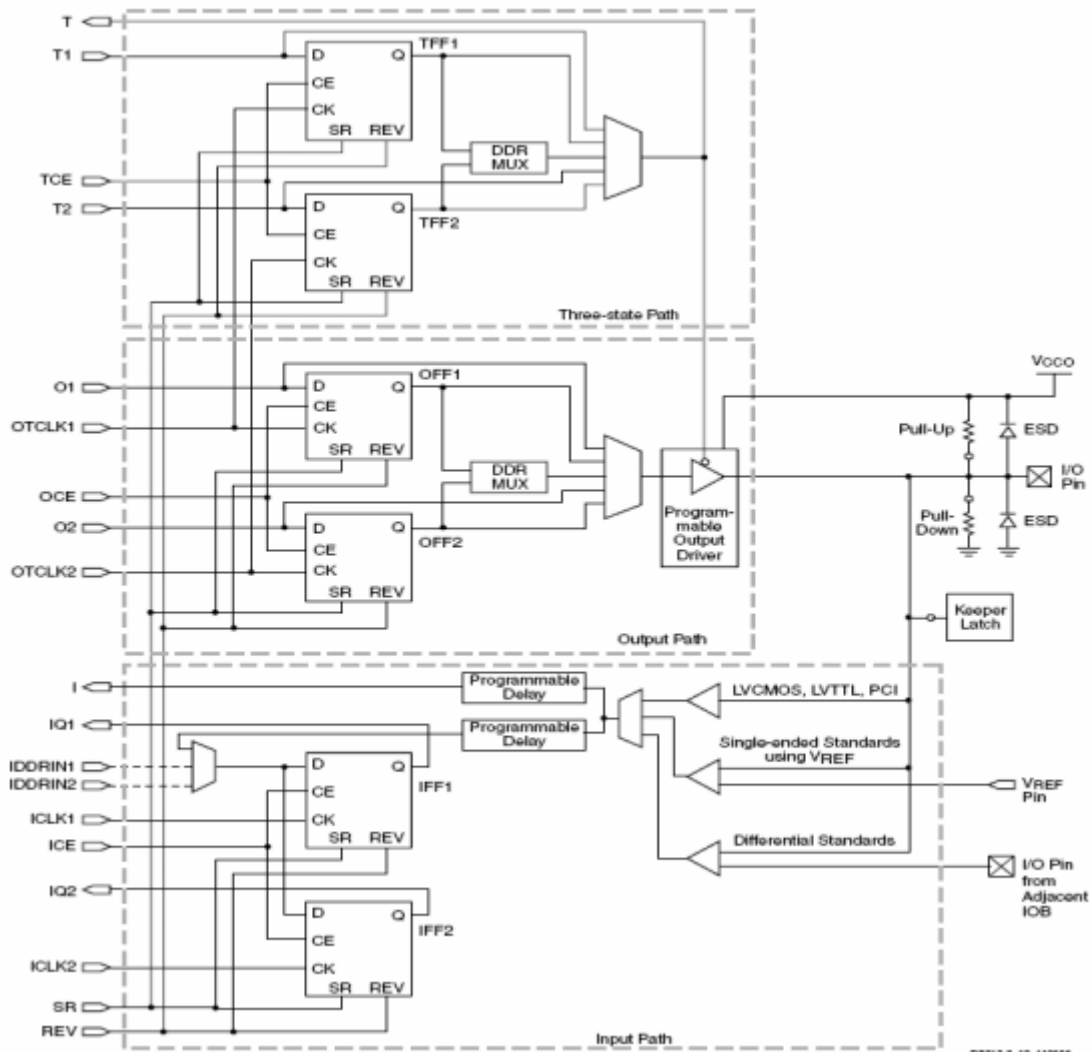


Figure III.11 : Schéma simplifié d'un IOB du Spartan

### III.9 Système d'interconnexion

Le routage est basé sur une architecture hiérarchique très élaborée. Cette structure comporte plusieurs niveaux. On retient les quatre principaux :

- Routage local : Il permet l'interconnexion entre les LUTs d'un même CLB, entre ces LUTs et les matrices de routage global appelées GRM (Global Routing Matrix), et, également, entre les CLBs horizontalement adjacents ;
- Routage à usage général : Représenté par les canaux de routage horizontaux et verticaux qui relient les lignes et les colonnes de CLBs. La majorité des interconnexions est située à ce niveau de la hiérarchie ;
- Routage dédié : Chaque rangée de CLBs dispose de quatre longues lignes horizontales pouvant se relier pour réaliser les bus à trois états. Chaque CLB contient deux lignes verticales dédiées pour la propagation de la retenue ;

- Routage global : Permet la distribution des signaux d'horloge ainsi que les signaux alimentant des grosses charges.

### III.10 Conclusion

Dans ce chapitre, nous avons présenté les différents supports physiques qui existent sur le marché actuel. Pour ce faire, nous avons réalisé un tour d'horizon des circuits à fonctions programmables, suivi d'une analyse des circuits à configuration programmable. Nous avons accordé une attention particulière aux FPGA, qui sont les circuits reconfigurables les plus flexibles et les plus riches en fonctionnalités.

A partir de l'analyse des caractéristiques et des performances des différentes structures, on constate que les FPGA sont les meilleurs candidats pour la réalisation rapide d'un système de diagnostic de pannes, par leur capacité à se reconfigurer, un très grand nombre de fois et par leur fonctionnement imitant le fonctionnement de l'électronique analogique ainsi que par les fonctions dont elles disposent (bloc RAM et multiplieurs).

Par ailleurs, on note que le fonctionnement rationnel des FPGA nécessite la connaissance de leurs architectures internes et la maîtrise des moyens de programmation de ces circuits. En effet, les FPGA sont des circuits flexibles avec une vitesse relativement élevée et une densité d'intégration élevée avec un coût de plus en plus décroissant. Leur flux de conception est également simple, en particulier lors de l'utilisation du générateur de système. Les avantages qui en résultent font des FPGA le support physique programmable le plus adapté à la réalisation de nos objectifs.

A cet effet, dans le chapitre 4, la mise en œuvre de la logique floue sur un FPGA de type Virtex 4 (ML402) sera envisagée. La conception de l'algorithme à mettre en œuvre sera réalisée à l'aide du system generator.



#### **IV. Chapitre 04 : implémentation de système de diagnostic à base de la logique floue sur circuit FPGA**

## IV.1 Introduction

La surveillance des moteurs asynchrones est très importante pour assurer la continuité de la production et ne pas bloquer d'autres tâches dans la chaîne de production. Parce que la machine asynchrone est l'élément principal dans l'industrie et toujours mise en travail. La détection trop tôt peut diminuer la gravité des défauts et leur impact sur la machine ainsi que la localisation rapide présente des avantages du côté de la maintenance, parce que après le diagnostique on passe à la maintenance pour corriger le défaut apparu. C'est pourquoi la surveillance continue et le diagnostic en temps réel sont très importants. Dans ce chapitre, nous ferons un diagnostic automatique par l'un des outils d'intelligence artificielle, c'est la logique floue qui surveillera le système en cas de panne qui se produirait.

Le moteur asynchrone MAS est l'un des principaux éléments d'un système d'entraînement électrique dans l'industrie qui sera surveillé par la technique de la logique floue. La logique floue détectera automatiquement le défaut de manque phase et déséquilibre les trois phases et court-circuit aussi entre les tours dès qu'il apparaît sur le moteur asynchrone. Le signal RMS du courant de phase du stator du moteur asynchrone à cage d'écureuil est utilisé comme signal indicateur de défaut.

L'objectif de ce chapitre est l'implémentation de la logique floue sur un circuit FPGA. Cette implémentation a pour but d'étudier l'apport de solutions d'intégration matérielle (FPGA) dans le diagnostic des défaillances du moteur asynchrone pour un cas de défaut manque de phase. Dans cette étude, nous commençons par l'adaptation de la logique floue afin de permettre une implémentation optimale. Cette implémentation doit assurer une efficacité, une rapidité d'exécution et un minimum possible d'espace sur le circuit FPGA. Ensuite nous programmons ce système flou sur le System Generator. Le system Generator permet de générer le code VHDL. Ce code est vérifié et implémenté sur un circuit FPGA de type Spartan par le logiciel ISE foundation de Xilinx.

## IV.2 Traitement de signal par RMS

« **Root Mean Square** » ou la valeur efficace d'un signal est la racine carrée de la moyenne des valeurs constantes au carré de cette grandeur du signal, sur un intervalle de temps donné [52,53] :

$$RMS = \sqrt{\frac{1}{t} \int_0^t u(t)^2 .dt} \quad (III.1)$$

Pour un signal périodique la relation sera :

$$RMS = \sqrt{\frac{1}{2T} \int_{-T}^T u(t)^2 .dt} \quad (III.2)$$

En domaine électrique la plupart des signaux électrique ont une fréquence  $f$  donc la majorité des signaux sont périodiques.

#### IV.2.1 Application du RMS sur les signaux de la machine :

On applique la transformée RMS pour les signaux des courants statoriques « abc » où le défaut de manque de phase ou bien trois phases déséquilibrées sera visible donc les signaux de courant qui sont des signaux indicateurs de défaut.

#### IV.3 Diagnostic des défauts de la machine asynchrone par logique floue

Le principe de fonctionnement du diagnostic basé sur la logique floue est prendre la décision sur l'état du moteur sain ou en défaut. Pour cela la technique consiste à extraire et calculer les signaux d'entrées des courants ( $I_{sa}$ ,  $I_{sb}$ ,  $I_{sc}$ ), par calcul de la valeur efficace des courants en utilisant les règles linguistiques représentées sous forme de fonctions d'appartenances. Ces règles peuvent contenir tous les modèles possibles qui correspondent au mode de défaut considéré. En général, la procédure de fonctionnement d'un système flou est accomplie en trois étapes :

- La fuzzification.
- L'inférence.
- La défuzzification.

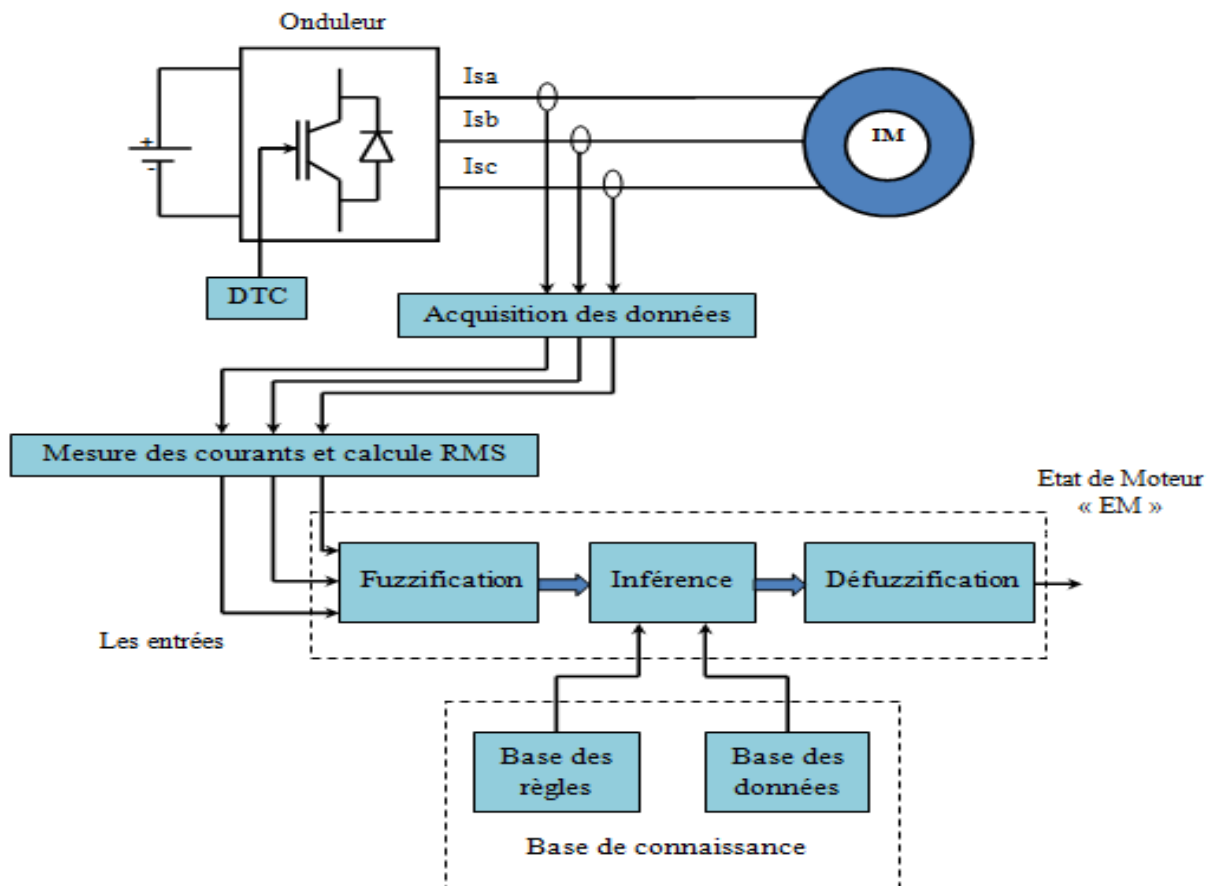


Figure IV.1 : Structure du système de diagnostic flou utilisé.

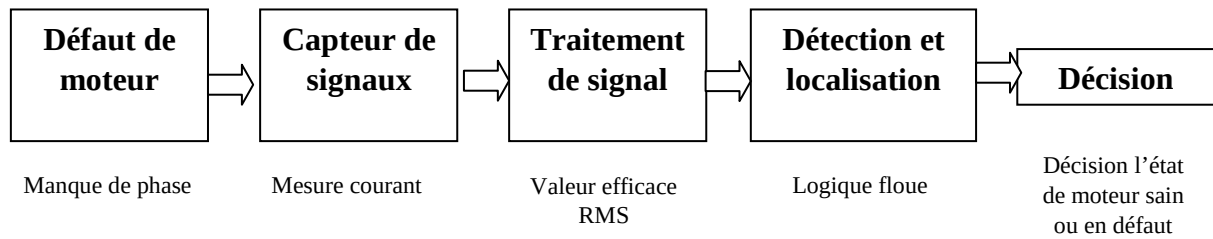


Figure IV.2 : Schéma général de diagnostic des défauts [24]

### IV.3.1 Les étapes de diagnostic par logique floue

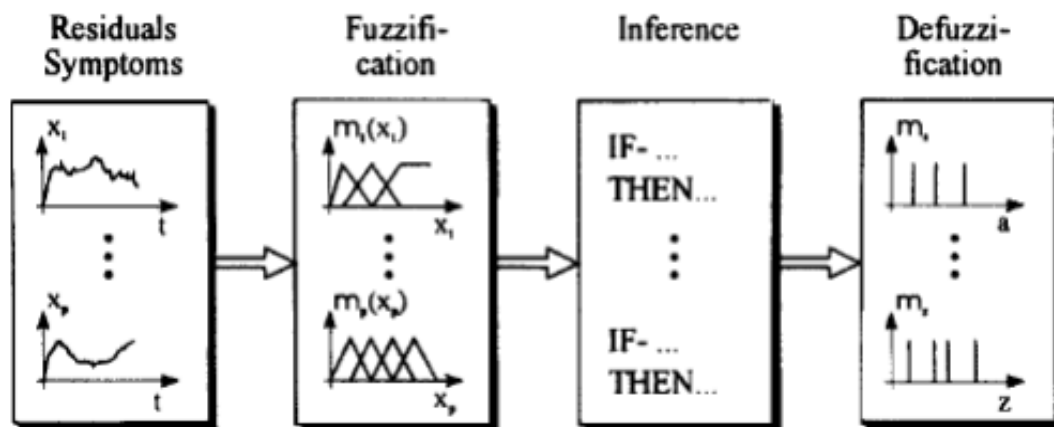
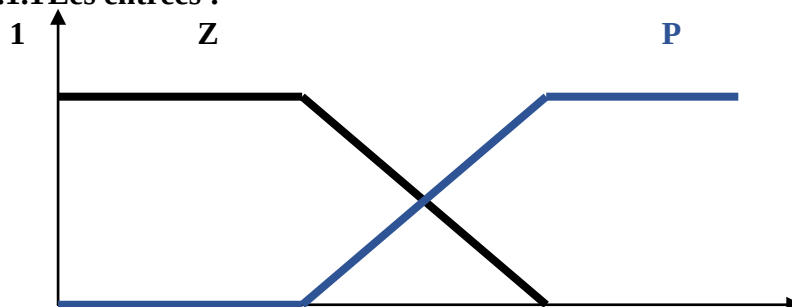


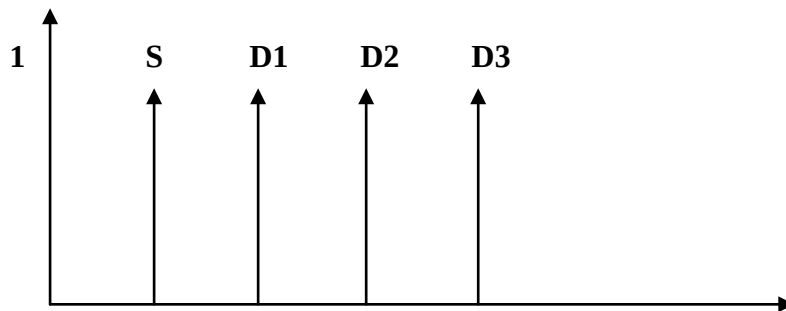
Figure IV.3 : les étapes de système flou.

#### IV.3.1.1 Les fonctions d'appartenance des entrées et de sorties :

##### IV.3.1.1.1 Les entrées :



#### IV.3.1.1.2 Les sorties :



#### IV.3.2 La logique floue sous Xilinx :

En utilise xilinx pour créer la logique floue

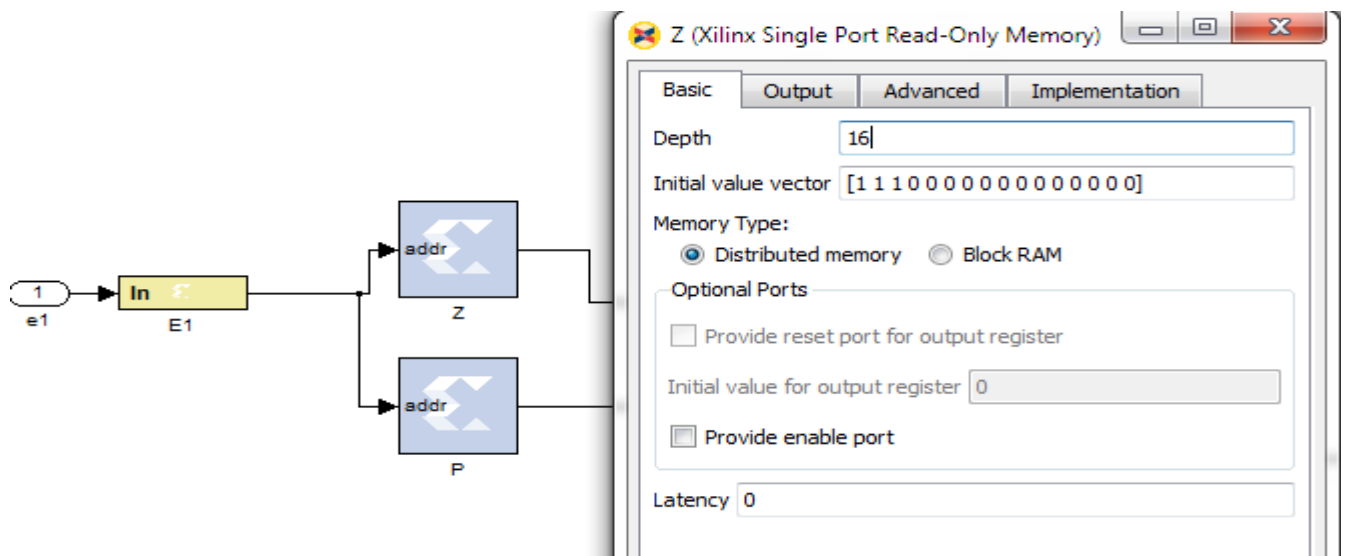


Figure IV.4 : entrée « Z » de logique floue dans xilinx simulink

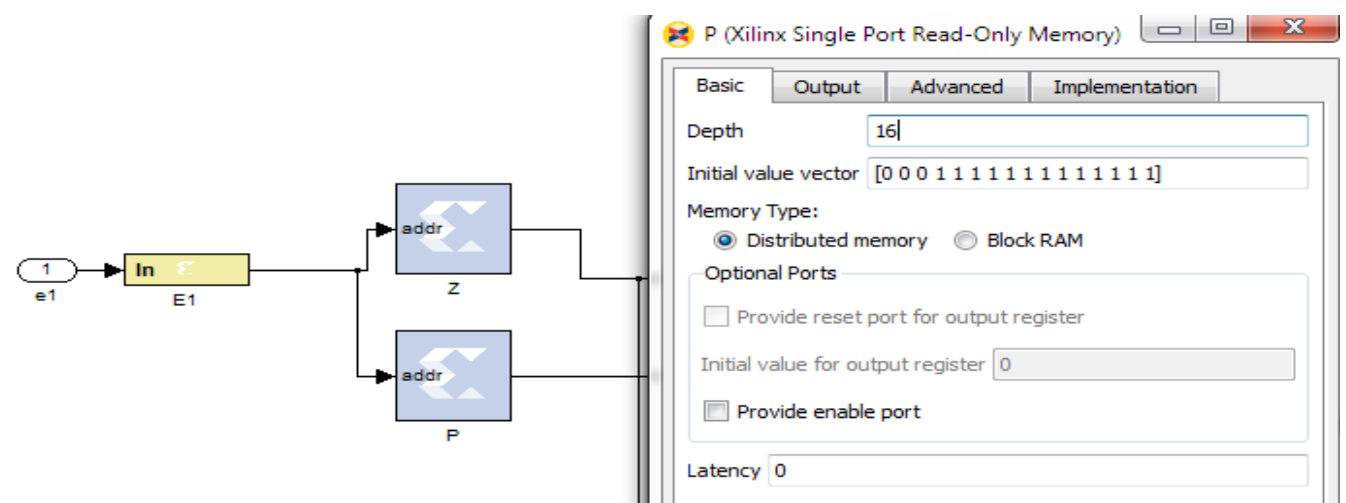


Figure IV.5 : entrée « P » de logique floue dans xilinx simulink

### IV.3.3 Les règles floues

Pour simplifier :

$$i_{sa} - i_n = E_1 ; i_{sb} - i_n = E_2 ; i_{sc} - i_n = E_3$$

Classe les types de défaut selon leur degré.

**Z** : Zéro ; **P** : Positive ; **EM** : Etat Moteur ; **S** : Sain ; **D1** : Défaut degré °01 ; **D2** : Défaut degré °02 ; **D3** : Défaut degré °03.

- If  $E_1$  is Z and  $E_2$  is Z and  $E_3$  is Z Alors : EM is **S** or
- If  $E_1$  is Z and  $E_2$  is Z and  $E_3$  is P Alors : EM is **D1** or
- If  $E_1$  is Z and  $E_2$  is P and  $E_3$  is Z Alors : EM is **D1** or
- If  $E_1$  is P and  $E_2$  is Z and  $E_3$  is Z Alors : EM is **D1** or
- If  $E_1$  is Z and  $E_2$  is P and  $E_3$  is P Alors : EM is **D2** or
- If  $E_1$  is P and  $E_2$  is Z and  $E_3$  is P Alors : EM is **D2** or
- If  $E_1$  is P and  $E_2$  is P and  $E_3$  is Z Alors : EM is **D2** or
- If  $E_1$  is P and  $E_2$  is P and  $E_3$  is P Alors : EM is **D3**.

## IV.4 Application de la Co-simulation au diagnostique

### IV.4.1 Les étapes de la Co-simulaion

On travaille avec les quatre étapes suivantes :

- Construire le bloc en xilinx Simulink.
- Tester le bloc en xilinx Simulink.
- Générer le bloc de la co-simulation.
- Implémenter le bloc de la co-simulation dans FPGA.

#### IV.4.1.1 Construire le bloc en xilinx Simulink

La figure suivante représente le schéma bloc de système de diagnostic par logique floue sous Xilinx Simulink.

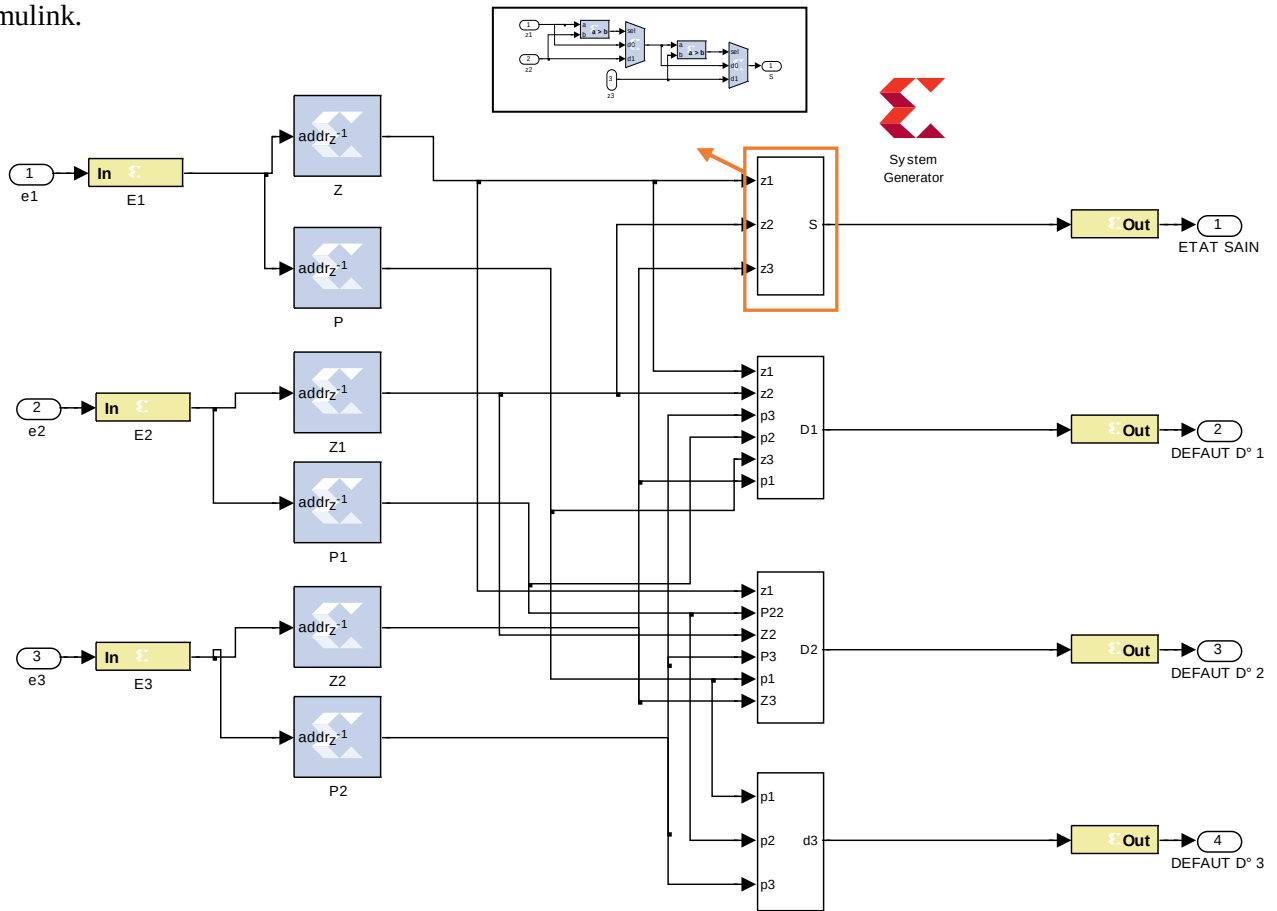


Figure IV.6 : schéma bloc du système de diagnostic par logique floue sous Xilinx Simulink.

Les quatres sorties de l'état du moteur sont :

- **Etat sain « S » :**

L'état sain implique les trois entrées sont zero alors il n'y a pas de défaut. Pour créer le bloc de l'état sain dans Xilinx on utilise la relation MIN « « MIN » implique « ET » », alors obligatoirement les trois entrées sont égales à zero en même instant.

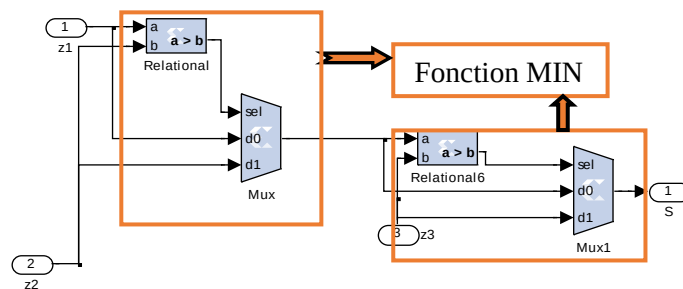


Figure IV.7 : Etat sain de Moteur

• Etat Défaut à degré °01 :

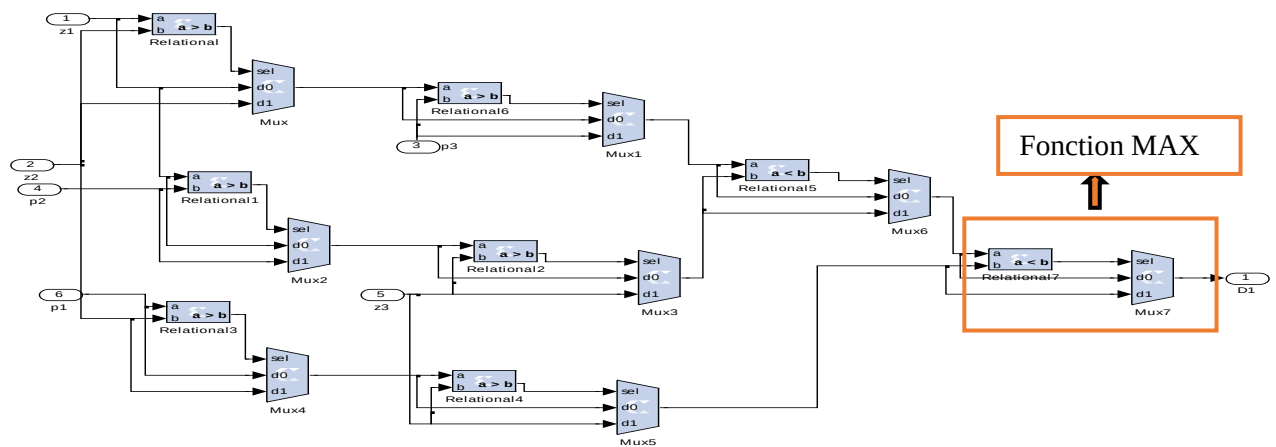


Figure IV.8 : Défaut à degré 1.

• Etat Défaut à degré °02 :

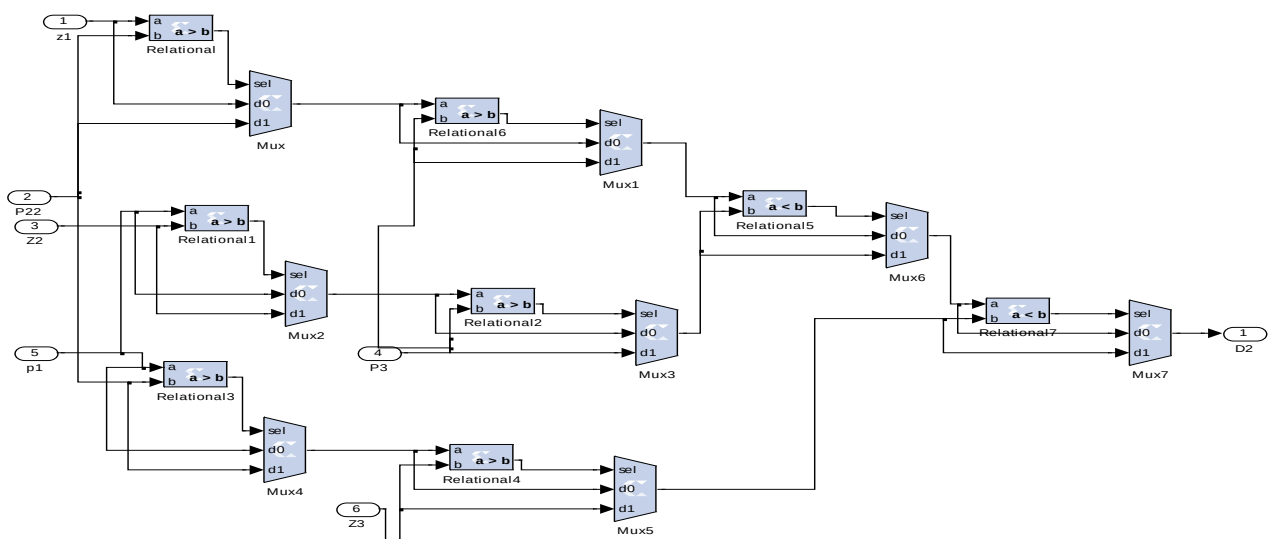


Figure IV.9 : Défaut à degré 2.

• Etat Défaut à degré °03 :

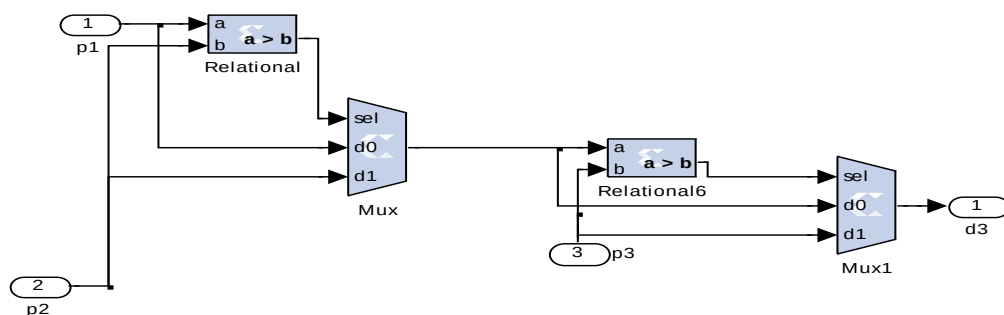


Figure IV.10 : Défaut degré 3.

#### IV.4.1.2 Tester le bloc en Xilinx Simulink

##### IV.4.1.2.1 Diagnostic de défaut des trois phases déséquilibrés avec commande DTC à vide

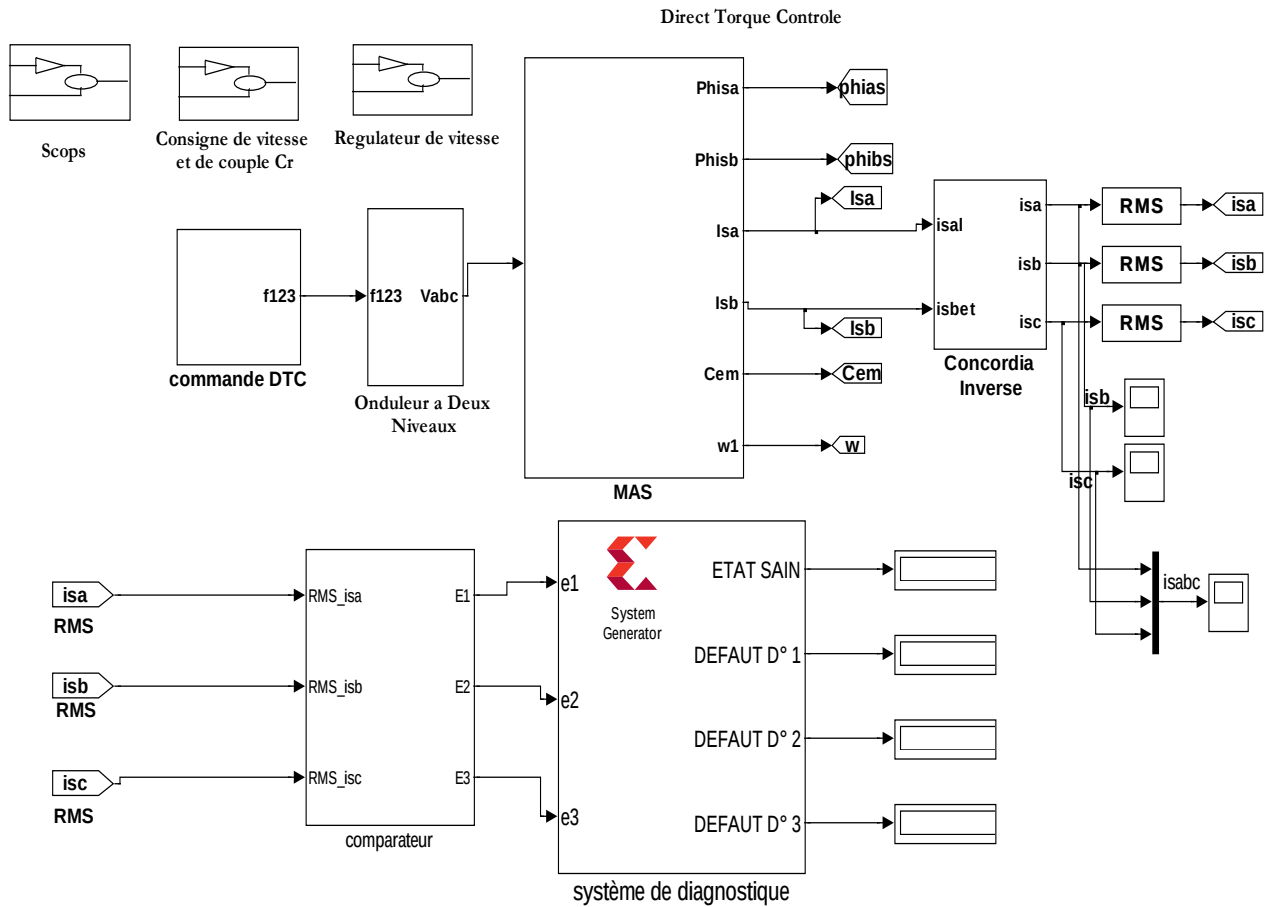


Figure IV.11 : schéma de simulation de Diagnostic de défaut des trois phases déséquilibrés avec commande DTC à vide

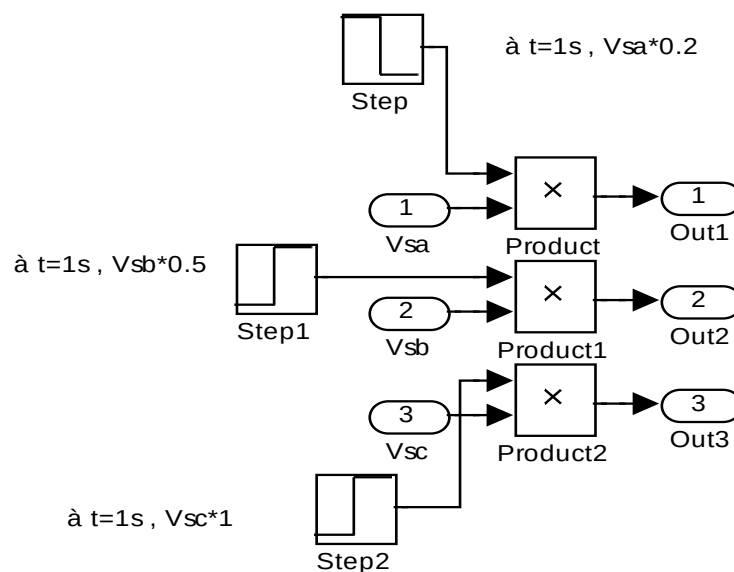


Figure IV.12 : bloc de déséquilibre les phases

### RMS des courants « Isa, Isb, Isc »

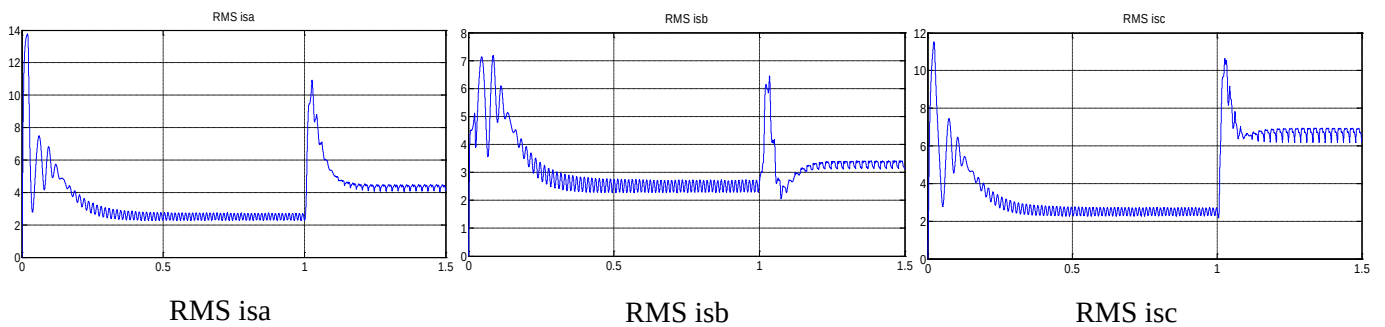


Figure IV.13: La valeur efficace des courants" isa, isb, isc" de trois phases déséquilibrées

### La vitesse

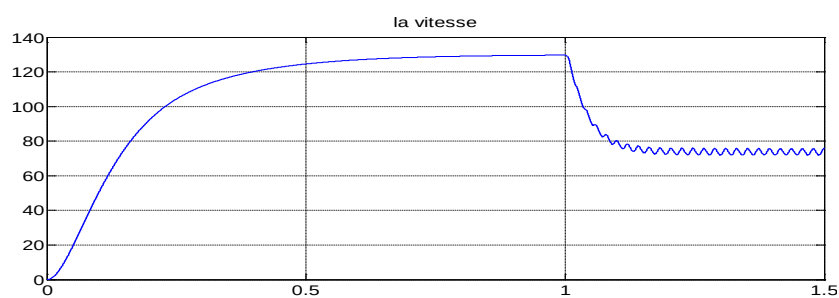


Figure IV.14 : la vitesse en défaut de déséquilibre les phases à vide.

- On observe à l'instant  $t=1$ , où on a créé le défaut de trois phases déséquilibrées, la vitesse est décroissante rapidement et les trois courants statoriques augmentent avec déformation « avec bruits ».

#### IV.4.1.2.2 Diagnostic de défaut de manque de phase avec commande DTC à vide

Ce type de défaut que nous allons implémenter sur le circuit reconfigurable FPGA.

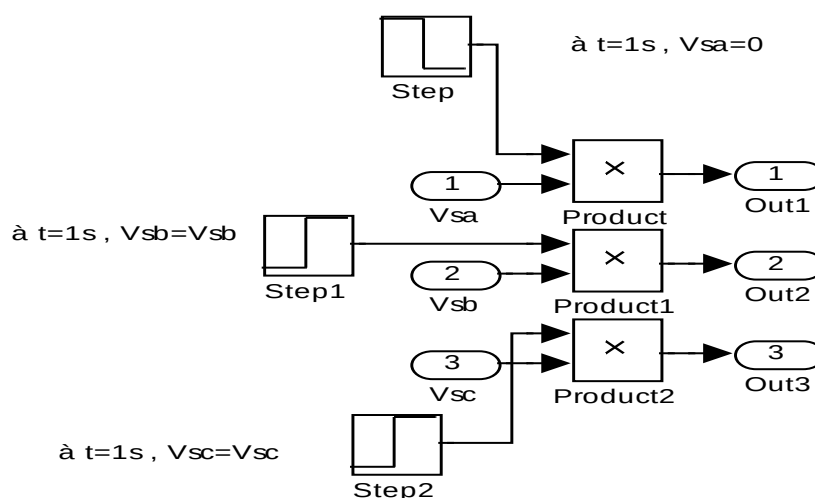


Figure IV.15: bloc de création de défaut de manque de phase

### RMS des courants « Isa, Isb, Isc »

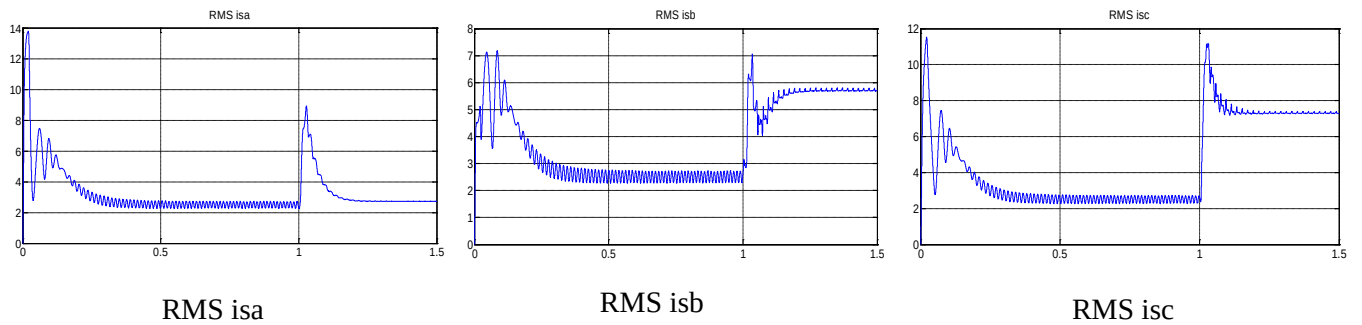


Figure IV.16: La valeur efficace des courants" isa, isb, isc" de manque phase

### La vitesse

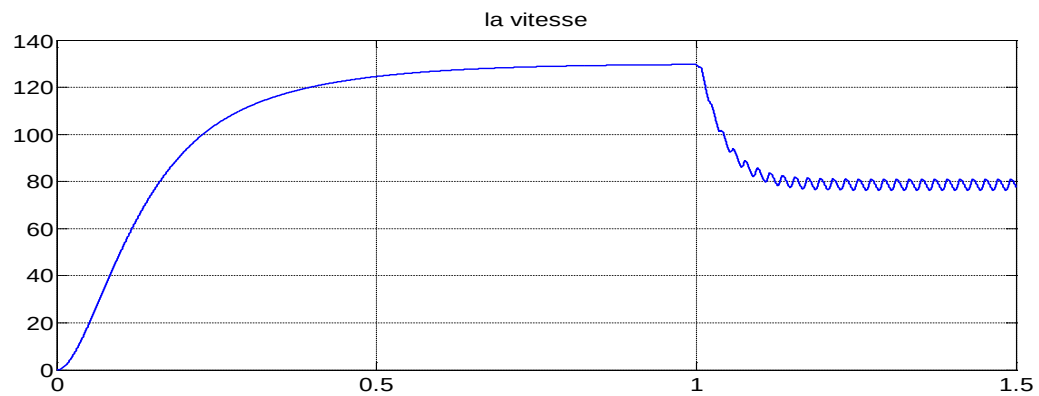


Figure IV.17: la vitesse cas d'un défaut de manque phase

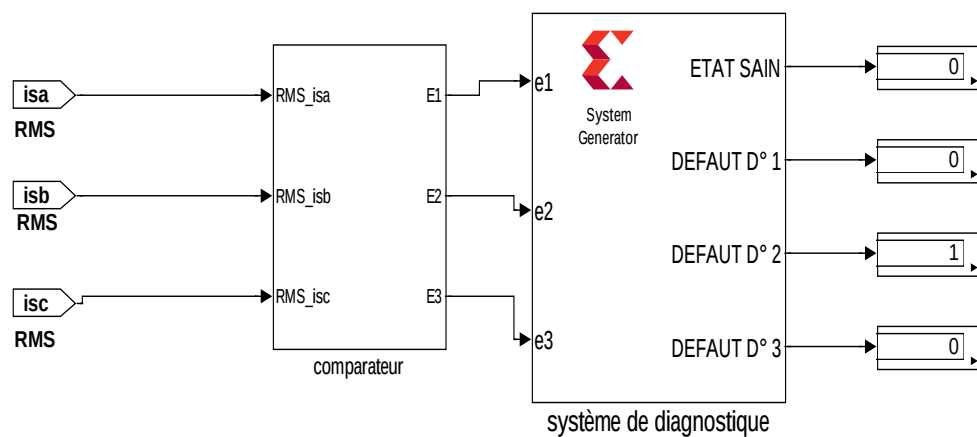
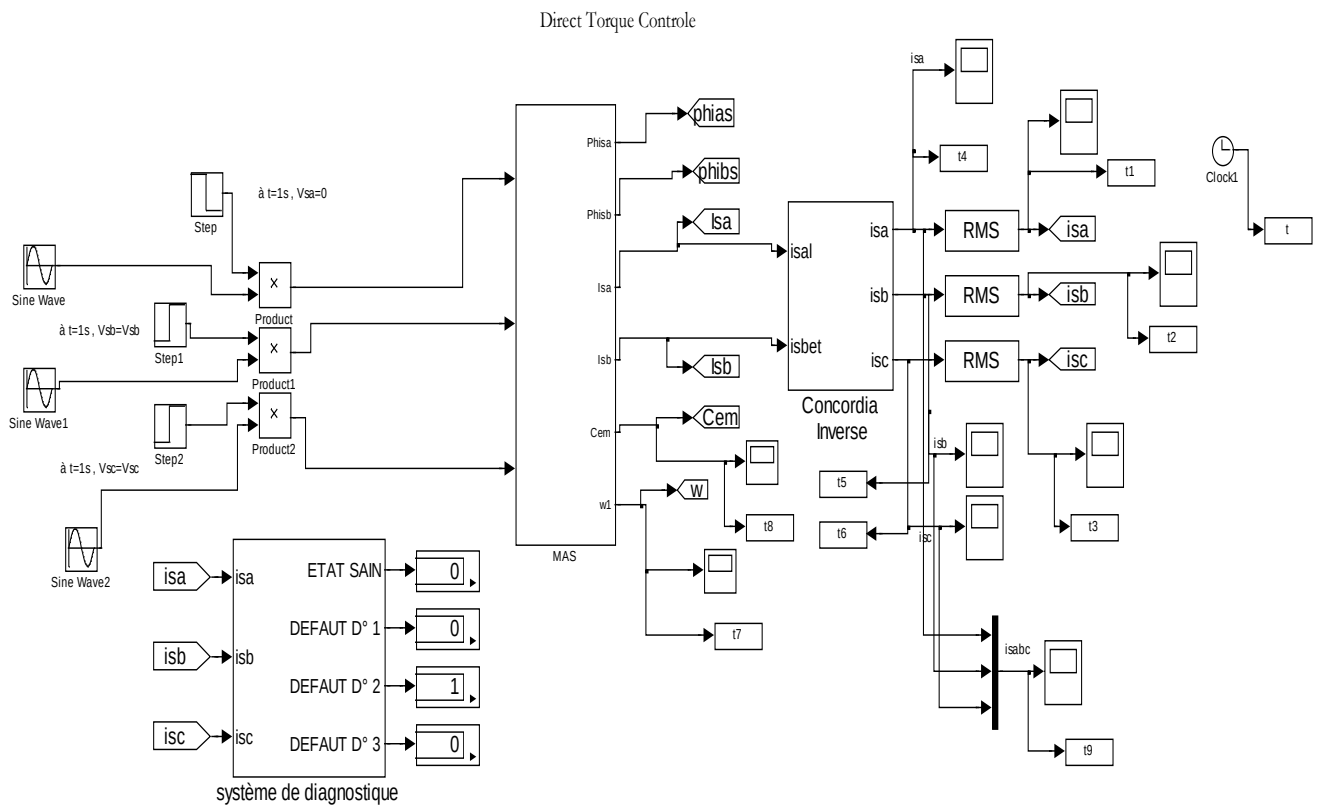


Figure IV.18 : test du bloc de système de diagnostic sous xilinx cas d'un défaut de manque phase.

#### IV.4.1.2.3 Diagnostic de défaut de manque phase de machine à vide alimentée par réseau triphasé



#### RMS des courants « Isa, Isb, Isc »

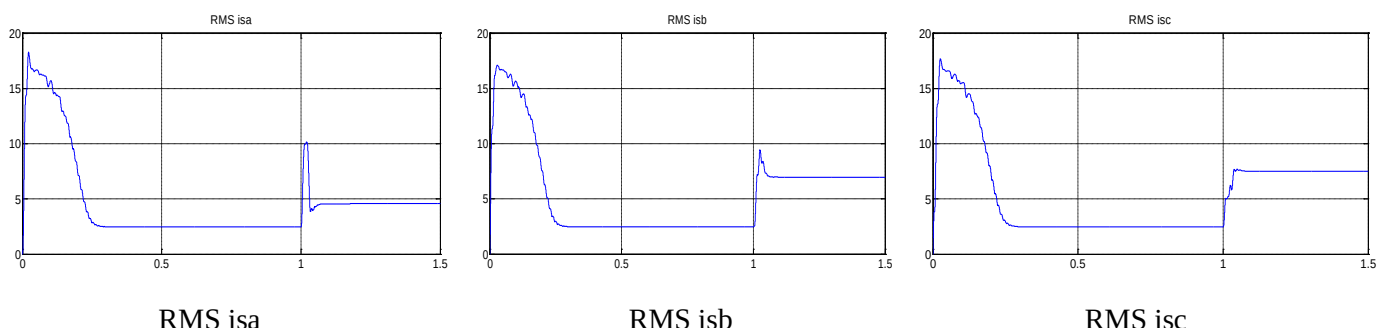


Figure IV.19: La valeur efficace des courants" isa, isb, isc" de manque phase à vide

## La vitesse

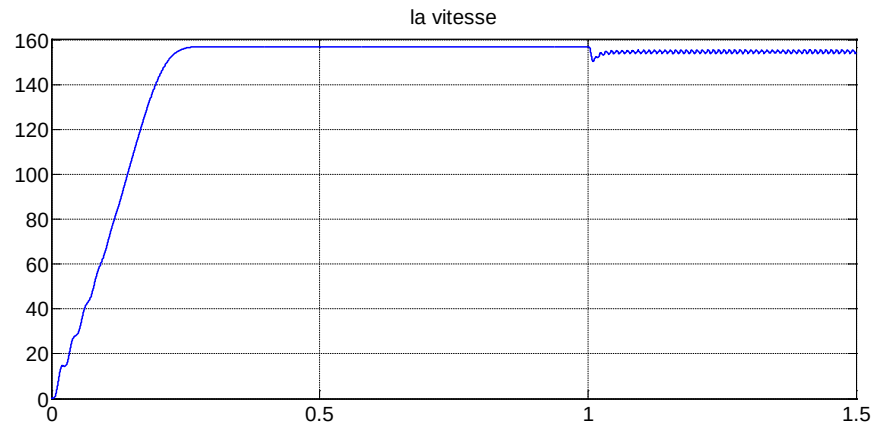


Figure IV.20: : la vitesse dans le cas d'un défaut de manque phase de MAS alimentée par réseau triphasé.

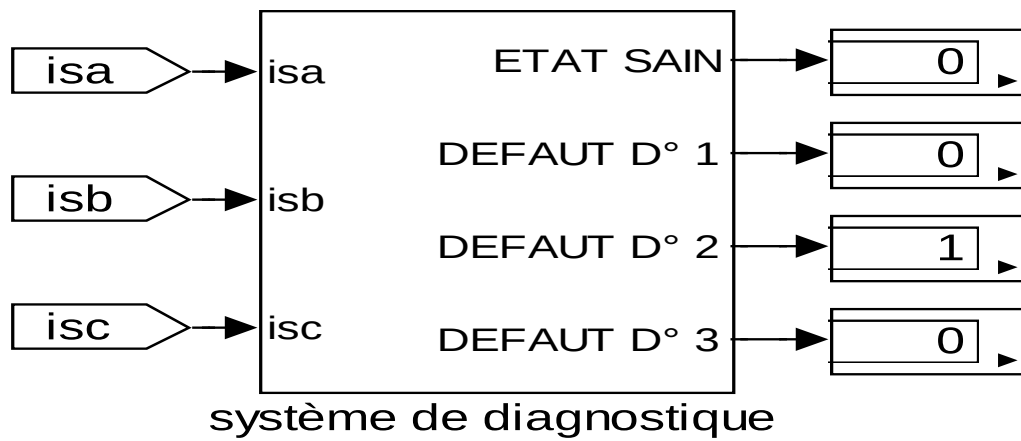


Figure IV.21: les résultats de système de diagnostic sous xilinx simulink

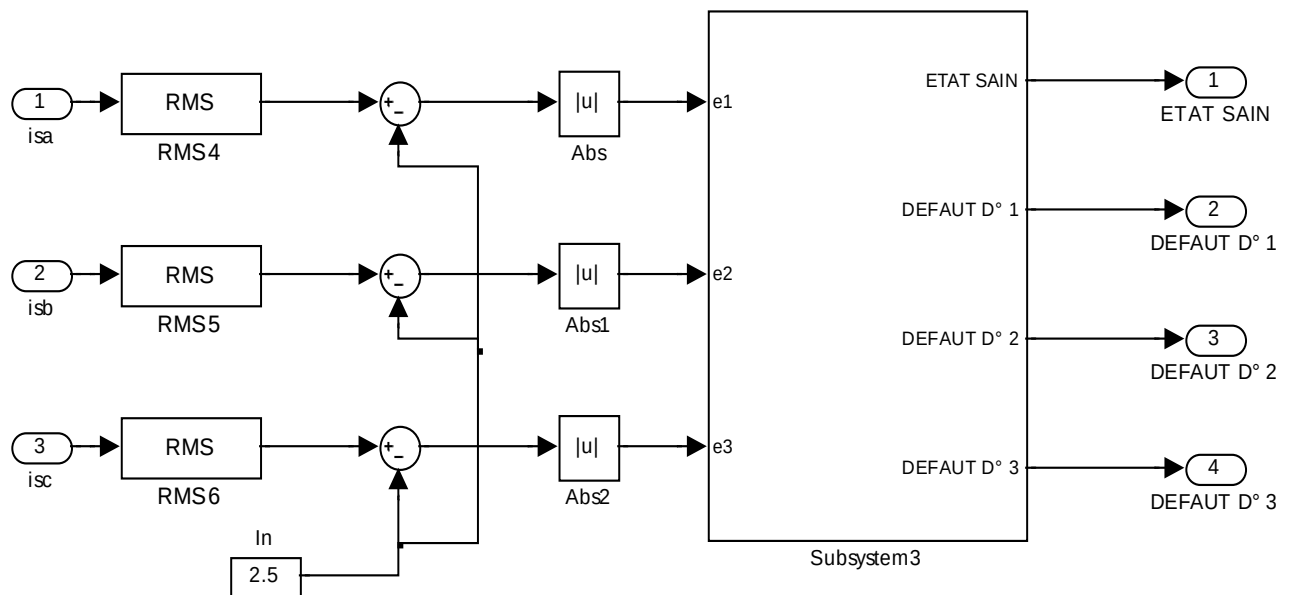
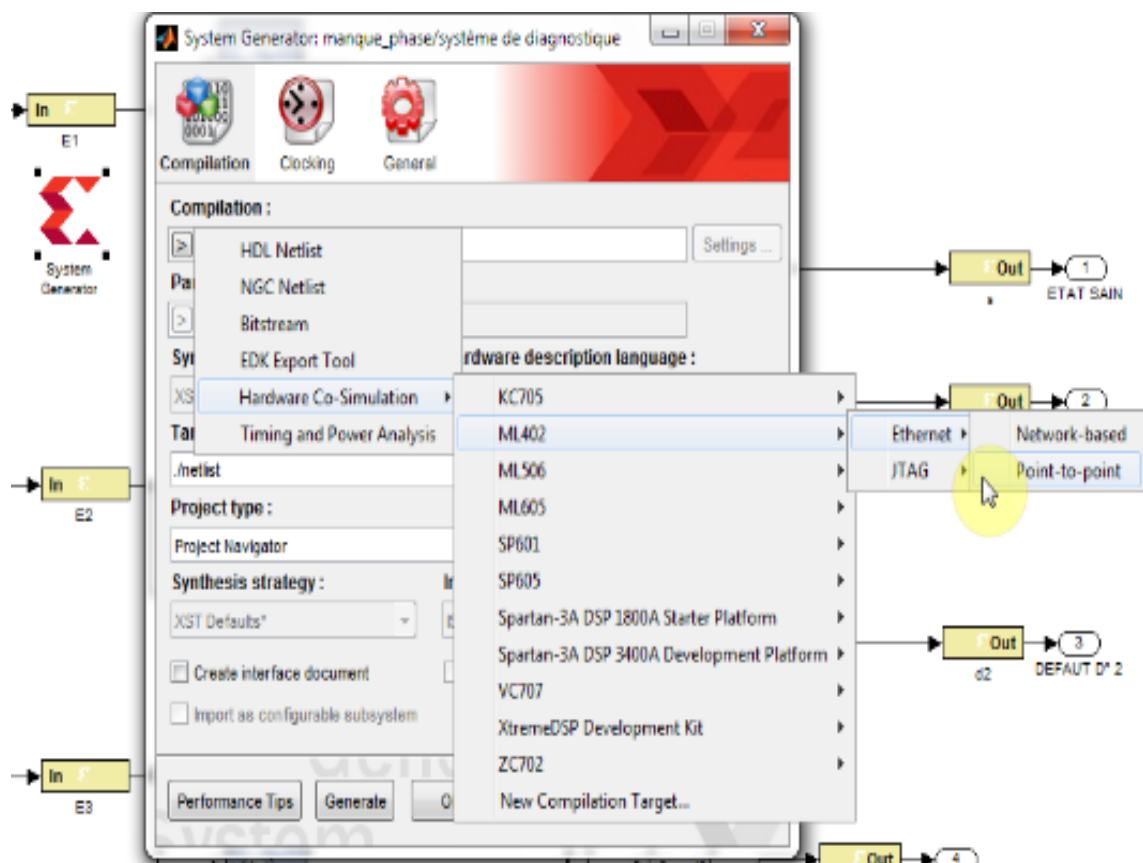


Figure IV.22 bloc de simulation du système de diagnostic par logique floue.

#### IV.4.1.3 Générer le bloc de la co-simulation



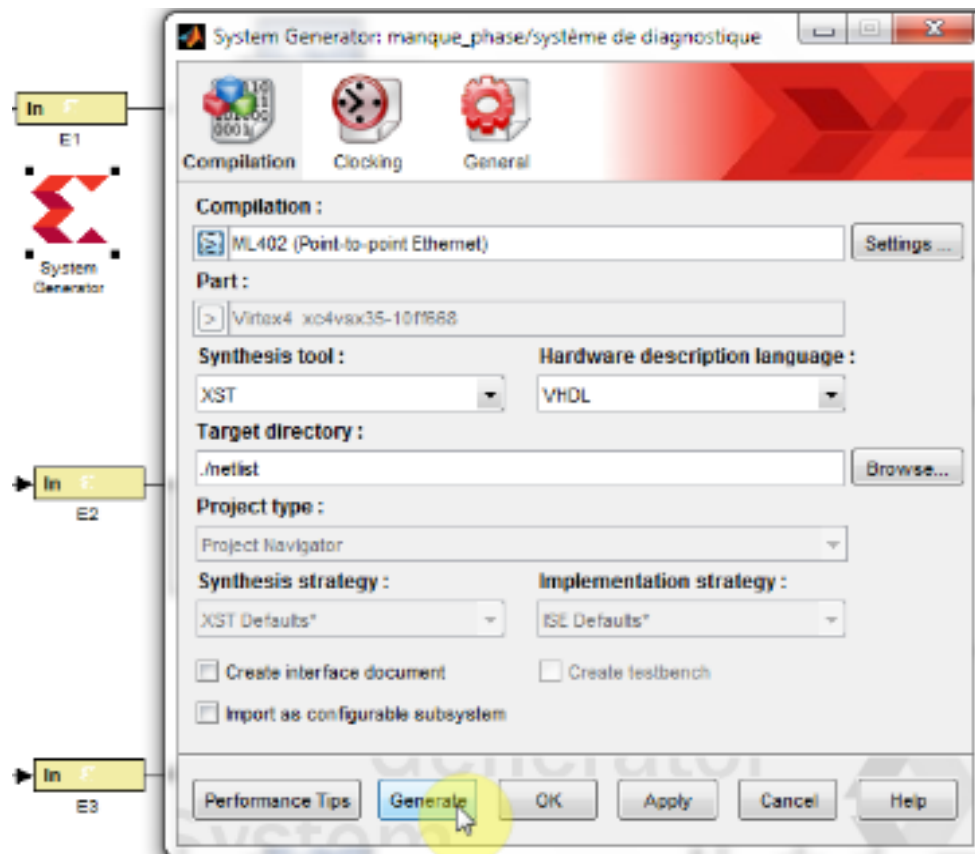


Figure IV.23: génération de bloc Co-simulation

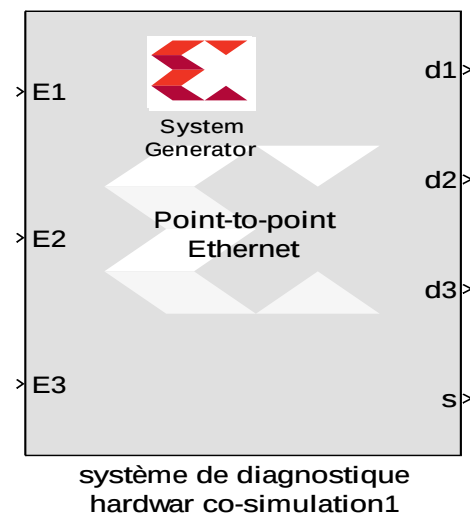


Figure IV.24: le bloc Co-simulation

L'étape prochaine est d'implémenter ce système de diagnostic sur la carte FPGA et observer les résultats est ce que acceptable ou bien non.

#### IV.4.1.4 Implémentation du bloc de la co-simulation sur FPGA

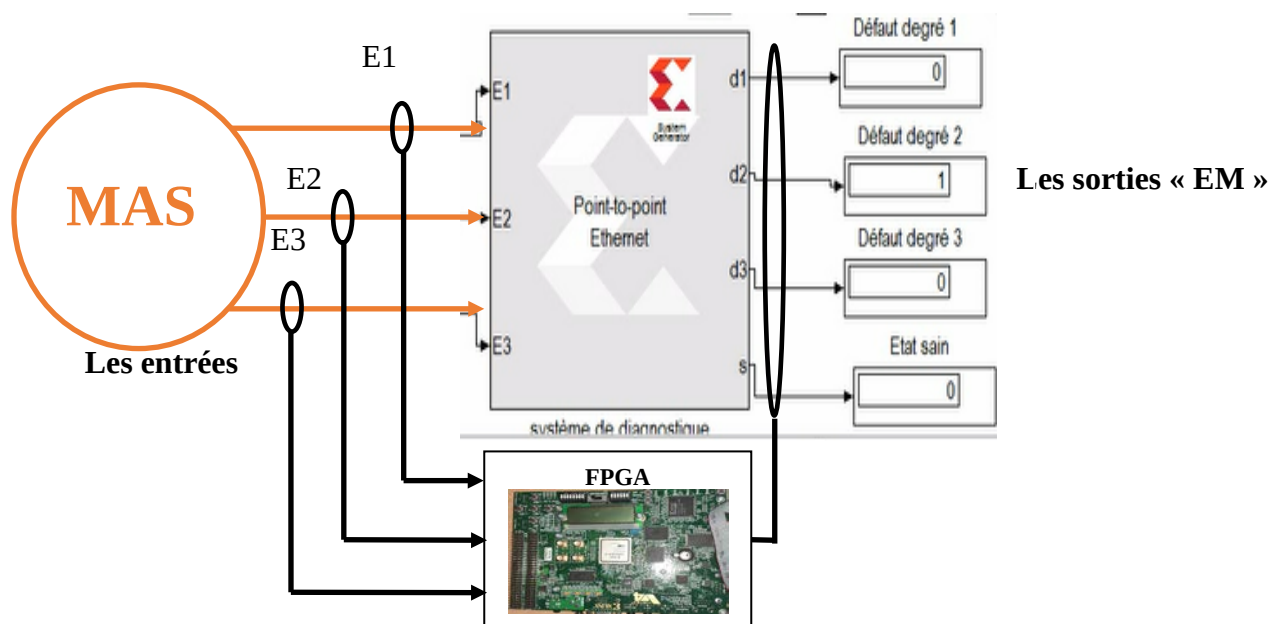
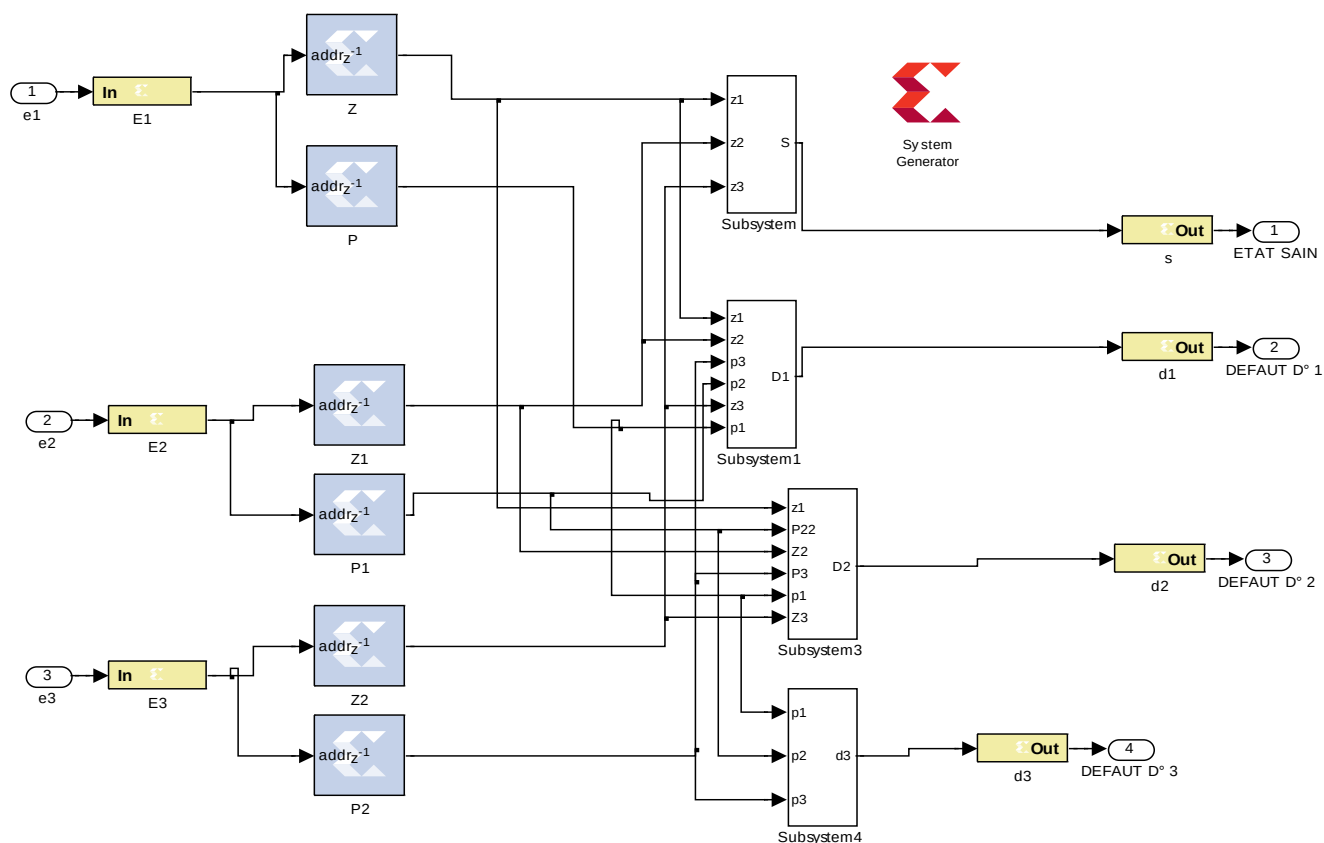


Figure IV.25 : principe de l'implémentation du bloc de système de diagnostic à base de logique floue sur FPGA, cas de défaut manque phase



#### IV.4.2 Caractéristique d'implémentation sur la carte FPGA

Device Utilization Summary:

|                         |                   |      |
|-------------------------|-------------------|------|
| Number of BUFGs         | 3 out of 32       | 9%   |
| Number of BUFGCTRLs     | 5 out of 32       | 15%  |
| Number of DCM_ADVs      | 2 out of 8        | 25%  |
| Number of ILOGICs       | 13 out of 448     | 2%   |
| Number of External IOBs | 58 out of 448     | 12%  |
| Number of LOCed IOBs    | 58 out of 58      | 100% |
| Number of OLOGICs       | 24 out of 448     | 5%   |
| Number of RAMB16s       | 17 out of 192     | 8%   |
| Number of Slices        | 1853 out of 15360 | 12%  |
| Number of SLICEMs       | 10 out of 7680    | 1%   |

Overall effort level (-ol): Standard

Router effort level (-rl): Standard

WARNING:Timing:3223 - Timing constraint TS\_tx\_to\_write = MAXDELAY FROM TIMEGRP "tx\_ffs" TO TIMEGRP "write\_ffs" 40 ns;

ignored during timing analysis.

INFO:Timing:3386 - Intersecting Constraints found and resolved. For more information, see the TSI report. Please

consult the Xilinx Command Line Tools User Guide for information on generating a TSI report.

Starting initial Timing Analysis. REAL time: 15 secs

Finished initial Timing Analysis. REAL time: 15 secs

Starting Router

Phase 1 : 14315 unrouted; REAL time: 17 secs

Phase 2 : 12050 unrouted; REAL time: 17 secs

Phase 3 : 4011 unrouted; REAL time: 20 secs

Phase 4 : 5550 unrouted; (Setup:178662, Hold:0, Component Switching Limit:0) REAL time: 31 secs

Updating file: eth\_cosim\_top.ncd with current fully routed design.

Phase 5 : 0 unrouted; (Setup:178263, Hold:0, Component Switching Limit:0) REAL time: 54 secs

Phase 6: 0 unrouted; (Setup:178263, Hold:0, Component Switching Limit:0) REAL time: 54 secs

Phase 7: 0 unrouted; (Setup:178263, Hold:0, Component Switching Limit:0) REAL time: 54 secs

Phase 8: 0 unrouted; (Setup:178263, Hold:0, Component Switching Limit:0) REAL time: 54 secs

Phase 9: 0 unrouted; (Setup:178263, Hold:0, Component Switching Limit:0) REAL time: 54 secs

Phase 10: 0 unrouted; (Setup:177273, Hold:0, Component Switching Limit:0) REAL time: 55 secs

Total REAL time to Router completion: 55 secs

Total CPU time to Router completion: 53 secs

## **IV.5 Conclusion**

Dans ce chapitre, nous avons étudié la logique floue qui utilise des entrées simples telles que les valeurs efficaces des trois courants statoriques.

Par ailleurs, pour la mise en œuvre de la logique floue, on a tout d'abord passé par plusieurs études paramétriques (choix des entrées, choix des sorties...).

Dans ce chapitre on a aussi effectué l'implémentation du système de diagnostic à base de logique floue sur FPGA.



## **Conclusion générale**

## **Conclusion générale**

Dans ce travail, nous avons étudié le diagnostic des défauts des moteurs asynchrones. Nous avons d'abord étudié les différents types de défauts de la machine, leurs causes, puis expliqué comment effectuer le diagnostic de toutes sortes. Après cela, il a été constaté que la technique de la logique floue nous permet de contrôler les lignes de production de manière plus flexible. Après cela, nous avons modélisé et simulé le moteur asynchrone. Nous avons abordé la technique de contrôle DTC et extrait les résultats de la simulation. Nous avons utilisé la DTC car c'est la plus utilisée dans le domaine industriel. En effet, dans le stage pratique on a trouvé tous les variateurs de vitesse utilise la technique de commande DTC pour contrôler l'ensemble onduleurs-moteurs.

Ensuite, nous avons modélisé et simulé le système de diagnostic qui dépend de la logique floue et trouvé des résultats efficaces en termes de précision et de vitesse, et nous avons choisi le circuit FPGA afin d'y implémenter ce système car il est le plus rapide par rapport aux DSP et Microprocesseur. Pendant l'exécution du programme, nous utilisons la bibliothèque XILINX\_system generator sur MATLAB.

Enfin, il est à noter que ce système peut être développé à l'avenir pour de meilleurs résultats, et que ce système est applicable et améliorerait la continuité de la production dans les usines, grâce à la rapidité de détection et de réparation des erreurs.



## **Annexes**

## Annexes

### Annexe A

Paramètre de la machine asynchrone

|                               |                                  |
|-------------------------------|----------------------------------|
| Résistance du stator          | $R_s = 4.85$                     |
| Résistance du rotor           | $R_r = 3.805$                    |
| Inductance du stator          | $L_s = 0.274H$                   |
| Inductance du rotor           | $L_r = 0.274H$                   |
| Inductance Mutuelle           | $M = 0.258H$                     |
| puissance électrique          | $PW = 0.7KW$                     |
| Moment d'inertie              | $J = 0.031Kg.m^2$                |
| Coefficient de frottement     | $f = 0.00114SI$                  |
| Couple nominal                | $C_{em} = 10N.m$                 |
| Nombre de paire de pôle       | $p = 2$                          |
| Coefficient de dispersion     | $\sigma = 1 - M^2 / (L_s * L_r)$ |
| Constante de temps statorique | $T_s = L_s / R_s$                |
| Constante de temps rotorique  | $T_r = L_r / R_r$                |

### Annexe B

**Le programme de secteur dans MATLAB Function**

```
function secteur =secteur(angle)
if angle > pi/6 && angle <= pi/2
    secteur=2;
elseif angle > pi/2 && angle <= 5*(pi/6)
    secteur=3;
elseif angle > 5*(pi/6) && angle <= 7*(pi/6)
    secteur=4;
elseif angle > 7*(pi/6) && angle <= 3*(pi/2)
    secteur=5;
elseif angle > 3*(pi/2) && angle <= 11*(pi/6)
    secteur=6;
elseif angle > 11*(pi/6) && angle <= pi/6
    secteur=1;
end
```

## Annexe C

### Le programme de table de commutation

```

function y=table(secteur,phiHys,coupleHys)
v1=[1 0 0];v2=[1 1 0];v3=[0 1 0];v4=[0 1 1];v5=[0 0 1];v6=[1 0 1];v0=[0 0 0];v7=[1 1 1];
if secteur==1;
if phiHys==1;
if coupleHys==1;
y=v2;
elseif coupleHys==0;
y=v6;
end
else
if coupleHys==1;
y=v3;
elseif coupleHys==0;
y=v5;
end
end
end
if secteur==2;
if phiHys==1;
if coupleHys==1;
y=v3;
elseif coupleHys==0;
y=v1;
end
else
if coupleHys==1;
y=v4;
elseif coupleHys==0;
y=v6;
end
end
end
if secteur==3;
if phiHys==1;
if coupleHys==1;
y=v4;
elseif coupleHys==0;
y=v2;
end
else
if coupleHys==1;
y=v5;

```

```

elseif coupleHys==0;
y=v1;
end
end
end
if secteur==4;
if phiHys==1;
if coupleHys==1;
y=v5;
elseif coupleHys==0;
y=v3;
end
else
if coupleHys==1;
y=v6;
elseif coupleHys==0;
y=v2;
end
end
end
if secteur==5;
if phiHys==1;
if coupleHys==1;
y=v6;
elseif coupleHys==0;
y=v4;
end
else
if coupleHys==1;
y=v1;
elseif coupleHys==0;
y=v3;
end
end
end
if secteur==6;
if phiHys==1;
if coupleHys==1;
y=v1;
elseif coupleHys==0;
y=v5;
end
else
if coupleHys==1;
y=v2;

```

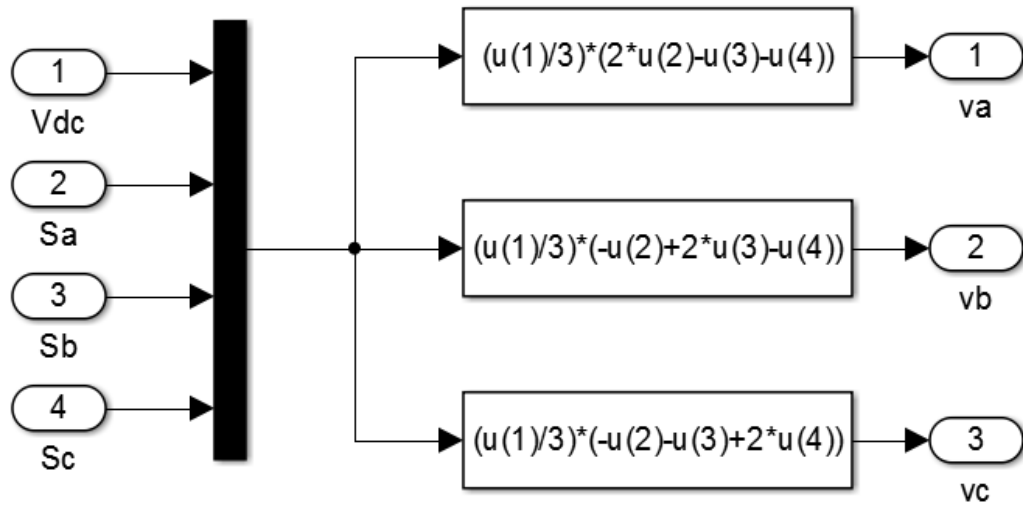
```

elseif coupleHys==0;
y=v4;
end
end
end

```

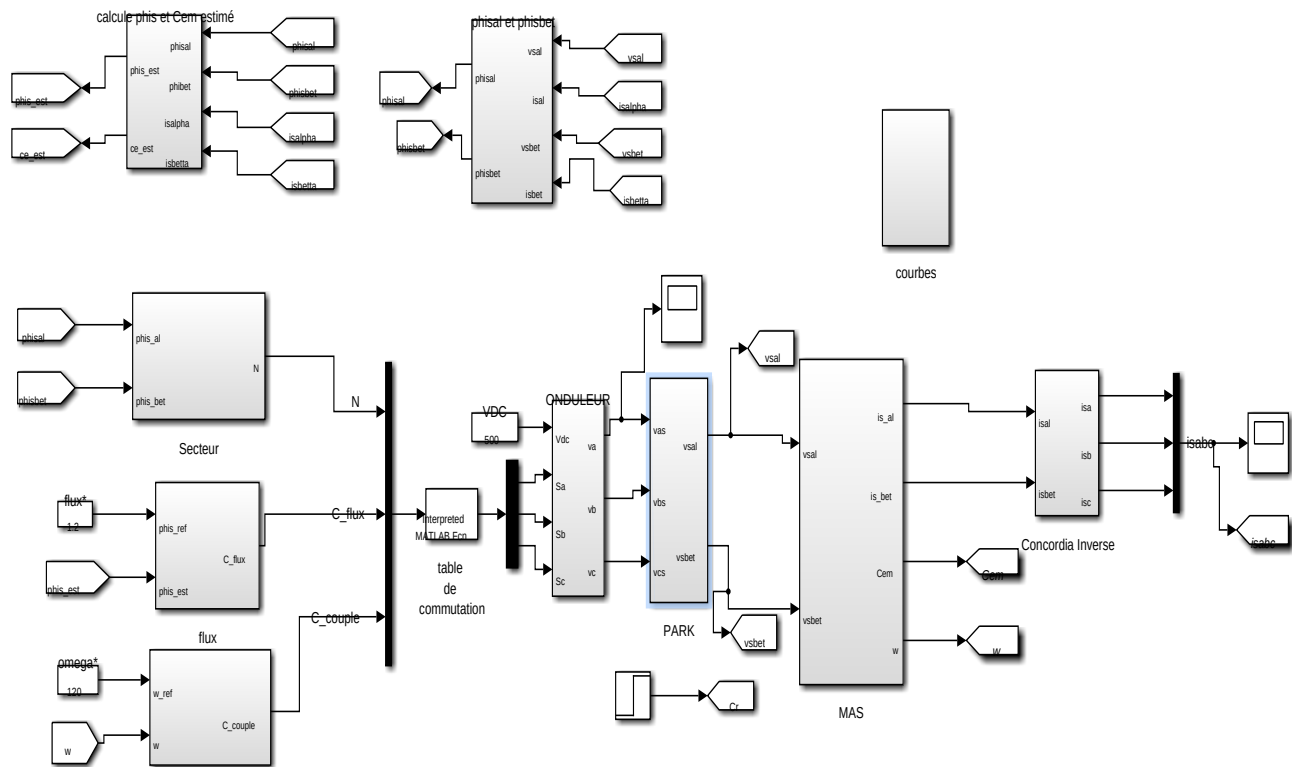
## Annexe D

### Schéma bloc d'onduleur triphasé



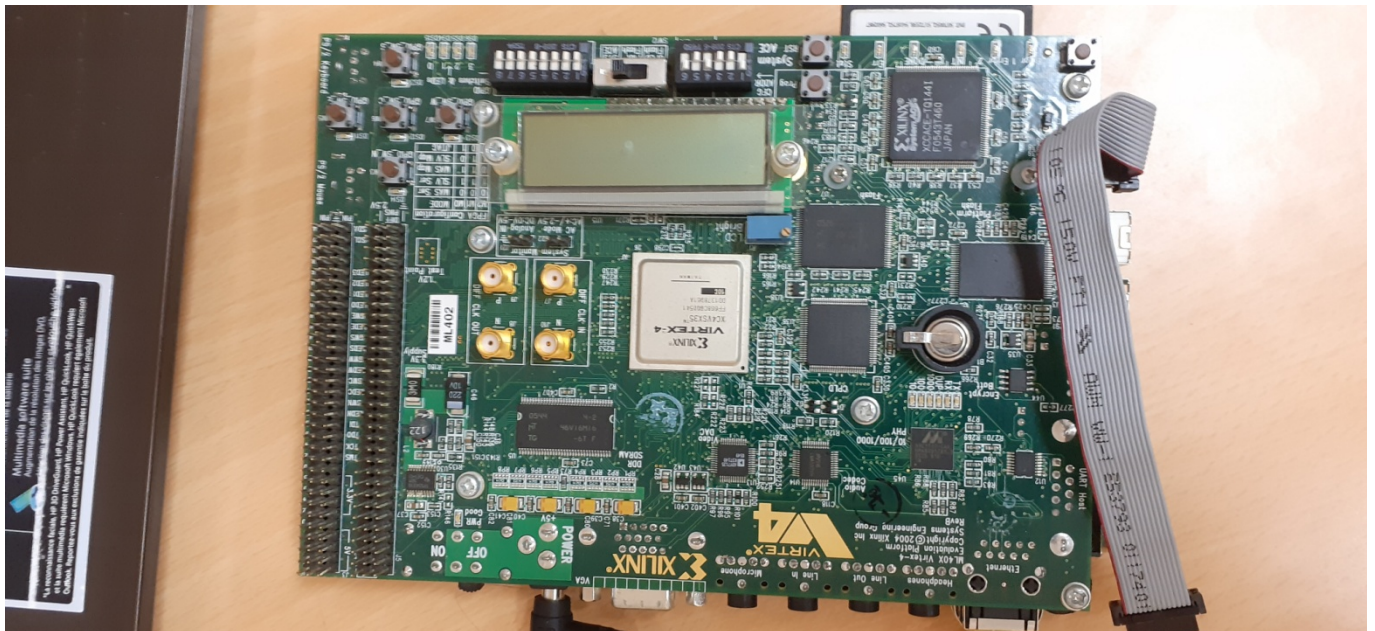
## Annexe E

### Schéma de simulation de commande DTC



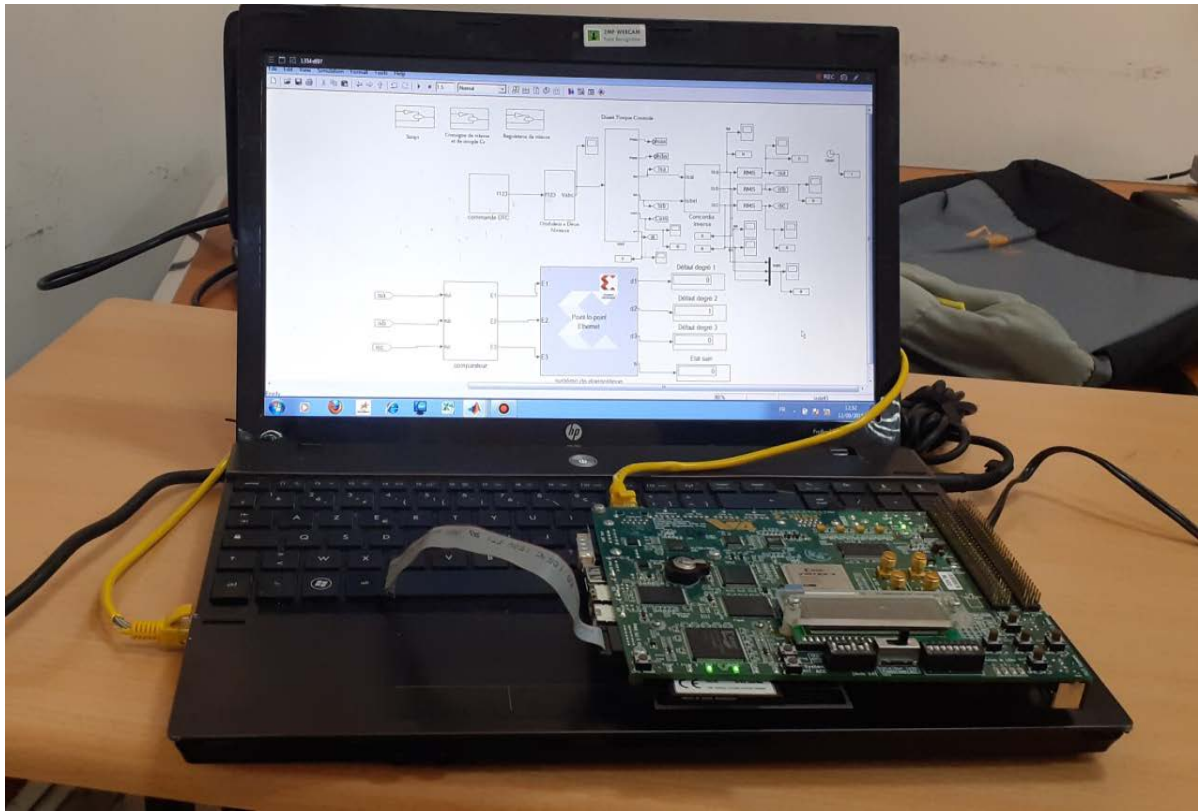
## Annexe F

## La carte FPGA « VIRTEX 4 ML 402 »



## Annexe G

La réalisation de l'implémentation sur FPGA



## **Références bibliographiques**



## Références bibliographiques

- [1] Lebaroud, A. (2006). Modélisation et techniques orientées vers le diagnostic de la machine asynchrone associée à des sources variables (Doctoral dissertation, Thèse de doctorat. Université de Constantine. Algérie 2006).
- [2] Ondel, O. (2006). Diagnostic par reconnaissance des formes: Application à un ensemble convertisseur-machine asynchrone (Doctoral dissertation, Ecole Centrale de Lyon).
- [3] Bachir, S. (2002). Contribution au diagnostic de la machine asynchrone par estimation paramétrique (Doctoral dissertation, Poitiers).
- [4] Bouguerne, A. (2009). Diagnostic automatique des défauts des moteurs asynchrones.
- [5] Didier, G. (2004). Modélisation et diagnostic de la machine asynchrone en présence de défaillances. These de doctorat de l'université Henri Poincaré, Nancy-I.
- [6] Boumegoura, T. (2001). Recherche de signature électromagnétique des défauts dans une machine synchrone et synthèse d'observateurs en vue du diagnostic (Doctoral dissertation, Ecullly, Ecole centrale de Lyon).
- [7] Zemouri, R. (2003). Contribution à la surveillance des systèmes de production à l'aide des réseaux de neurones dynamiques: Application à la e-maintenance (Doctoral dissertation, Université de Franche-Comté).
- [8] Zwingelstein, G. (1995). Diagnostic des défaillances: théorie et pratique pour les systèmes industriels. Hermès.
- [9] Hadiouche, D. (2000). Modelling of a double-star induction motor with an arbitrary shift angle between its three phase windings. EPE-PEMC'2000, Kosice, Slovak Republic, 5-7 September, 5, 125-130.
- [10] KHODJA Djalal Eddine. (2007). Élaboration d'un système intelligent de surveillance et de diagnostic automatique en temps réel des défaillances des moteurs à induction (Doctoral dissertation, Boumerdes, Université M'hamed Bougara. Faculté des hydrocarbures et de la chimie).
- [11] Merad, R. (2006). Outils de diagnostic appliqués à la machine asynchrone triphasée à cage d'ecureil.
- [12] Boudjtat Walid, "etude et simulation d'une machine asynchrone alimente par un onduleur de tension a commande mli " ,Mémoire de Master, Université de Annaba badji mokhtar,annaba,Algérie,2017.
- [13] Zwingelstein, G. (1995). Diagnostic des défaillances: théorie et pratique pour les systèmes industriels. Hermès.
- [14] Chang, X., Cocquempot, V., & Christophe, C. (2002, October). Modélisation de la machine asynchrone en présence de pannes du stator. In Conférence Internationale Francophone d'Automatique, Nantes (pp. 459-464).
- [15] Boumegoura, T. (2001). Recherche de signature électromagnétique des défauts dans une machine synchrone et synthèse d'observateurs en vue du diagnostic (Doctoral dissertation, Ecullly, Ecole centrale de Lyon).

- [16] B Bendjaima, D Saigaa, DE Khodja, « Fault Tolerant Control Based on Adaptive Fuzzy Sliding Mode Controller for Induction-Motors », International Journal of Intelligent Engineering and Systems, Volume 10 N° 03, 2017. PP.39-48. <http://www.inass.org/2017/2017123105>.
- [17] Takahashi, I., & Noguchi, T. (1986). A new quick-response and high-efficiency control strategy of an induction motor. IEEE Transactions on Industry applications, (5), 820-827.
- [18] Ibrahim Choudira, Djalal Eddine Khodja, Salim Chakroune, «Induction Machine Faults Detection and Localisation by Neural Network Methods», *Revue d'Intelligence Artificielle*, Vol. 33, No. 6, December, 2019, pp. 427-434 Journal homepage: <http://iieta.org/journals/ria>
- [19] Depenbrock, M. (1987, June). Direct self-control (DSC) of inverter fed induction machine. In 1987 IEEE Power Electronics Specialists Conference (pp. 632-641). IEEE.
- [20] Belkacem, S., Naceri, F., Betta, A., & Laggoune, L. (2005, December). Speed sensorless DTC of induction motor based on an improved adaptive flux observer. In 2005 IEEE International Conference on Industrial Technology (pp. 1192-1197). IEEE.
- [21] Zhang, Z., Tang, R., Bai, B., & Xie, D. (2010). Novel direct torque control based on space vector modulation with adaptive stator flux observer for induction motors. IEEE transactions on Magnetics, 46(8), 3133-3136.
- [22] Choudira Ibrahim, KhodjaDjalel Eddine, chakroune Salim, “Fuzzylogicbasedbroken bar faultdiagnosisand behaviorstudy of induction machine”, *Revue Journal Européen des Systèmes Automatisés*, Vol. 53, No. 2, pp. 233-242, April, 2020
- [23] Wu, B., Birattari, M., Blaabjerg, F., Kwon, B. H., Bontempi, G., Borage, M., ... & Borup, U. 2005 Index IEEE Transactions on Industrial Electronics Vol. 52. Castilla, 1409, 1419.
- [24] Hyun, B. G., & Nam, K. (1995, November). Faults diagnoses of rotating machines by using neural nets: GRNN and BPN. In Proceedings of IECON'95-21st Annual Conference on IEEE Industrial Electronics (Vol. 2, pp. 1456-1461). IEEE.
- [25] DJ.KHODJA, S.SIMARD, R.BEGUENAN “*Implementation of Optimized Approximate Sigmoid Function on FPGA Circuit to use in ANN for Control and Monitoring*”, CONTROL ENGINEERING AND APPLIED INFORMATICS , CEAI, Vol.17, No.2 PP.64-72, 2015 (ISI Impact Factor 2015 : 0.537).
- [26] KHODJA Djalal-Eddine, et KHELDOUN Aissa, “Three-phases Model of the Induction Machine TakingAccount the Stator Faults”, *revueworld academy of science, engineering and technology* Vol 52, pp. 150-157, 2009.
- [27] Ibrahim Choudira, Djalal Eddine Khodja, Salim Chakroune, « Continuous Wavelet Technique for Detection of Broken Bar Faults in Induction Machine», *Traitement du Signal*, Vol.36., No. 2, April, 2019, pp.171-176, Journal homepage: <http://www.iieta.org/Journals/ts>.
- [28] Jason R. Stack et al., « An Amplitude Modulation Detector for Fault Diagnosis in Rolling Element Bearings », IEEE Transactions on Energy Conversion, Vol. 51, No. 05, 2004, pp.1097-1102.
- [29] MAHDAOUI Rafik, « Contribution à la surveillance dynamique des systèmes de production évolutifs par les systèmes Neuro-Flous Temporale », Thèse Doctorat, Université Batna, 22 Décembre 2013.

- [30] ZEGAI, M. L. (2018). 'Synthèses Des Techniques de Commande DTC Associe à L'intelligence Artificielle Appliquée au Contrôle D'un Moteur Asynchrone Alimenté par Onduleur Multi-Niveaux' (Doctoral dissertation, Université Mohamed Boudiaf des Sciences et de la Technologie-Mohamed Boudiaf d'Oran).
- [31] KHODJA Djalal Eddine, “ Diagnostic automatique des défaillances d'un système électromécanique par application des réseaux de neurones artificiels ”, Mémoire de Magister, Université Mhamed Bouguerra de Boumerdès, Algérie, 2001.
- [32] KHODJA Djalal-Eddine, “Entraînements Electriques des Convertisseurs Electromécanique”, synthèse du cours pour master I Ingénierie des systems électromécaniques, 2019.
- [33] OLIVIER Ondel, “Diagnostic par reconnaissance des formes : application à un ensemble convertisseur-machine asynchrone”, Thèse de Doctorat, Ecole centrale de Lyon, France, 2006.
- [34] Bertrand Raison, “Détection et localisation de défaillances sur un entraînement électrique”, Thèse de Doctorat, Institut national polytechnique de Grenoble, France, Septembre 2000.
- [35] G.Didier, “Modélisation et diagnostic de la machine asynchrone en présence de défaillance”, Doctorat de l'Université Henri Poincaré, Nancy 2004.
- [36] SAKHARA Saadi, “Diagnostic des défauts d'un entraînement électrique par la technique ondelette”, Thèse de Doctorat, Université Badji Mokhtar-Annaba, Algérie, 2017.
- [37] BENDJAIMA Bachir, « Commande tolérante de la machine asynchrone en tenant compte des défauts statoriques et rotoriques », Thèse de Doctorat, Université Mohamed Boudiaf M'sila, 03 Juillet 2018.
- [38] K. Renovell, P. Faure, J.M. Portal, J. Figueras and Y. Zorian, "IS-FPGA: A New Symmetric FPGA Architecture With Implicit SCAN", IEEE ITC International Test Conference, Paper 33.1, 0-7803-7169-0/2001.
- [39] KHODJA Djalal Eddine, S.SIMARD, R.BEGUENAN, A.KHELDOUN, “*FPGA-based Implementation of ANN for Direct Torque Control of Induction Machine Using Co-simulation*” International Journal of Advanced Engineering and Science IJAES, VOLUME 3 NUMBER 1 May 2014, PP. 1-19, ISSN 2304-7712 (Print) , ISSN 2304-7720 (Online).
- [40] R. Benguettaf et R. Zaoui, " Implémentation des réseaux de neurones artificiels sur FPGA pour le diagnostic des défaillances de la machine asynchrone", Mémoire de fin d'étude de L'Université de M'sila, France, Juin 2008.
- [41] C. Cecati, « Microprocessors for power electronics and electrical drives applications », IEEE Industrial Electronics Society Newsletter, vol. 46, no. 3, Sept. 1999, pp. 5-9.
- [42] Y. Kebbati, « Développement d'une Méthodologie de Conception Matérielle à Base de Modules Génériques VHDL/VHDL-AMS en Vue d'une Intégration de Systèmes de Commande Electrique », Thèse de Doctorat, Université Louis Pasteur, Strasbourg1, 2002.
- [43] H.L. Huy, « Microprocessors and digital IC's for motion control », Proc.IEEE, Vol. 82, No.8, 1994, pp. 1140-1163.
- [44] JS.S. Deol, “VHDL simulation for reduction of state space representation of linear sequential machine”, Wayne state university, Detroit, USA, 2004.
- [45] F. Aubepart, C. Girerd, Y.A. Chapuis, P. Poure, F. Braun, «ASIC implementation of Direct Torque Control for induction machine: functional validation by power and control simulation » in Proc. PCIM'98 Conf, 1998, pp. 251-260.

### *Références bibliographiques*

- [46] H. Cherraj, «Conception et Réalisation d'un Dispositif de Prétraitement de Signaux Radar en Utilisant le VHDL», Thèse de Maîtrise, Université du Québec, Canada, 2001.
- [47] E. Monmasson, Y. A. Chapuis, « Perspectives technologiques en commande de systèmes électriques, chapitre 5 : Apport des FPGA dans la commande des systèmes électriques », Traité EGEM, Collection HERMES Science, 2002.
- [48] Xilinx Data Book, « Virtex FPGA Family: Complete Data Sheet », Xilinx, 2006.
- [49] Xilinx Data Book, « Spartan-3E FPGA Family: Complete Data Sheet », Xilinx, 2006.
- [50] S. Areibi, G. Grewal, D. Banerji and P. Du "Hierarchical FPGA Placement", CAN. J. ELECT. COMPUT. ENG., VOL. 32, NO. 1, Winter 2007.
- [51] W. Merrouche et M. Mossi Idrissa, " Implémentation d'un Modulateur OFDM sur un circuit FPGA ", P.F.E de l'École Nationale Polytechnique, Alger, Juin 2007.
- [52] Choudira, I., Khodja, D., & Chakroune, S. (2019). Induction Machine Faults Detection and Localization by Neural Networks Methods. *Revue d'Intelligence Artificielle*, 33(6), 427-434.
- [53] Han, C. H. (2007). International Electrotechnical Commission. *Electric Engineers Magazine*, 29-34.

---

ملخص

---

تعتبر المحركات اللائزمانية العنصر الأساسي في الأنظمة الكهربائية وهي دوما متعرضة للأعطاب المفاجئة التي تؤدي إلى توقفها وبالتالي توقف كل الأجهزة الكهربائية.

فمن الواجب العمل على إيجاد العطب بسرعة وتصليحه.

في هذا العمل سنقوم بتحديد أنواع أعطاب المحرك اللائزمني و إنشاء نظام تشخيص الأعطاب يعتمد على الذكاء الاصطناعي "المنطق الضبابي" من خلال دراسة إشارة تيارات الساكن وتحليلها من خلال مقارنتها مع القيمة الفعالة للتيار في الحالة الطبيعية، ومن ثم تنفيذ هذا النظام على اللوحة الإلكترونية.

هذا النظام الذي من شأنه أن يساعد على تحديد مكان العطب بسرعة وبالتالي سهولة الصيانة.

**الكلمات المفتاحية:**

آلة غير متزامنة ، تشخيص ، "FPGA" منطق الضبابي ، تنفيذ ، دائرة الكترونية قابلة لإعادة البرمجة ، التحكم المباشر في العزم ، أعطاب.

---

Abstract

---

Asynchronous motors are considered the main element of electrical systems and are always subject to sudden faults which lead to their shutdown and therefore to the shutdown of all electrical equipments. It is imperative that we work to find the fault quickly and fix it.

In this work, we will identify the types of asynchronous motor failures and establish a fault diagnosis system based on "fuzzy logic" artificial intelligence by studying the signal of the stator currents and analyzing it by comparing it to the RMS values. Current in the normal state, then implement this system on the FPGA electronic board, This system, which would make it possible to locate the fault quickly and therefore facilitate maintenance.

---

Résumé

---

Les moteurs asynchrones sont considérés comme l'élément principal des systèmes électriques et sont toujours sujets à des défauts soudains qui conduisent à leur arrêt et donc à l'arrêt de tous les équipements électriques.

Il est impératif que nous travaillions pour trouver le défaut rapidement et le réparer.

Dans ce travail, nous identifierons les types de pannes de moteurs asynchrones et établirons un système de diagnostic de pannes basé sur l'intelligence artificielle « logique floue » en étudiant le signal des courants statoriques et en l'analysant en le comparant à la valeur efficace du courant dans le état normal, puis implémenter ce système sur le circuit reconfigurable FPGA.

Ce système, qui permettrait de localiser le défaut rapidement et donc de faciliter la maintenance.

**Mots clés :**

Machine asynchrone ; diagnostique ; FPGA ; logique flou ; implémentation ; circuit reconfigurable ; Commande Directe de Couple « DTC » ; Défauts ;