

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE  
MINISTERE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA RECHERCHE  
SCIENTIFIQUE  
UNIVERSITE MOHAMED BOUDIAF - M'SILA

FACULTE DE TECHNOLOGIE  
DEPARTEMENT  
D'ELECTRONIQUE  
N°



DOMAINE : SCIENCE ET TECHNOLOGIE  
FILIERE : ELECTRONIQUE  
OPTION : INSTRUMENTATION

Mémoire présenté pour l'obtention  
Du diplôme de Master Académique

*Présenté par :*

GHEZAL Younes  
AIDJOULI Younes

**Thème:**

***ETUDE ET SIMULATION DE FILTRES ACTIFS A  
CAPACITES COMMUTEES A BASE D'UN OTA***

*Soutenu devant le jury composé de :*

Mr : A.KAHLOUCHE

Université de M'sila

Président

Mr : F.SAADA KHALKHAL

Université de M'sila

Encadreur

Mr : N.GUERMAT

Université de M'sila

Examinateur

**Année universitaire : 2021 /2022**



بِسْمِ اللَّهِ الرَّحْمَنِ الرَّحِيمِ

# Dédicaces

A mes très chers parents, source de vie, d'amour et d'affection

A mes chers frères et leurs enfants, source de joie et de bonheur tout particulièrement mes frères Kamel et Abdelkader

A toute ma famille, source d'espoir et de motivation A tous  
mes amis,

A Younes, chère amie avant d'être binôme A vous cher lecteur

# Remerciement

Nous remercions en premier lieu Dieu tout puissant de nous avoir accordé la puissance et la volonté pour terminer ce travail.

Nous tenons à présenter nos sincères remerciements et notre Profonde reconnaissance à notre aimable encadreur Dr.FAYCEL SAADA KHELKHAL pour son encadrement, pour sa contribution, sa patience et son aide tout au long de ce travail.

Nous adressons également nos remerciements aux enseignants qui nous ont fait l'honneur de participer, aux jurys de ce mémoire.

Enfin nous remercions toute personne ayant de près ou de loin contribué à l'élaboration de ce modeste travail et l'ensemble des enseignants qui ont assuré notre formation durant toutes ces années d'étude.

<b>Introduction générale.....</b>	<b>1</b>
<b>Chapitre 1 : présentation de l'amplificateur OTA dans la technologie CMOS..</b>	<b>3</b>
<b>1- Introduction.....</b>	<b>4</b>
<b>2- principe de fonctionnement d'un transistor MOSFET.....</b>	<b>4</b>
<b>2-1 Architecture du transistor MOSFET [7].....</b>	<b>4</b>
<b>2-2 Charges dans le transistor MOS.....</b>	<b>5</b>
<b>3. Régimes de fonctionnement.....</b>	<b>7</b>
<b>3.1.Le régime statique.....</b>	<b>7</b>
<b>3.1.1.Régime de faible inversion.....</b>	<b>7</b>
<b>3.1.2.Régime de forte inversion.....</b>	<b>8</b>
<b>a) Zone de Conduction (ou Ohmique).....</b>	<b>8</b>
<b>b) Zone de Saturation (ou Source de Courant).....</b>	<b>8</b>
<b>3.2.Le régime dynamique (model petits signaux).....</b>	<b>10</b>
<b>4. Les sources de bruit.....</b>	<b>11</b>
<b>4-1. Le bruit thermique.....</b>	<b>12</b>
<b>4-2. Le bruit 1/f (flicker noise).....</b>	<b>12</b>
<b>4-3. Bruit de grenaille.....</b>	<b>13</b>
<b>5. Amplificateur de transconductance OTA de type MOS.....</b>	<b>13</b>
<b>5-1. Les miroirs de courant.....</b>	<b>14</b>
<b>5-1-1. Le miroir de base.....</b>	<b>14</b>
<b>5-1-2. Source de polarisation indépendante.....</b>	<b>15</b>
<b>5-1-3. Le miroir cascode.....</b>	<b>16</b>
<b>5-2. La pair différentielle.....</b>	<b>17</b>
<b>5-3. Amplificateur Opérationnel OTA CMOS.....</b>	<b>19</b>
<b>5-3-1. Les caractéristique de OTA.....</b>	<b>20</b>

5-3-2. les différentes configuration de l'OTA.....	21
5-3-2-1. L'OTA à un seul étage.....	21
5-3-2-2. L'OTA à deux étage.....	21
5-3-2-3. L'OTA Télescopique cascode.....	22
5-3-2-4. L'OTA Cascode Réglé.....	22
6.Conclusion.....	23
<b>Chapitre 2 : les filtres à capacités commutées.....</b>	<b>24</b>
1. Introduction.....	25
2. les commutateurs analogique MOS.....	25
2.1. Le phénomène d'injection de charges.....	27
2.2. Le phénomène de clock-feedthrough.....	27
2.3. Amélioration des performances d'un interrupteur analogique.....	28
3. Modèles compact du commutateur analogique.....	28
3.1. Première génération .....	29
3.2. Deuxième génération .....	29
3.2. Troisième génération .....	29
4. Les composants commutés.....	30
4.1. Résistances commutées.....	30
4.2. Capacités commutées.....	32
5. Exemple d'application à un filtrage passe-bas.....	35
6. Filtres actifs à capacités commutées .....	37
6.1. intégrateur à capacités commutées.....	37
6.2. Filtre a capacités commutées du 1 <sup>er</sup> ordre.....	38
6.3. architectures des filtres en peigne.....	39
7.Conclusion.....	40
<b>Chapitre 3 : résultats de simulation de filtres à capacités commutées à base d'un</b>	
<b>OTA.....</b>	<b>41</b>

<b>1. Introduction.....</b>	<b>42</b>
<b>2. Etude et simulation d'un amplificateur opérationnel OTA à deux étages.....</b>	<b>42</b>
2.1 Schéma électrique.....	42
2.2. étapes de la conception.....	43
<b>3. Résultats de la simulation:.....</b>	<b>44</b>
3.1. L'étude statique:.....	44
3.2. La réponse en fréquence (étude AC).....	45
3.2.1. influence de la capacité CM.....	46
3.2.2. influence de la température.....	46
3.3. Analyse temporelle (transient simulation).....	47
3.4. Test de SlewRate.....	48
3.5. Test de ICMR (input Common mode range).....	49
3.6. le PSRR.....	50
3.7. Courbe de bruit.....	50
3.7.1. influence de la capacité CL sur la courbe bruit.....	51
3.7.2. contribution de chaque transistor.....	52
3.8. Analyse de Fourier FFT.....	52
<b>4. simulation de filtres actifs à capacités commutées.....</b>	<b>53</b>
4.1. L'intégrateur a capacité commutée.....	53
4.2. L'intégrateur à quatre commutateurs.....	54
4.3.filtres à capacités commutées à OTA.....	56
4.3.1. filtre actif passe bas du 1er ordre.....	56
4.3.2. filtre actif passe bas du 1 <sup>er</sup> ordre à gain unitaire.....	57
4.3.3. filtre actif passe haut du 1 <sup>er</sup> ordre.....	59
4.3.4.filtre passe bas de type Sallen Key à gain unitaire.....	60
<b>5. Conclusion.....</b>	<b>63</b>

**CONCLUSION GENERALE.....64**

**Bibliographie.....65**



**Chapitre I**

*Figure I-1 : architecture d'un Transistor NMOSFET.....5*

*Figure I. 2 Diagramme de bande d'énergie de la structure MOS en forte inversion.....6*

*Figure (I.3) : Représentation schématique des différents régimes de fonctionnement d'un NMOSFET et schéma de bandes d'énergie de la jonction source/substrat/drain.....9*

*Figure. I.4 : Capacités parasites du transistor.....10*

*Figure. I.5 : Modèle petits signaux du transistor MOS.....11*

*Figure I-6 Modèle petits signaux du transistor MOS avec ses sources de bruit thermique.....12*

*figure I-7 : Le miroir de courant de base NMOS associé à son modèle idéal (à gauche). Tracé de sortie du miroir (à droite) avec des W/L de 10/0.7.....14*

*figure I-8 Source de polarisation indépendante.....15*

*figure I-9 : Le miroir de courant cascodé NMOS.....16*

*figure I-10 : la cellule différentielle MOS.....17*

*Figure I.11 : Les courant drain de sortie de la paire de sources couplées en fonction de la tension d'entrée  $\Delta V$ .....18*

*Figure : I.12 La différence entre les courants de sortie de paire de source couplées en fonction de la variation de la tension d'entrée  $\Delta V$ .....19*

*Figure I.13 L'OTA à un seul étage.....21*

*Figure I.14 L'OTA à un deux étages.....21*

*Figure I.15 L'OTA Télescopique cascode.....22*

*Figure I.16 L'OTA Cascode Réglé.....23*

**Chapitre II**

*figure (II-1): Circuit commutateur de base en technologie NMOS.....26*

*figure.II.2 Tracé de la conductance du commutateur analogique.....26*

*Figure II.3 : Représentation de l'injection de charges lorsque l'on éteint l'interrupteur.....27*

*Figure II.4 : Clock-feedthrough dans un circuit d'échantillonnage.....28*

*Figure II-5. circuit à résistance commutée.....30*

*figure II.6 Résistance équivalente de la commutation parallèle d'un condensateur.....32*

*figure II.7 Forme typique des deux phases sans recouvrement des horloges.....32*

<i>figure II.8 Circuits à capacités commutées émulant une résistance</i> .....	35
<i>figure II.8 Passe-bas du premier ordre et signaux de commande</i> .....	35
<i>figure II.9 schéma d'un integrateur a capacités commutées</i> .....	36
<i>figure II.10 intégrateur insensible aux capacités parasites</i> .....	37
<i>figure II.11. filtre passe bas a capacités commutées</i> .....	38
<i>figure II.12.schéma structurel du filtre</i> .....	38
<i>figure II.13 structure de base d'un filtre a peigne</i> .....	39
<i>figure II.14charge progressive d'un condensateur</i> .....	40

### Chapitre III

<i>Figure III.1. L'amplificateur OTA étudié</i> .....	42
<i>Figure III.2. La réponse en fréquence : courbe de gain et courbe de phase</i> .....	45
<i>Figure III.3. La réponse en fréquence : influence de CM</i> .....	46
<i>Figure III.4. La réponse en fréquence : influence de la temperature</i> .....	47
<i>Figure III.5. La réponse temporelle</i> .....	47
<i>figure III.6. Circuit test du Slew Rate</i> .....	48
<i>Figure III.7. Fonction échelon à l'entrée</i> .....	48
<i>Figure 3.8. La réponse en sortie</i> .....	48
<i>Figure III.9. influence de la capacité CL sur le Slew Rate</i> .....	49
<i>Figure III.10. courbe ICMR</i> .....	49
<i>Figure III.11. Courbes du PSRR+ et PSRR-</i> .....	50
<i>Figure III.12. Courbe de bruit en sortie</i> .....	51
<i>Figure III.13. Courbe de bruit :influence de CL</i> .....	51
<i>Figure III.14. contribution de chaque transistor dans le signal bruit</i> .....	52
<i>Figure III.15. Courbes FFT des signaux Vin et Vout</i> .....	52
<i>Figure III.16. Intégrateur de base à OTA</i> .....	53
<i>Figure III.17. Courbes FFT des signaux Vin et Vout</i> .....	54
<i>Figure III.18. Intégrateur à 4 commutateurs Nmos.</i> .....	54.
<i>Figure III.19. Allure des signaux d'entrée et de sortie</i> .....	55

<i>Figure III.20. simulation AC de l'intégrateur.....</i>	<i>55</i>
<i>Figure III.21. schéma classique d'un filtre passe bas 1<sup>er</sup> ordre.....</i>	<i>56</i>
<i>Figure III.22. filtre passe bas 1<sup>er</sup> ordre à capacités commutée.....</i>	<i>56</i>
<i>Figure III.23. réponse AC de notre filtre.....</i>	<i>57</i>
<i>Figure III.24. filtre actif passe bas à gain unitaire.....</i>	<i>57</i>
<i>Figure III.25. filtre passe bas à gain unitaire à capacités commutées.....</i>	<i>57</i>
<i>Figure III.26. Allure des signaux d'entrée et de sortie pour une fréquence de 1kh.....</i>	<i>58</i>
<i>Figure III.27. Allure des signaux d'entrée et de sortie pour une fréquence de 10kh.....</i>	<i>58</i>
<i>Figure III.28. Allure des signaux d'entrée et de sortie pour une fréquence de 1000kh.....</i>	<i>58</i>
<i>Figure III.29. schéma classique d'un filtre passe haut 1<sup>er</sup> ordre.....</i>	<i>59</i>
<i>Figure III.30. filtre passe haut 1<sup>er</sup> ordre à capacités commutées.....</i>	<i>59</i>
<i>Figure III.31. Allure des signaux d'entrée et de sortie pour une fréquence de 1Mh.....</i>	<i>60</i>
<i>Figure III.32. schéma classique d'un filtre Sallen-KEY.....</i>	<i>60</i>
<i>Figure III.33. Filtre Sallen-Key 2<sup>eme</sup> ordre à capacités commutée.....</i>	<i>61</i>
<i>Figure III.34. signaux d'entrée et de sortie pour une fréquence de 1kh.....</i>	<i>61</i>
<i>Figure III.35. signaux d'entrée et de sortie pour une fréquence de 10Kh.....</i>	<i>62</i>
<i>Figure III.36. signaux d'entrée et de sortie pour une fréquence de 100Kh.....</i>	<i>62</i>



**Chapitre III**

**Tableau III.1 la réponse en fréquence : influence de cm .....46**

## **Résumé**

Dans ce mémoire, on a présenté l'étude et la simulation d'un amplificateur opérationnel OTA en technologie CMOS à faible puissance. la simulation a été effectuée par le logiciel LTspice, ce dernier nous a permis de présenter les caractéristiques de l'amplificateur OTA CMOS, ainsi nous avons étudié l'analyse DC, l'analyse AC, l'ICMR, le PSRR et le Slew Rate.

cet amplificateur est introduit dans un deuxième temps dans les circuits de quelques configurations de filtres actifs à capacités commutées. on utilise toujours le logiciel LTspice, nous avons simulé le fonctionnement de: un filtre passe bas du 1<sup>er</sup> ordre, un filtre passe haut du 1<sup>er</sup> ordre, et un filtre passe bas du 2<sup>ème</sup> ordre de type Sallen-Key.

**Mots clés : OTA, technologie CMOS, filtres à capacités commutées, LTspice.**

## Introduction générale

L'évolution de la technologie **VLSI** (**Very Large Scale Integration**) se sont développées au point où des millions des transistors peuvent être intégrés sur un seul circuit intègre, la complexité des circuits intégrés actuels continue à croître, des systèmes électroniques qui sont réalisés sous forme de cartes sont aujourd'hui intégrés sur une seule puce (system on chip), Dans les dernières années, la technologie **CMOS** a rapidement sommé le champ des circuits intégrés analogues et mixtes (analogique numérique), l'utilisation de ce type de technologie permet d'augmenter la complexité des circuits conçus et en général de diminuer aussi la consommation requise tout en améliorant les performances des fonctions réalisées[1]. Les technologies utilisées pour réaliser les opérations de filtrage ont connu une évolution fulgurante au cours du 20<sup>ème</sup> siècle. C'est en 1915 que Wagner et Campbell ont indépendamment inventé le 'filtre d'onde électrique' pour répondre aux besoins d'une industrie naissante des communications. Il a fallu attendre le milieu des années 1960[2], date à laquelle la commercialisation du premier amplificateur opérationnel et leur développement en grande série apparurent pour voir arriver les filtres actifs discrets, capables d'effectuer en une même opération filtrage et amplification.

Entre 1920 et 1960, la grande majorité des filtres utilisés pour ces applications étaient basées sur des circuits RLC (passifs).

C'est en 1977 que le premier filtre intégré monolithique a été commercialisé. La technique utilisée est basée sur le principe des capacités commutées, dont le but est de rendre tous les montages insensibles aux différentes capacités parasites inévitablement présentes sur les différents nœuds des circuits.

Les principaux avantages des circuits à capacités commutées (*switched capacitor circuits*) sont les suivants :

1. Impédance d'entrée quasi infinie des amplificateurs opérationnels, commutateur analogique de réalisation simple.
2. Les performances en précision (0.2%) sont obtenues par appariement des composants et non pas par leur précision absolue. L'ajustement des composants n'est donc pas nécessaire.

3. Il est possible de réaliser des filtres avec de grandes constantes de temps sans utiliser de composants de grande taille.

L'amplificateur opérationnel est alors l'élément essentiel qui limite les performances de ces dernières (tensions de décalage, gain fini, taux de rejection, bande passante, vitesse de balayage, etc...). Fonctionnant sur charge capacitive, il est possible de retenir des amplificateurs se comportant en sortie, soit comme des sources de tension, soit comme des sources de courant (Amplificateur à transconductance (O.T.A.)) [3].

La première solution est de maniement simple, mais ne conduit pas à des solutions optimums pour une technologie donnée. La seconde solution permet d'obtenir des performances dynamiques meilleures, au prix toutefois d'une plus grande complexité de la conception qui ne peut être menée à bien que par l'emploi d'outils de simulation très performants.

Le but de notre travail dans ce mémoire est l'étude par simulation de quelques configurations de filtres à capacités commutées conçus autour d'un amplificateur OTA dans la technologie CMOS.

Dans le premier chapitre nous avons étudié les différents blocs compositeurs des amplificateurs opérationnels intégrés, nous avons commencer donc par l'étage d'alimentation dont l'étude était détaillé sur les sources de courants CMOS, par la suite nous avons présenté l'étage d'entrée différentiel ainsi que l'étage de sortie. En fin de ce chapitre nous avons décrit brièvement les différentes configurations de l'amplificateur OTA.

Dans le deuxième chapitre l'étude est portée sur les différentes architectures des capacités commutées, nous avons examiné le phénomène de commutation, et l'étude théorique des intégrateurs et filtres à capacités commutées.

Dans le troisième chapitre nous avons présenté nos résultats de simulation sous LTSPICE de quelques structures de filtres actifs à capacités commutées à base de l'amplificateur OTA étudié. la simulation est portée sur: un filtre passe bas du 1<sup>er</sup> ordre, un filtre passe haut du 1<sup>er</sup> ordre, et un filtre passe bas du 2<sup>eme</sup> ordre de type Sallen-Key.

En fin nous avons terminé notre étude par une conclusion générale.

# *Chapitre 1*

## PRÉSENTATION DE L'AMPLIFICATEUR OTA DANS LA TECHNOLOGIE CMOS

## 1- Introduction

La technologie CMOS est devenue la technologie la plus utilisée dans le domaine de conception des circuits intègre analogique, En raison de leurs fortes densités d'intégration, basse dissipation d'énergie. Afin de réduire le coût et augmenter la portabilité des systèmes.

L'amplificateur Opérationnel de Transconductance, appelé OTA ou cellule de transconductance  $G_m$ , avec comme entrée la tension et comme sortie le courant, réalise un processus de conversion tension courant qui permet d'obtenir une transconductance. Ainsi, plusieurs architectures d'OTA ont été proposées afin de répondre aux exigences de diverses applications. nous allons présentés dans ce chapitre après une discussion sur le transistor MOS les blocs analogiques de base utilisé en conception des amplificateurs opérationnels à transconductance.

## 2- principe de fonctionnement d'un transistor MOSFET

Le transistor MOS à effet de champ ou transistor MOSFET dans la conception théorique est énoncé pour la première fois en 1925 par J.E Lilienfeld [4] [5]. Ce n'est qu'en 1947 avec les travaux de J. Bardeen, W. Brattain et W. Schockly que le premier transistor bipolaire à base de germanium fut alors fabriqué. Cependant, la difficulté d'obtenir des oxydes de germanium stables (qui reste encore aujourd'hui un problème majeur pour le développement des composants à base des matériaux à forte mobilité), nécessaires au bon fonctionnement des transistors MOSFET. Alors le développement des composants à base de silicium [6].

En 1960 Kahng et Attala présenté le premier transistor MOS sur Silicium en utilisant une grille isolée dont le diélectrique de grille était en oxyde de silicium  $SiO_2$ . Le silicium fut un choix très judicieux. Car son oxyde est non seulement un très bon isolant électrique mais il s'est aussi révélé parfaitement adapté pour former des couches dites de passivation protégeant les circuits, accroissant remarquablement leur fiabilité. Ce transistors est plus simples et moins chers que leurs concurrents bipolaires.

### 2-1 Architecture du transistor MOSFET[7].

Un transistor NMOS au silicium est fabriqué à partir d'un substrat semi-conducteur habituellement de silicium type P, les zones source et drain de type N fortement dopées sont équivalentes à des réservoirs d'électrons de chaque coté du canal. Une couche mince de  $SiO_2$  isole le canal d'une métallisation constituant l'électrode de grille. La tension appliquée sur l'électrode de grille assure le contrôle de la conductivité du canal. Le choix judicieux de la

tension de grille va permettre le passage d'un courant électrique entre la source et le drain. L'application entre grille et source d'une tension de grille  $V_G$  positive repousse les trous (porteurs majoritaires) et attire les électrons (porteurs minoritaires) du substrat de type P. Lorsque l'une des jonctions (source ou drain) est polarisée en inverse par une tension de drain  $V_D$  avec une tension  $V_G$  suffisamment positive pour atteindre l'inversion, un canal de type N peut être formé pour assurer la continuité entre la source et le drain. La circulation d'un courant appelé courant de drain  $I_D$  entre le drain et la source devient alors possible.

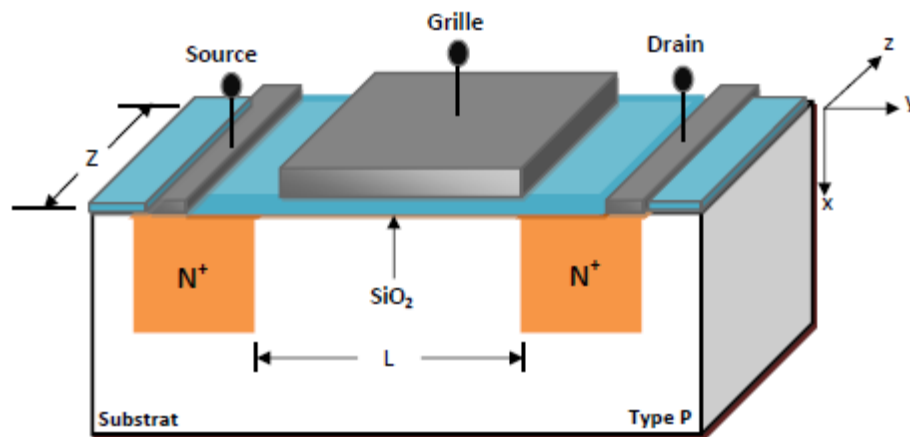


Figure I-1 : architecture d'un Transistor NMOSFET[7]

## 2-2 Charges dans le transistor MOS[8]

La structure MOS est équivalente à la mise en série de la capacité de l'oxyde avec la somme des capacités présentes dans l'empilement métal oxyde semiconducteur selon le type du canal. Dans les technologies actuelles, le métal de grille a évolué du polysilicium avec fort dopage ( $> 10^{19}cm^{-3}$ ), à un métal possédant un travail de sortie au voisinage du niveau d'énergie intrinsèque  $E_i$  du semiconducteur constituant le canal, afin d'être exploité par la technologie CMOS [8][9].

Le potentiel  $V_g$  de grille induit des déformations (courbure) des bandes d'énergie de l'interface vers le volume en direction «y» figure (I.2). Les bandes d'énergie de la structure MOS sont définies par le niveau d'énergie bas de la bande de conduction  $E_c$ , et le niveau d'énergie haut de la bande de valence par  $E_v$  ainsi que le niveau d'énergie intrinsèque  $E_i$  situé approximativement au milieu de la bande interdite du silicium.

A l'interface oxyde semiconducteur ( $y=0$ ), tous ces niveaux d'énergie portent le nom d'énergie de surface et sont indicés par la lettre "s" ( $E_{vs}$ ,  $E_{cs}$ ,  $E_{is}$ ); la polarisation extérieure de la grille  $V_{gs}$  induit une courbure des bandes exprimées par le potentiel  $\psi(y)$  selon la figure (I.2). Le potentiel en volume du substrat,  $\Phi_f$ , indique la différence entre le milieu de la bande interdite  $E_i$  et le niveau de Fermi  $E_f$ , il a pour expression (I.1):

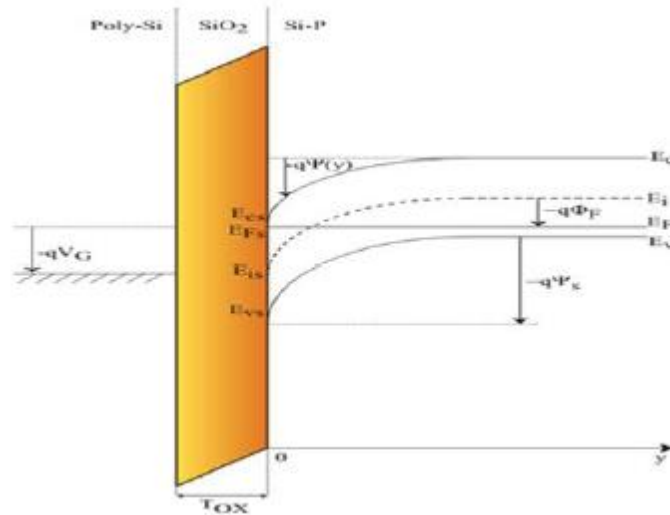


Figure I. 2 Diagramme de bande d'énergie de la structure MOS en forte inversion [8][10]

$$\phi_F = \frac{KT}{q} \ln\left(\frac{N_a}{n_i}\right) \tag{1-1}$$

La concentration en surface (interface oxyde semi-conducteur) est fonction du potentiel de surface  $\psi_s$ , la concentration en volume dans le sens « y » varie selon les deux expressions suivantes [10].

$$n(y) = n_i \exp\left(\frac{E_F - E_i(y)}{KT}\right) \tag{1-2}$$

$$p(y) = n_i \exp\left(\frac{E_i(y) - E_F}{KT}\right) \tag{1-3}$$

Les concentrations en volumes à l'équilibre sont données par :

$$n_0 = n_i \exp\left(\frac{-q\Phi_F}{KT}\right) \tag{1-4}$$

$$p_0 = n_i \exp\left(\frac{q\Phi_F}{KT}\right) \tag{1-5}$$

La variation de la concentration de la surface vers le volume sera définie en fonction du potentiel volumique du semiconducteur par les équations suivantes :

$$n(y) = n_0 \exp(\beta \cdot \psi(y)) \quad (1-6)$$

$$p(y) = p_0 \exp(-\beta \cdot \psi(y)) \quad (1-7)$$

### 3. Régimes de fonctionnement [11]

#### 3.1. Le régime statique

Le régime statique du transistor MOS permet de définir son mode d'opération (point de fonctionnement) ainsi que son équation d'état qui donne l'intensité du courant drain  $I_D$  en fonction des paramètres géométriques ( $W$ ,  $L$ ) et des tensions appliquées à ses bornes ( $V_{GS}$ ,  $V_{DS}$ ,  $V_{BS}$ ). Nous définissons ainsi deux types de **régime de fonctionnement** en fonction de la tension grille-source  $V_{GS}$  appliquée aux bornes du transistor :

- Le régime de *faible inversion* : dès lors que la tension grille-source  $V_{GS}$  est inférieure ou voisine à la tension de seuil  $V_{th}$  du transistor :  $V_{GS} < V_{th}$ .
- Le régime de *forte inversion* : dès lors que la tension grille-source  $V_{GS}$  est supérieure à la tension de seuil  $V_{th}$  du transistor :  $V_{GS} > V_{th}$ .

Pour chaque régime de fonctionnement (faible inversion ou forte inversion), nous définissons deux types de **zone de fonctionnement** en fonction de la tension drain-source  $V_{DS}$  appliquée aux bornes du transistor :

- La zone de *conduction* ou zone *ohmique* : dès lors que la tension drain-source  $V_{DS}$  est inférieure à la tension de saturation du canal avec  $V_{DSsat} = V_{GS} - V_{th}$ .
- La zone de *saturation* ou zone « *source de courant* » : dès lors que la tension drain source  $V_{DS}$  est supérieure à la tension de saturation du canal  $V_{DSsat}$ .

#### 3.1.1. Régime de faible inversion

L'expression du courant drain  $I_D$  en régime de faible inversion en zone de saturation est donnée par l'expression [11] :

$$I_D = I_{D0} \left( \frac{W}{L} \right) \exp \left( \frac{V_{GS}}{n \cdot uT} \right) \quad (1-8)$$

Où

$n=1+ (qN_{fs}/C_{ox}) + (CB/C_{ox})$  représente la pente de la courbe  $I_D(V_{GS})$  en régime de faible inversion (avec  $C_{ox}$ , la capacité surfacique d'oxyde de grille ;  $N_{fs}$ , la densité d'états de surface ;  $q$ , la charge de l'électron ; et  $CB=\partial Q_B/\partial V_{BS}$ ) et  $uT$  représente la tension thermodynamique.

### 3.1.2. Régime de forte inversion

#### a) Zone de Conduction (ou Ohmique)

L'expression du courant drain  $I_D$  en régime de forte inversion en zone de conduction est donnée par :

$$I_D = K \frac{W_{eff}}{L_{eff}} \left( V_{GS} - V_{ds} - \frac{V_{DS}}{2} \right) V_{DS} \quad (1-9)$$

- $K = \mu_0 C_{ox}$  ; (avec  $\mu_0$ , la mobilité nominale des porteurs)
- $W_{eff} = W - 2W_{int}$  représente la largeur de grille effective (avec  $W_{int}$  largeur de recouvrement entre grille et îlots de diffusion)
- $L_{eff} = L - 2L_{int}$  représente la longueur de grille effective (avec  $L_{int}$  longueur de recouvrement entre grille et îlots de diffusion).

#### b) Zone de Saturation (ou Source de Courant)

L'expression du courant drain  $I_D$  en régime de forte inversion en zone de saturation est donnée par :

$$I_D = \frac{K}{2} \frac{W_{eff}}{L_{eff}} (V_{GS} - V_{ds})^2 (1 + \lambda V_{DS}) \quad (1-10)$$

$\lambda$  est un paramètre représentatif de la modulation de la longueur du canal.

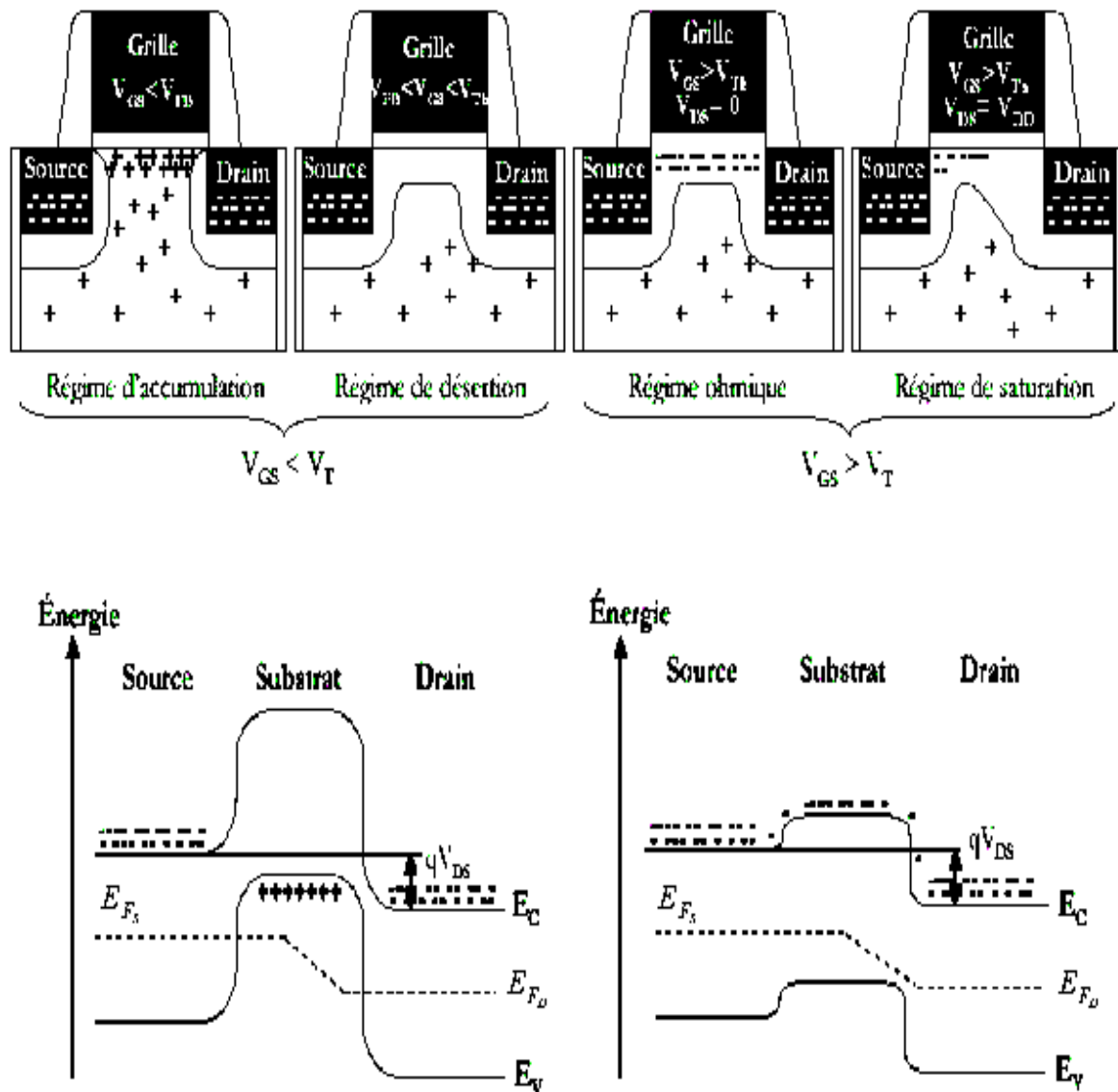


Figure (I.3) : Représentation schématique des différents régimes de fonctionnement d'un NMOSFET et schéma de bandes d'énergie de la jonction source/substrat/drain [12]

### 3.2. Le régime dynamique (modèle petits signaux)[13]

Pour définir le modèle petits signaux du transistor MOS, on utilise une linéarisation des équations du transistor autour de son point de polarisation. Le modèle dégagé dans ce paragraphe concerne la zone dite de saturation du transistor, plus fréquemment utilisée. Les composants petits signaux peuvent s'exprimer ainsi :

$$i_d = g_m v_{gs} + g_{ds} v_{ds} + g_{mb} v_{sb}$$

où

$$g_m = \left( \frac{\delta I_d}{\delta V_{gs}} \right), g_{dz} = \left( \frac{\delta I_d}{\delta V_{ds}} \right) = \frac{1}{r_{ds}}, g_{mb} = \left( \frac{\delta I_d}{\delta V_{sb}} \right) \quad (1-11)$$

En dérivant l'expression du courant  $i_d$ , on trouve :

$$g_m = 2\sqrt{k(1 + \lambda V_d)} I_d = 2\sqrt{k} I_d \quad (1-12)$$

$$g_{mb} = \frac{-\gamma g_m / 2}{\sqrt{2\phi_p + V_{SB}}} \quad (1-13)$$

$$g_d = \frac{\lambda}{1 + \lambda V_{DS}} I_D = \lambda I_D \quad (1-14)$$

Le paramètre  $k'$  est donné par l'expression suivante :

$$k = \frac{\mu_n C_{ex} W}{2 L} \quad (1-15)$$

$$\gamma = \frac{\sqrt{2\epsilon_2 q N_{iepp}}}{C_{ox}}$$

$g$  est un paramètre du composant donné par la relation

L'autre partie importante du schéma en petits signaux concerne les capacités parasites. La figure 1.4 permet de localiser et de comprendre chacune des capacités parasites du transistor.

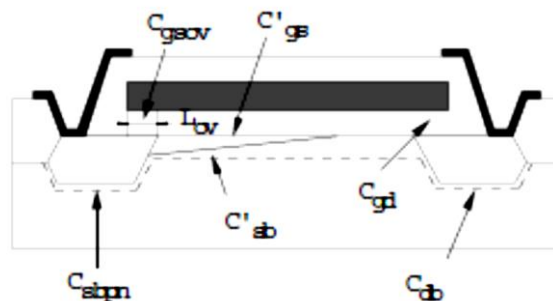


Fig. 1.4 : Capacités parasites du transistor MOS[13].

On distingue les capacités intrinsèques du transistor qui dépendent des dimensions du transistor (capacités de jonction,...) et les capacités extrinsèques qui dépendent du dessin du transistor (capacités de recouvrement,...). Les capacités les plus importantes sont les suivantes

$C_{gd}$ : capacité grille-drain : due au recouvrement du drain par la grille, elle est donc constante.

$C_{gs}$  : capacité grille-source: elle comporte deux composantes et peut être considérée constante:

- $C_{gs}$  : capacité de recouvrement de la source par la grille,
- $C'_{gs}$  : capacité grille-canal. Elle vaut environ  $2/3 C_{ox}$ .

$C_{sb}$  : capacité source-substrat:elle comporte deux composantes et varie comme une jonction pn:

- $C_{sb}$  : capacité de jonction entre la diffusion de source et le substrat,
- $C'_{sb}$  :  $2/3$  de la capacité de la région déplétée sous le canal.

$C_{db}$  : capacité drain-substrat : capacité de jonction variable.

$C_{gb}$  : capacité grille-substrat : généralement faible en saturation =  $0.1 C_{ox}$ .

Le circuit équivalent petits signaux est donné à la figure 1.5.

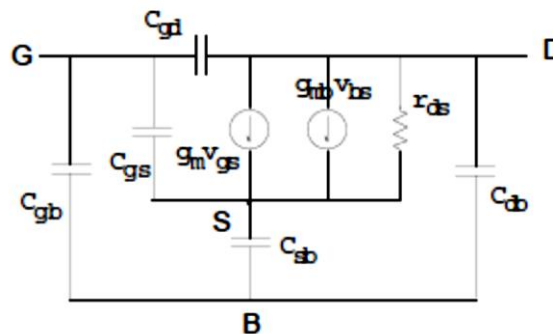


Fig. 1.5 : Modèle petits signaux du transistor MOS[13].

#### 4. Les sources de bruit[14]

Le bruit des composants génère des perturbations qui se superposent au signal utile et ont tendance à masquer son contenu. Si le niveau de bruit est trop important l'information contenue dans le signal utile est inexploitable. Il est donc indispensable de considérer les problématiques de bruit lors de la conception de circuits. Le bruit est quantifié au travers de la densité spectrale de puissance  $S(f)$  intégrée sur une plage de 1Hz en fonction de la fréquence. Il existe 3 types de bruit [15] qui, par ordre d'importance en électronique, sont: le bruit blanc, le bruit en  $1/f$  et le bruit hautes fréquences.

#### 4-1. Le bruit thermique

Ce bruit est de type blanc, et se localise dans les composants ayant une partie résistive. Son origine vient de l'agitation thermique liée aux chocs subits entre les porteurs dans le conducteur qui constitue une variation aléatoire du courant et de la tension [15]. Il est aussi parfois appelé Bruit Johnson [16] ou bruit de Nyquist [17].

Dans le transistor MOSFET deux sources de bruit thermique principales sont considérées : une liée au canal de conduction, l'autre à la résistance de grille. Les résistances d'accès de drain et de source génèrent également du bruit thermique mais leur influence est négligeable.

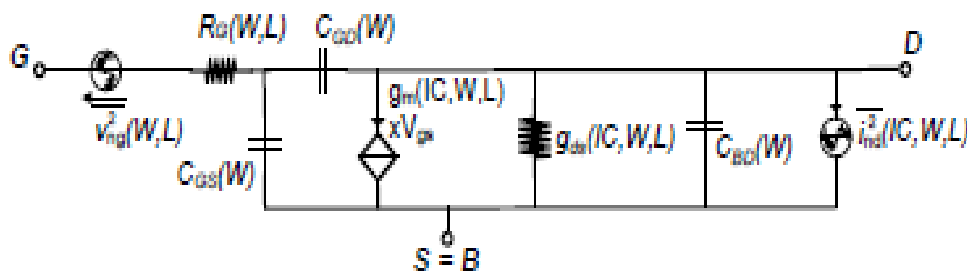


Figure I-6 Modèle petits signaux du transistor MOS avec ses sources de bruit thermique

#### 4-2. Le bruit 1/f (flicker noise)

Le bruit en 1/f est provoqué par trois sources principales. La première provient de la fluctuation du nombre de porteurs durant l'inversion de charge provoquée par les piègeages des porteurs à l'interface entre le silicium(Si) et l'oxyde (SiO<sub>2</sub>). Cette équation dépend du courant de drain (ID), de la densité des porteurs à l'équilibre (n<sub>0</sub>), de la variance de la fluctuation de densité des porteurs et d'une constante de temps qui dépend de l'effet tunnel du transistor (τ). La seconde source de bruit provient de la fluctuation de mobilité des porteurs à cause de la nature granulométrique de certains matériaux [14]. Ces fluctuations de mobilité se situent dans les résistances et le canal du MOSFET[15].

La troisième source vient de la contribution des résistances de drain et de la source du transistor.

### 4-3. Bruit de grenaille

Le bruit dit "de grenaille" ("shot noise") est dû à la nature discrète du flux d'électrons. A tout courant continu  $I$  se superpose des charges individuelles de propagation aléatoire. W. Schottky a montré que la variance du bruit de grenaille est directement proportionnelle à la valeur moyenne du courant  $I$ . Cependant, lorsque le nombre de porteurs est élevé et que leur vitesse est faible, les interactions qui existent entre les charges ont tendance à réduire le caractère aléatoire de la propagation, et donc l'amplitude de ce bruit.

Dans le canal d'un transistor MOS, la densité de charge est généralement élevée et le champ électrique faible. Le bruit induit par le déplacement aléatoire de porteurs est donc mieux décrit par l'expression du bruit thermique.

### 5. Amplificateur de transconductance OTA de type MOS

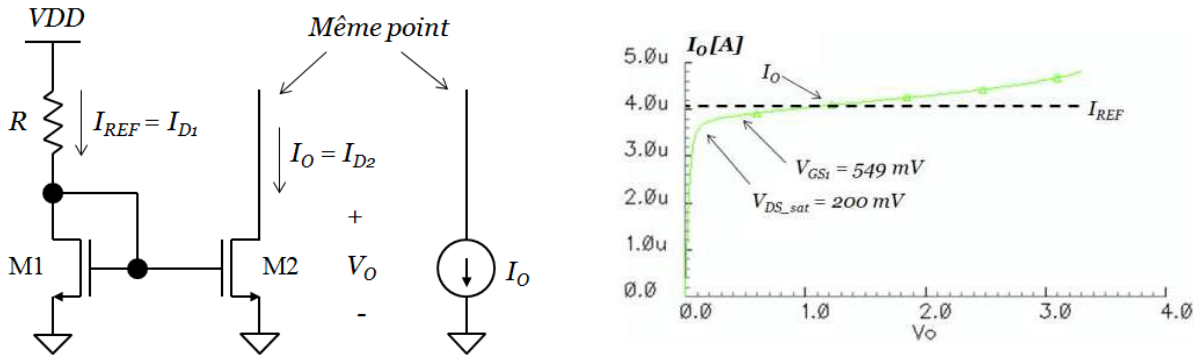
L'amplificateur opérationnel (op.arnp.) est un bloc fondamental pour un grand nombre de circuits électroniques de base. Malgré qu'il soit lui-même composé d'un certain nombre de transistors, l'opamp, est habituellement considéré comme un élément connu sous le nom op-amp. idéal. La possibilité de le considérer comme un élément idéal simplifie beaucoup son utilisation dans des circuits plus complexes, tels que les amplificateurs, les filtres et les convertisseurs de données[16].

L'amplificateur Opérationnel de Transconductance, appelé OTA ou cellule de transconductance  $G_m$ , avec comme entrée la tension et comme sortie le courant, réalise un processus de conversion tension courant qui permet d'obtenir une transconductance. Ainsi, plusieurs architectures d'OTA ont été proposées afin de répondre aux exigences de diverses applications. On distingue plusieurs grandes classes d'architecture d'OTA[17]: OTA avec sortie simple et OTA avec multiple sorties, ainsi que des OTAs avec plusieurs entrées et plusieurs sorties. Ces différentes classes sont obtenues en ajoutant quelques améliorations sur les OTAs à sortie simple.

**5-1. Les miroirs de courant[18]**

**5-1-1. Le miroir de base**

Le miroir de base est composé de 2 transistors MOS M1 et M2:



*figure I-7 : Le miroir de courant de base NMOS associé à son modèle idéal (à gauche). Tracé de sortie du miroir (à droite) avec des W/L de 10/0.7 [18].*

La résistance R sert de référence de courant et de polarisation du miroir. Nous remarquons que  $V_{GS1} = V_{GS2} = V_{DS1}$ . En négligeant la modulation de la longueur du canal ( $\lambda = 0$ ), le rapport des courants de chaque noeud donne :

$$\frac{I_0}{I_{REF}} = \frac{W_2/L_2}{W_1/L_1} \tag{1 - 16}$$

$I_0$  est la copie de  $I_{REF}$  au rapport des dimensions des transistors.

Le premier défaut de cette structure provient de la résistance R qui sert à régler le courant de polarisation. Elle entraîne des courants qui sont trop dépendants de la valeur d'alimentation et de la température. En effet, le courant de sortie dépend à la fois du courant de référence  $I_{REF}$  et de  $V_{DS2}(\lambda)$  qui vont être sensibles aux variations d'alimentation et au bruit.

Le deuxième défaut provient de l'utilisation d'un seul MOS en sortie qui donne une impédance de sortie  $R_0 = r_{ds2}$  assez faible et provoque donc une grande variation de pente  $I_0/V_0$ .

Si nous pouvions maintenir la tension drain-source des MOS constante, alors le courant ne varierait pas et l'incertitude sur la polarisation serait moindre.

### 5-1-2. Source de polarisation indépendante

Afin de rendre le courant de polarisation  $I_{REF}$  indépendant vis-à-vis des valeurs d'alimentation et de la température, nous allons utiliser le circuit de la figure I-7 qui est capable de remplacer la résistance de polarisation  $R$ .

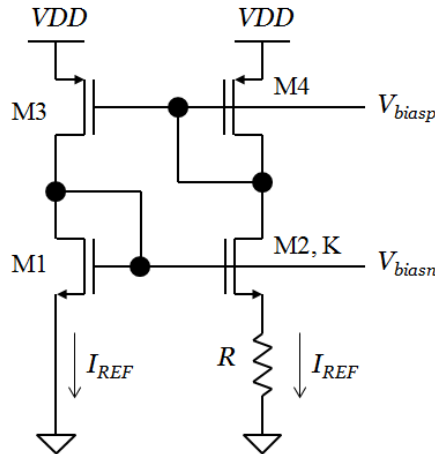


figure I-8 Source de polarisation indépendante

partons de:

$$V_{GS1} = V_{GS2} + RI_{REF} \text{ avec } V_{GS} = \sqrt{\frac{2I_D}{\beta}} + V_{THN} \quad (1-17)$$

on peut montrer que:

$$I_{REF} = \frac{2}{R^2 K_{p-n} \frac{W_1}{L_1}} \left(1 - \frac{1}{\sqrt{K}}\right)^2 \text{ et } V_{DS\_sat} = V_{GS} - V_{TH\_n} = \frac{2}{RK_{p-n} \frac{W_1}{L_1}} \left(1 - \frac{1}{\sqrt{K}}\right) \quad (1-18)$$

Dans ces formules, nous voyons que  $I_{REF}$  et  $V_{DSsat}$  sont indépendants de  $V_{DD}$ .  $g_m$  est constant quel que soit la valeur de  $K$  :

$$g_m = \sqrt{2K_{p-n} \frac{W_1}{L_1} I_{REF}} = \frac{1}{R} \quad (1-19)$$

Ce paramètre est indépendant des variations de process du MOS. Aussi, la résistance R utilisée est beaucoup plus faible que celle utilisée dans le miroir classique.

**5-1-3. Le miroir cascode**

Pour améliorer l'impédance de sortie R0 d'un miroir, le principe est de cascoder le miroir de courant basique avec deux transistors M3 et M4.

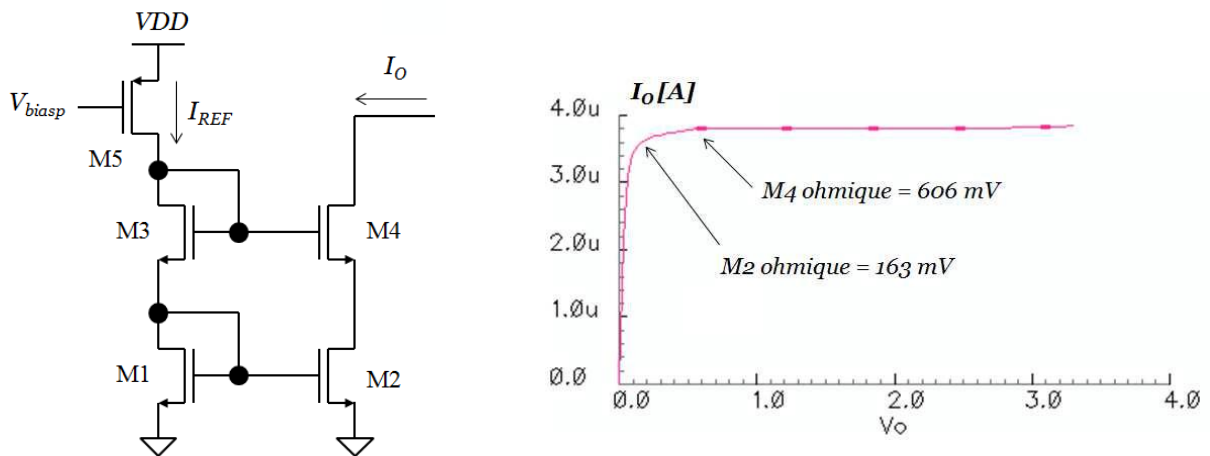


figure I-9 : Le miroir de courant cascodé NMOS [18].

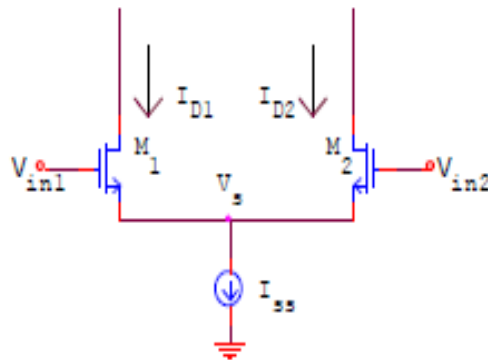
Dans ce type de montage l'impédance de sortie R0 est exprimée par :

$$R_0 = (1 + g_{m4}r_{ds2})r_{ds4} + r_{ds2} = (2 + g_m r_0)r_0 \approx g_m r_0^2 \tag{1-20}$$

avec  $r_0 = r_{ds2} = r_{ds4}$  dans le cas où l'on utilise les mêmes transistors. Cette structure permet alors d'atteindre des valeurs de R0 de l'ordre de plusieurs dizaines de MΩ.

## 5-2. La pair différentielle[19]

La première classe des cellules différentielles est réalisée par la paire des transistors MOS M1 et M2 du type N représentée par la figure 1.10 [20]. Cette paire de sources couplées est polarisée par une source de courant  $I_{SS}$ . Les deux tensions d'entrées  $V_{in1}$  et  $V_{in2}$  peuvent être appliquées sur les grilles de M1 et M2, où les transistors M1 et M2 ont la même caractéristique. Le rôle de cette cellule est de convertir la tension d'entrée  $V_{in}$  en un courant  $I_{D1}$  et  $I_{D2}$ .



*figure I-10 : la cellule différentielle MOS [19]*

Les courants  $I_{D1}$  et  $I_{D2}$  sont donnés par les équations:

$$I_{D1} = \beta \cdot (V_{in1} - V_S - V_T)^2 \quad (1-21a)$$

$$I_{D2} = \beta \cdot (V_{in2} - V_S - V_T)^2 \quad (1-21b)$$

En combinant (1.21a) et (1.21b), on trouve :

$$V_{in1} - V_{in2} = \sqrt{\frac{I_{D1}}{\beta}} - \sqrt{\frac{I_{D2}}{\beta}} \quad (1-22)$$

La somme des courants sur le noeud des sources des deux transistors est donnée par la formule suivante :

$$I_{D1} + I_{D2} = I_{SS} \tag{1-23}$$

En combinant les équations (I.22) et (I.23), on obtient l'expression des courants drain des deux transistors, où  $\Delta V = V_{in1} - V_{in2}$ :

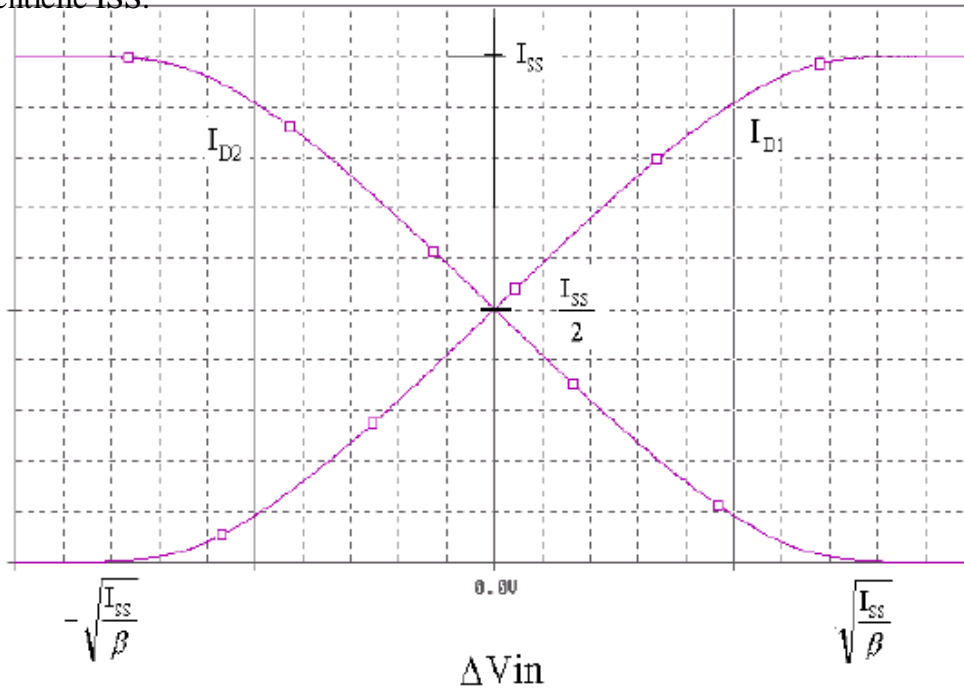
$$I_{D1} = \frac{I_{SS}}{2} + \beta \Delta V \sqrt{\frac{I_{SS}}{2\beta} - \left(\frac{\Delta V}{2}\right)^2} \tag{1-24a}$$

$$I_{D2} = \frac{I_{SS}}{2} - \beta \Delta V \sqrt{\frac{I_{SS}}{2\beta} - \left(\frac{\Delta V}{2}\right)^2} \tag{1-24b}$$

D'après les équations (I.24a) et (I.24b), on trouve les régions de saturations et de blocage de chaque transistor.

$$\begin{cases} V_{in1} > V_{in2} \\ \Delta V \geq \sqrt{\frac{I_{SS}}{\beta}} \end{cases} \Rightarrow \begin{array}{l} \text{le transistor } M_1 \text{ est saturé, et le transistor} \\ M_2 \text{ est bloqué alors on a: } I_{D1} = I_{SS} \end{array}$$

La figure 1.11 explique ces équations pour les courants de sortie en fonction de la tension d'entrée [21]. Ces courants de sortie sont limités par le courant de contrôle de la cellule différentielle ISS.

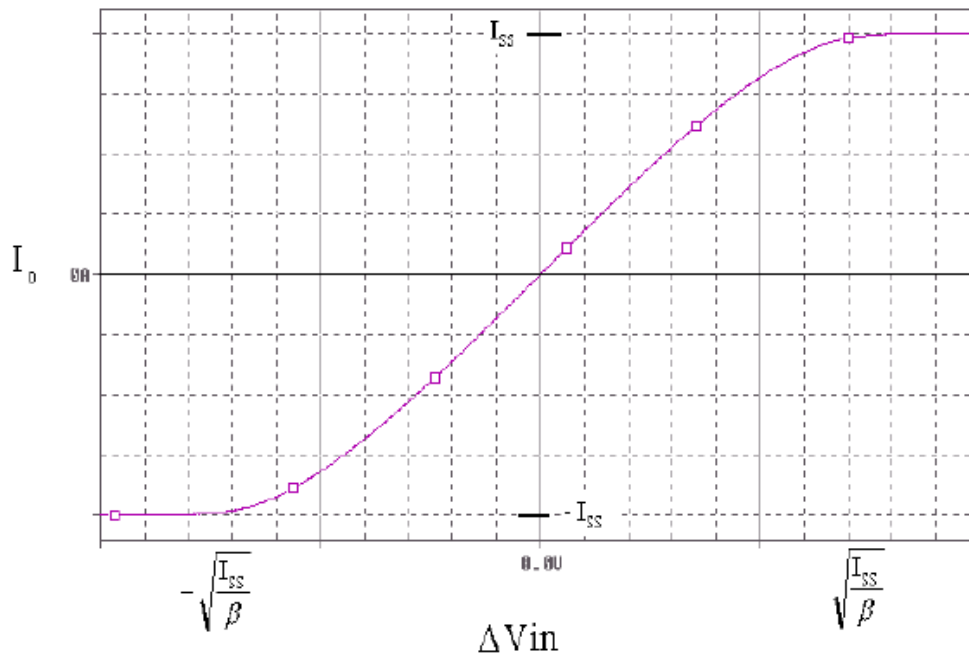


**Figure 1.11 : Les courant drain de sortie de la paire de sources couplées en fonction de la tension d'entrée  $\Delta V$ .**

Le courant de sortie est donné par la différence des courants drain tel que:

$$I_o = I_{D1} - I_{D2} = \begin{cases} \Delta V \sqrt{2I_{SS}\beta} \sqrt{1 - \frac{\beta}{2I_{SS}} \Delta V^2} & \text{pour } |\Delta V| \leq \sqrt{\frac{I_{SS}}{\beta}} \\ I_{SS} \text{sign}(\Delta V) & \text{pour } |\Delta V| > \sqrt{\frac{I_{SS}}{\beta}} \end{cases} \quad (1-25)$$

Cette équation est représentée par la figure (1.3)



**Fig : I .12 La différence entre les courants de sortie de paire de source couplées en fonction de la variation de la tension d'entrée  $\Delta V$ .**

### 5-3. Amplificateur Opérationnel OTA CMOS[22]

L'amplificateur opérationnel OP-AMP est un bloc fondamental dans la conception des circuits intégrés analogiques et mixtes, L'amplificateur opérationnel à transconductance OTA est fondamentalement un OP-AMP sans buffer de sortie, L'OTA sans buffer utilisé seulement avec les charges capacitifs.

### 5-3-1. Les caractéristique de OTA

Idéalement, un OP-AMP a un gain différentiel en tension infini, une impédance d'entrée l'infinie, et une impédance de sortie nulle, en réalité, un OP-AMP est caractérisé par:

- ✓ Le gain de tension en boucle ouverte, pour des op-amps réel, des valeurs finies et typiques pour de basses fréquences est  $A=10^3$  à  $10^5$ , correspondant à 60 au 100 dB.
- ✓ La tension d'offset, pour un OP-AMP idéal, si  $V_+=V_-$ ,  $v_{off}=0$ , dans les dispositifs réel, la tension d'offset  $V_{off} \neq 0$ , se produira à la sortie pour les entrées sont court-circuitées, puisque  $v_{off}$  est directement proportionnel au gain, pour MOS OP-AMP,  $V_{off}$  est en général entre  $\pm 2$  à 10mv.
- ✓ le CMRR est défini comme  $AD/AC$ , les valeurs typiques de CMRR pour des amplificateurs CMOS sont dans l'intervalle 80 à 140 dB, le CMRR mesure combien l'OP-AMP peut diminuer le bruit, et par conséquent un grand CMRR est une condition important dans la conception des les OP-AMPs.
- ✓ Largeur de bande, la largeur de bande au gain unité, la fréquence  $f_0$  à laquelle  $A(f) = 1$ , pour CMOS OP-AMP,  $f_0$  est habituellement dans la gamme 1 à 100 Mhz
- ✓ Le temps de propagation, la sortie suivra le signal d'entrée, le rapport du changement maximum  $dv/dt$  s'appelle les temps de propagation, il n'est pas directement lié à la réponse en fréquence, pour CMOS OP-AMP, les valeurs typique de temps de propagation peut être obtenu entre 1 à 20 ns.
- ✓ L'impédance de sortie non nulle, pour CMOS OP-AMP réel, l'impédance de sortie non nulle, elle est habituellement dans la gamme de 0,1 à 5K pour OP-AMP avec un buffer.
- ✓ le bruit, les transistors MOS produit du bruit, qui peut être décrit en termes de source courante équivalente parallèlement au canal du dispositif, La source d'entrée de bruit équivalente est habituellement d'ordre du 10 à 50  $\mu V$ , contrairement pour les OPAMPS bipolaires au 3 à 5 $\mu V$ .
- ✓ On peut définir PSRR le rapport de gain différentiel sur le gain de bruit d'alimentation qui provoqué le signal de sortie, PSRR habituellement dans la gamme de 60 à 150 dB.
- ✓ La dissipation d'énergie, les valeurs typiques pour les CMOS OP-AMPs de 0,25 à 10mw. [23]

### 5-3-2. les différentes configuration de l'OTA[22]

#### 5-3-2-1. L'OTA à un seul étage

Cette configuration est montrée dans la figure (I.13), C'est la configuration d'OTA la plus simple, sa vitesse peut être très haute. Les inconvénients de cette configuration sont que le gain est plus bas et l'impédance de sortie est relativement basse.

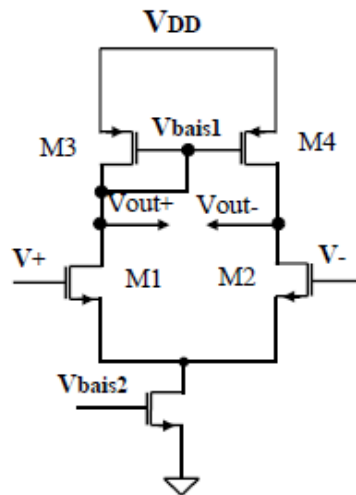


Figure I.13 L'OTA à un seul étage

#### 5-3-2-2. L'OTA à deux étages

En ajoutant un autre étage à l'OTA simple étage pour obtenir un amplificateur à deux étages comme montre en la figure (I.14). Cette modification augmente le gain et l'impédance de sortie et le système devient plus complexe. La complexité réduite la vitesse de l'OTA, le circuit de compensation (RC, Cc) est également incluse pour assurer la stabilité de système

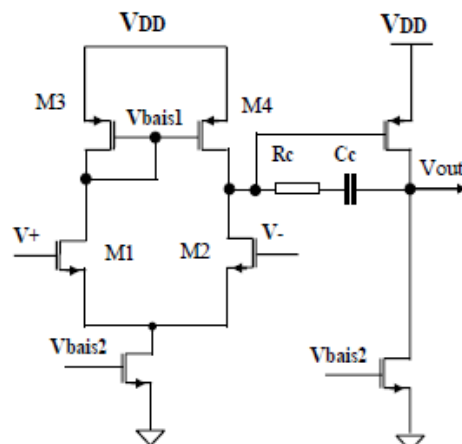


Figure I.14 L'OTA à un deux étages

### 5-3-2-3. L'OTA Télescopique cascode

Cette configuration est montrée sur le schéma (I.15). La raison pour laquelle le gain de l'OTA en une seule étage est basse que l'impédance de sortie est basse. Pour augmenter l'impédance de sortie on a ajouté quelques transistors en cascode à l'étage de sortie.

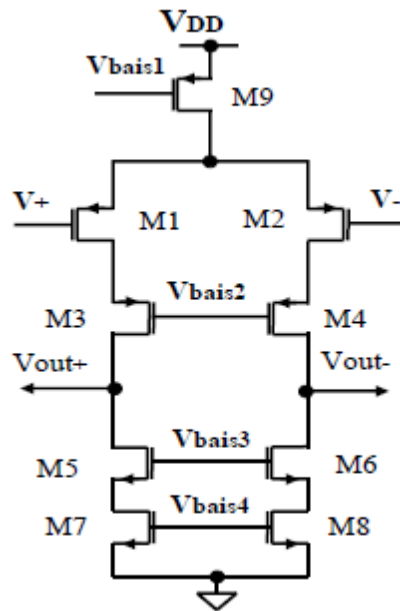


Figure I.15 L'OTA Télescopique cascode

### 5-3-2-4. L'OTA Cascode Régulé

Cette configuration est montrée sur le schéma (I.16). La configuration Cascode réglé peut être employée pour augmenter plus le gain en tension sans rendement décroissant oscillation de tension. [23] L'inconvénient de cette configuration est que ces amplificateurs supplémentaires pourraient réduire la vitesse de l'amplificateur global. Par conséquent, ils devraient être conçus pour avoir une grande largeur de bande passante.

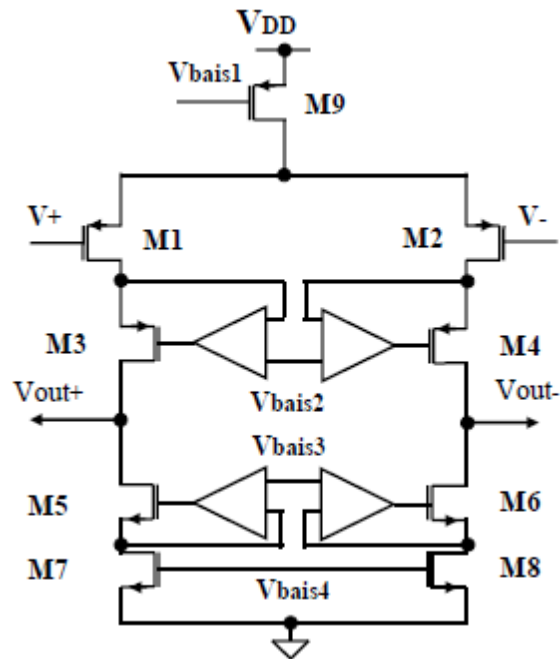


Figure I.16 L'OTA Cascode Régulé

## 6.conclusion

Au cours du présent chapitre, on a présenté une revue de principale architecture de l'OTA . on a commencer par la présentation de la technologie MOS, avec une étude détaillée de la cellule de base de cette technologie qui est le transistor MOS, où on a vu son architecture ainsi que ses différents régimes de fonctionnement. dans un deuxième temps les différents bloc compositeurs des amplificateurs opérationnel CMOS notamment l'amplificateur OTA ont été passer en revue. ce chapitre est terminé par la présentation des différentes configurations des amplificateurs OTA.

# *Chapitre 2*

## **LES FILTRES À CAPACITÉS COMMUTÉES**

## 1. Introduction

Les précisions absolues des composants passifs (R et C) sont, de manière générale, faibles. Ceci a pour conséquence une faible précision des réponses harmoniques des filtres RC. Lorsque les exigences sur les performances sont élevées, la faisabilité de ces filtres n'est pas plus garantie. L'implantation de filtres performants en terme de précision est possible en utilisant la technique des capacités commutées, Cette technique est facilement réalisable avec la technologie standard CMOS. les filtres à capacités commutées se présentent sous forme de circuits intégrés classique, l'avantage de tels filtres est leur forte intégrabilité. on peut de plus contrôler la fréquence de coupure de ces filtres en modifiant la fréquence d'une horloge.

## 2. les commutateurs analogique MOS[25]

Le commutateur analogique est un petit composant très répandu dans le monde de l'électronique intégrée. Les structures en tension à capacités commutées requièrent des commutateurs analogiques performants et ce d'autant plus que la plage en tension admissible est grande et que la tension d'alimentation est faible. Aussi, il est nécessaire, dans un premier temps, d'étudier leurs caractéristiques intrinsèques afin de cerner les limitations inhérentes à la topologie du transistor MOS pour pouvoir ensuite aborder la description de méthodes permettant d'améliorer leurs performances.

La figure II.1 présente le plus simple de commutateurs analogique réalisé en technologie NMOS. Il est composé d'un transistor fonctionnant en commutateur et d'une capacité. Son principe de fonctionnement peut être décomposé comme suit pour un transistor NMOS :

- ✓ Lorsque l'horloge est à l'état Haut le transistor NMOS devient passant ce qui permet de charger ou décharger la capacité. Dans cette phase, la sortie suit la valeur du signal d'entrée tant que le transistor reste en zone ohmique.
- ✓ Lorsque l'horloge passe à l'état Bas , le transistor NMOS isole la capacité du signal d'entrée, ce qui permet de fixer la valeur à un instant donné grâce aux charges conservées dans la capacité isolée.

Ainsi, ce commutateur doit être caractérisé par une conductance minimale admissible permettant au système de charger la capacité de stockage en une durée donnée compatible avec la précision demandée. Le commutateur doit, alors, être dimensionné de façon à respecter le cahier de charge du concepteur en termes de dynamique et de précision souhaitée. L'équation (II.1) traduit la relation qui existe entre la conductance du commutateur, sa taille et sa tension de commande tout en tenant compte de l'effet substrat:

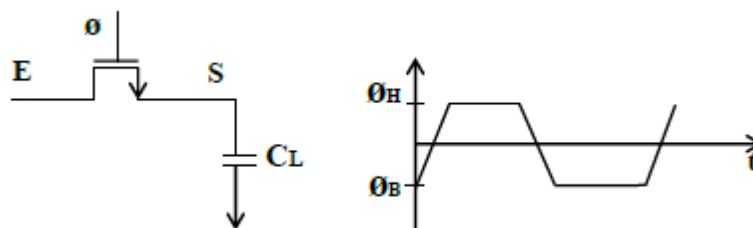


fig (II-1): Circuit commutateur de base en technologie NMOS

$$g_{on} = U_n C_{OX} \frac{W}{L} (V_{GS} - V_{TH0} - \gamma(\sqrt{2\phi_F + V_{in}} - \sqrt{2\phi_F}) - V_{DS}) \quad (2-1)$$

Avec VGS la tension grille-source, VDS la tension drain-source, VTH la tension de seuil du transistor, ( $\gamma$ ) le paramètre d'effet substrat. Ainsi, pour augmenter la conductance du commutateur, il faut augmenter la largeur W du transistor, diminuer sa longueur de canal et utiliser une forte valeur de tension de commande. Il est à noter que l'effet substrat diminue la conductance du commutateur d'autant plus que la différence de potentiel entre le signal d'entrée et le substrat est grande. Ceci met en évidence la dépendance non-linéaire de la conductance du commutateur avec l'amplitude de la tension du signal d'entrée. En outre, ce type de commutateur analogique ne permet pas de balayer la totalité de la dynamique du signal d'entrée à cause de la tension de seuil non nulle.

En effet, la conductance du transistor diminue considérablement avec l'augmentation de la valeur du signal d'entrée et de son rapprochement de (VDS-VTH ). C'est ce qui est illustré par la figure.II.2(a) et (b). Cet aspect est d'autant plus critique que le rapport tension de seuil tension d'alimentation est faible.

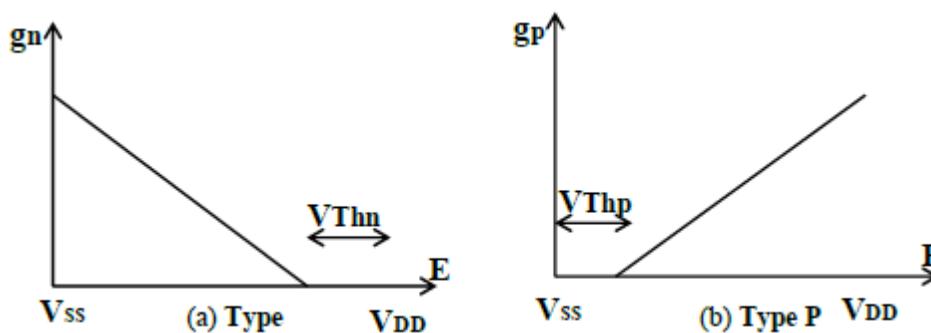


figure.II.2 Tracé de la conductance du commutateur analogique

### 2.1. Le phénomène d'injection de charges [26]

Considérons le commutateur représenté Figure II.3 : Lorsque le transistor est passant, des charges circulent dans le canal. Puis, quand l'horloge passe de l'état haut à l'état bas, les charges présentes dans ce canal vont être réparties entre l'entrée (elles sont généralement absorbées par la source, et ne créent pas d'erreur), le substrat, et la capacité de sortie  $C_H$ , donnant ainsi naissance à une tension d'erreur  $\Delta V$ .

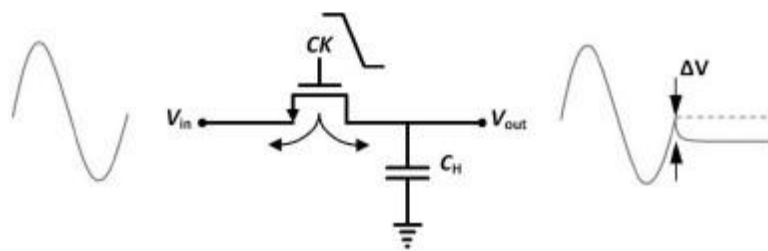


Figure II.3 : Représentation de l'injection de charges lorsque l'on éteint l'interrupteur [27]

La quantité de charges présente dans le canal lors du fonctionnement peut s'exprimer ainsi :

$$Q_{eh} = WLC_{ox}(V_{gz} - V_{TH}) = WLC_{ox}(V_{DD} - V_{in} - V_{TH}) \quad (2-2)$$

Dans le pire cas, l'intégralité des charges sera accumulée sur  $C_H$ , auquel cas :

$$\Delta V = \frac{WLC_{ox}(V_{DD} - V_{in} - V_{TH})}{C_H} \quad (2-3)$$

### 2.2. Le phénomène de clock-feedthrough [26]

En plus de l'injection de charges, les capacités de recouvrement entre la grille et le drain d'une part et entre la grille et la source d'autre part vont coupler le signal d'horloge à la capacité d'échantillonnage (Figure II-4).

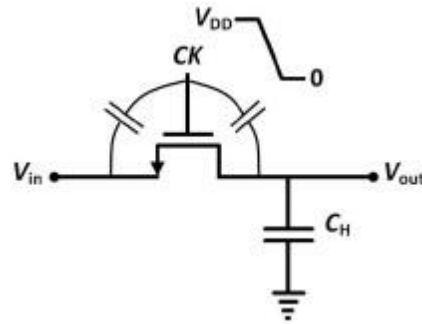


Figure II.4 : Clock-feedthrough dans un circuit d'échantillonnage [27]

En admettant que la capacité de recouvrement  $C_r$  est constante, la tension d'erreur est alors :

$$\Delta V = -V_{DD} \frac{C_r}{C_r + C_H} \quad (2-4)$$

### 2.3. Amélioration des performances d'un interrupteur analogique

Comme nous l'avons vu, un commutateur constitué uniquement d'un transistor NMOS présente de nombreux inconvénients : variation importante de la résistance d'accès sur la plage d'entrée, elle-même limitée (utilisation rail to rail proscrite), injection de charges du canal et couplage capacitif de l'horloge. Afin de limiter ces effets, de nombreuses méthodes existent: L'utilisation de « dummy » ou transistor fantôme, Le Bottom-plate sampling et La porte de transmission (ou porte CMOS)[27].

### 3. Modèles compact du commutateur analogique[28]

À la fin des années 60, la demande croissante de circuits intégrés complexes coïncidant avec l'augmentation de la puissance de calcul des ordinateurs a conduit au développement du logiciel de simulation SPICE (Simulation Program with Integrated Circuit Emphasis) par l'université Berkeley, en Californie. Proposé comme alternative à l'approche traditionnelle de conception basée sur la réalisation matérielle de circuits électroniques, SPICE est rapidement adopté comme standard de simulation dans l'industrie des circuits intégrés.

### 3.1. Première génération

La première génération de modèles (Level 1, 2 et 3) décrit les transistors à partir de paramètres physiques très simples mais décrit mal les dépendances géométriques et rencontre des problèmes de convergences [29].

### 3.2. Deuxième génération

La seconde génération (BSIM, HSPICE Level 28 et BSIM2) apporte des solutions aux problèmes rencontrés avec la première en introduisant de nombreux paramètres électriques<sup>1</sup> et des fonctions de conditionnement mathématique afin de décliner les effets liés aux transistors de petite taille. Contrairement à la première génération où les paramètres sont considérés comme des singletons, la seconde génération considère chaque paramètre comme un triplet [29].

### 3.2. Troisième génération

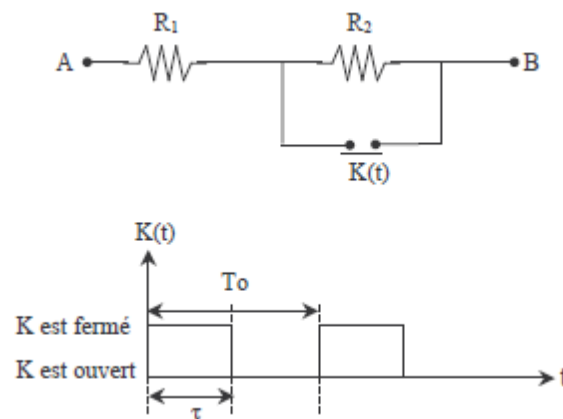
Le nombre important de paramètres et le caractère essentiellement empirique des modèles de seconde génération sont sources de nombreux problèmes, tels que la possibilité d'obtention d'une conductance de sortie négative ou la difficulté de à déterminer la caractéristique courant-tension des dispositifs submicroniques [29]. La troisième génération tente de résoudre ces problèmes en réintroduisant les liens physiques des paramètres et en restreignant l'utilisation des expressions polynomiales. dans la troisième génération on trouve: **BSIM3**, **BSIM4** et **MM9**.

#### 4. Les composants commutés

ce sont des composants dynamique dont la réalisation a été rendue possible grâce aux performances des transistors MOS en commutation.

##### 4.1. Résistances commutées[30]

Dans un premier temps, nous allons étudier le comportement d'une résistance commutée, considérons pour cela le circuit indiqué (Figure II-5).



*Figure II-5. circuit à résistance commutée*

L'interrupteur K de la figure 2.1 est réalisé en pratique à l'aide un transistor MOS, et il est activé périodiquement, supposons qu'il est fermé pendant une portion t de la période  $T_0$ . Dans ces conditions, appliquons entre A et B une tension V pendant la durée t où K est fermé, alors le courant circulant entre les deux bornes vaut :

$$I = \frac{V}{R_1} \quad (2-5)$$

et la quantité de charge transmise s'exprime ainsi :

$$dq_1 = \frac{V}{R_1} \tau \quad (2-6)$$

Pendant la durée restante de la période  $T_0$  où l'interrupteur K est ouvert le courant devient égal à :

$$I = \frac{V}{R_1 + R_2} \quad (2-7)$$

et la charge transmise  $dq_2$  suit l'expression :

$$dq_2 = \frac{V}{(R_1 + R_2)} (T_0 - \tau) \quad (2-8)$$

Il vient que lors d'une période complète, la charge totale s'écrit :

$$dq_T = VT_0 \left( \frac{\tau}{R_1} + \frac{T_0 - \tau}{R_1 + R_2} \right) \quad (2-9)$$

La même quantité de charge, avec une résistance unique R connectée entre A et B pendant la même durée s'exprime par :

$$dq_T = \frac{VT_0}{R} \quad (2-10)$$

Par conséquent, ceci équivaldrait à prendre une résistance unique R égale à :

$$R = \frac{1}{\left( \frac{\tau/T_0}{R_1} + \frac{1 - (\tau/T_0)}{R_1 + R_2} \right)} \quad (2-11)$$

les signaux appliqués entre A et B ont une fréquence toujours inférieure à la moitié de la fréquence de commutation de K, on peut montrer (théorème d'échantillonnage) que le comportement est le même qu'avec une résistance R fixe. L'intérêt d'un tel montage consiste en la possibilité de modifier à volonté cette résistance équivalente R en agissant sur le rapport cyclique du signal de commande de l'interrupteur K.

4.2. Capacités commutées[28]

De même que pour les résistances commutées, en 1972 David Fried a montré que, sous certaines conditions [30][31], il y a équivalence entre une capacité commutée et une résistance (figure II.6).

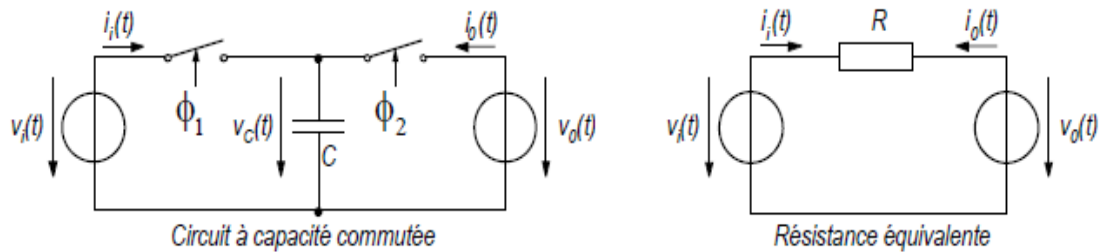


figure II.6 Résistance équivalente de la commutation parallèle d'un condensateur

Le circuit à capacité commutée représenté par la Figure 8-6 (a) est constitué de deux sources de tension  $V_i$  et  $V_0$ , de deux commutateurs analogiques SW1 et SW2 commandé par les deux signaux d'horloge  $\phi_1$  et  $\phi_2$  et d'un condensateur C. Les commutateurs sont ouverts lorsque leur commande se trouve à l'état 0 et fermé pour l'état 1. Le non recouvrement des signaux d'horloges impose la condition qu'ils ne sont jamais à l'état 1 simultanément. Par conséquent la largeur des impulsions des horloges est légèrement inférieure à leur demi période  $T_S/2$ .

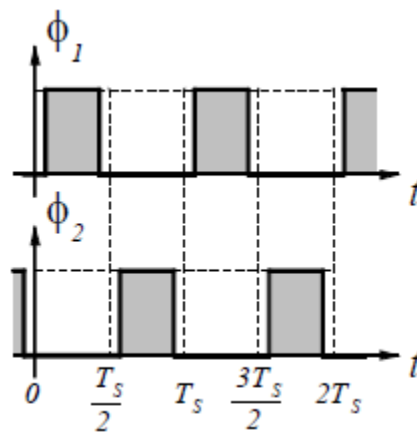


figure II.7 Forme typique des deux phases sans recouvrement des horloges

En faisant l'hypothèse que les amplitudes de sorties des sources de tension  $v_i(t)$  et  $v_0(t)$  ne changent que très peu durant une période d'horloge  $T_S$ , on peut admettre que ces deux amplitudes sont constantes sur un intervalle de temps  $T_S$ . Le courant moyen dans la source de tension  $V_i$  est donné par la relation :

$$I_i = \frac{1}{T_S} \int_0^{T_S} i_i(t) dt \quad (2-12)$$

Le courant  $i_i(t)$  ne circule que durant l'intervalle de temps  $0 < t < T_S/2$ , on peut modifier la relation précédente comme suit:

$$I_i = \frac{1}{T_S} \int_0^{T_S/2} i_i(t) dt \quad (2-13)$$

La relation entre charge et courant permet encore d'écrire

$$i_i(t) = \frac{\partial q_i(t)}{\partial t} \quad (2-14)$$

Et par conséquent

$$I_i = \frac{1}{T_S} \int_0^{T_S/2} i_i(t) dt = \frac{1}{T_S} \int_0^{T_S/2} dq_i = \frac{q_i(T_S/2) - q_i(0)}{T_S} \quad (2-15)$$

Sachant que la charge dans un condensateur est proportionnelle à la capacité et à la tension à ses bornes, on a

$$q_C(t) = C v_C(t) \quad (2-16)$$

A l'aide des relations 8-14 et 8-15 on a finalement

$$I_i = C \frac{v_C(T_S/2) - v_C(0)}{T_S} = C \frac{v_i(T_S/2) - v_0(0)}{T_S} \quad (2-17)$$

Sachant que, selon l'hypothèse faite plus haut,  $v_i(t)$  et  $v_0(t)$  sont approximativement constants sur une période d'horloge  $T_S$ , on peut encore écrire les deux relations suivantes :

$$v_i(0) \cong v_i\left(\frac{T_S}{2}\right) \cong v_i(T_S) \cong V_i \quad (2-18a)$$

$$v_0(0) \cong v_0\left(\frac{T_S}{2}\right) \cong v_0(T_S) \cong V_0 \quad (2-18b)$$

Considérer les amplitudes  $v_i(t)$  et  $v_0(t)$  constant sur une période d'horloge  $T_S$  revient à limiter la fréquence de ces sources à une valeur très inférieure à la fréquence d'horloge  $F$ . En tenant compte des approximations 8-17 et 8-18 et de la relation 8-16 on peut écrire

$$I_i = C \frac{V_i - V_0}{T_S} = \frac{V_i - V_0}{\frac{T_S}{C}} \quad (2-19)$$

En observant la Figure 8-6 (b), le courant moyen s'exprime par la loi d'ohm

$$I_i = \frac{V_i - V_0}{R} \quad (2-20)$$

On trouve donc ici une équivalence entre les deux circuits sous la forme

$$R = \frac{T_S}{C} \quad (2-21)$$

La relation 8-21 montre que le circuit à capacité commutée de type parallèle est équivalent à une résistance si les variations des amplitudes  $v_i(t)$  et  $v_0(t)$  des sources de tension  $V_i$  et  $V_0$  sont négligeables sur une période d'horloge  $T_S$ .

Il est à noter que le circuit à capacité commutée de type parallèle permettant l'émulation d'une résistance est un réseau à trois terminaisons alors que la résistance, sans connexion avec la masse ne contient que deux terminaisons.

La Figure 8-8 montre trois circuits à capacité commutée pouvant émuler une résistance. Le premier (a) est appelé circuit à capacité commutée de type série, le second (b) circuit à capacité commutée de type série-parallèle et le troisième (c) circuit à capacité commutée de

type bilinéaire. A noter que les circuits séries et bilinéaire ne comportent, comme la résistance, que deux terminaisons. La résistance équivalente du circuit série est identique à celle du circuit parallèle.

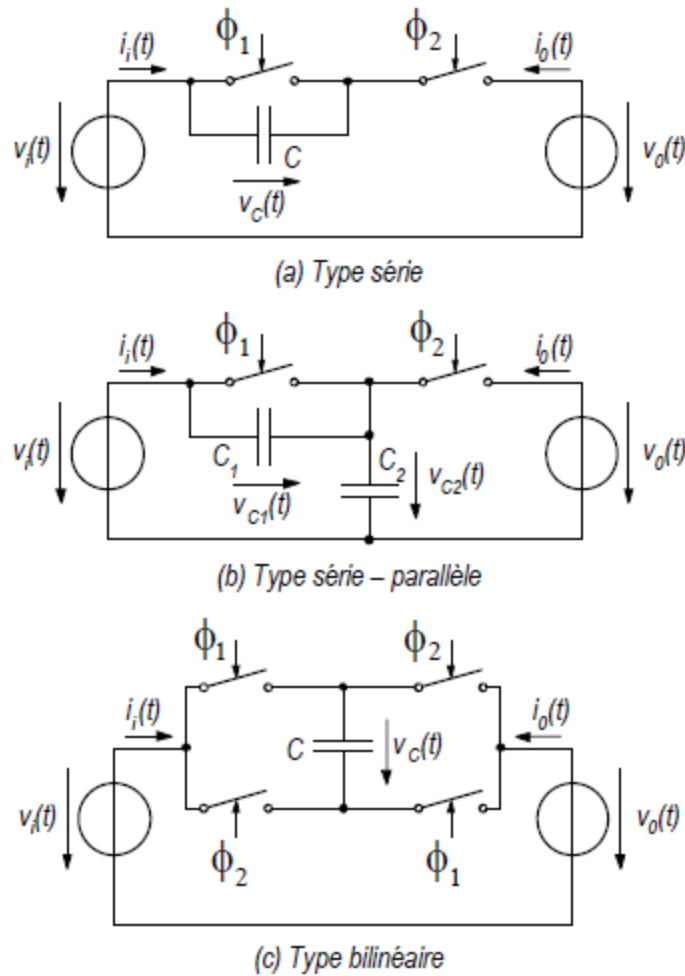


figure II.8 Circuits à capacités commutées émulant une résistance[1]

5. Exemple d'application à un filtrage passe-bas

Le principe de commutation appliqué à un filtre passe-bas du premier ordre à capacités commutées est illustré sur la figure II.9. Les commutateurs et les condensateurs sont considérés comme parfaits. Les signaux d'horloges paire (P) et impaire (I), commandant respectivement les commutateurs pair (P) et impair (I), ont une période  $T_0$  et sont décalés de  $T_0/2$ .

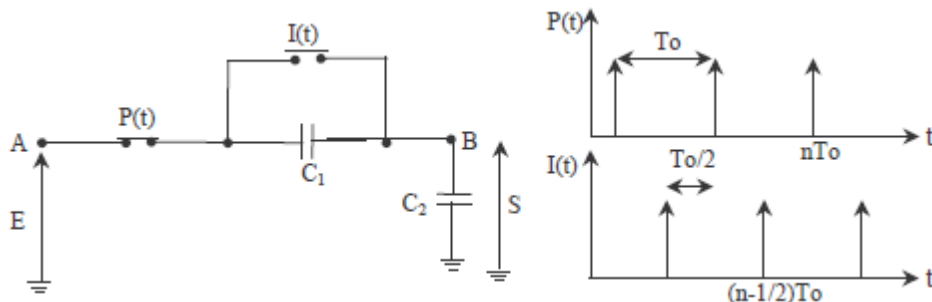


figure II.8 Passe-bas du premier ordre et signaux de commande[30]

Ces conditions font qu'à chaque phase (paire ou impaire) correspond un transfert de charges instantané.

On peut montrer que l'expression de la fonction de transfert est la suivante :

$$\frac{S^*(f)}{E(f)} = \frac{1}{1 + j \frac{2\pi f C_2}{F_0 C_1}} \text{ avec la condition } \frac{f}{F_0} < 1 \quad (2-22)$$

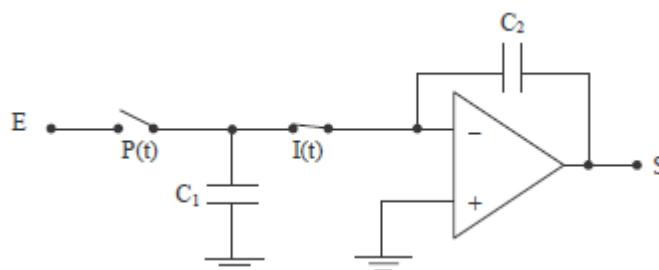
Cette fonction de transfert correspond à celle d'un filtre RC passe-bas de premier ordre, pour laquelle il existe une équivalence entre une résistance R1 et le rapport  $1/(C_1 F_0)$ .

## 6. Filtres actifs à capacités commutées

Les filtres à capacités commutées sont des filtres à temps discrets, ils sont habituellement formés par des amplificateurs opérationnels et des capacités commutées pour remplacer les résistances dans les filtres RC actifs. Il existe deux approches pour le design des filtres à capacités commutées. La première utilise le couplage d'intégrateurs, la seconde propose la mise en cascade de filtre du 1er et du 2ème ordre[1].

### 6.1. intégrateur à capacités commutées[30]

l'élément de base des filtres à capacités commutées est le montage intégrateur (figure II-9). Cela à condition que les commutateurs P(t) et I(t) soient commandés en opposition de phase et que la capacité C1 soit bien commutée entre deux sources de tension.



*figure II.9 schéma d'un integrateur a capacités commutées[30]*



MHz). Cependant, pour les hautes fréquences ces structures de filtres présentent un inconvénient majeur dû aux amplificateurs opérationnels qui deviennent difficiles à réaliser du fait des nombreuses imperfections qui apparaissent lorsque la fréquence augmente (diminution du gain, impédance d'entrée non infinie, présence de capacités parasites...).

**6.2. Filtre a capacités commutées du 1<sup>er</sup> ordre**

La Figure II-11 montre la structure d'un filtre à capacités commutées du 1er ordre non inverseur.

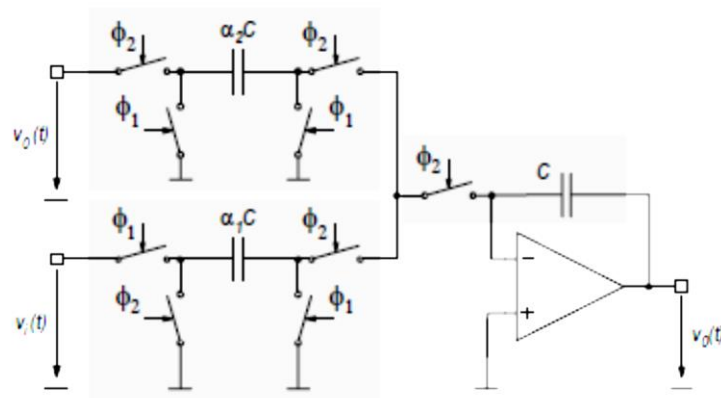


figure II.11. filtre passe bas a capacités commutées[28]

La Figure II-11 permet de mettre en évidence trois structures[1]. La première correspond à une transrésistance négative, la seconde à une résistance positive et la troisième à une structure série.

A partir des considérations précédentes, on peut dessiner le schéma structurel de la Figure II-12.

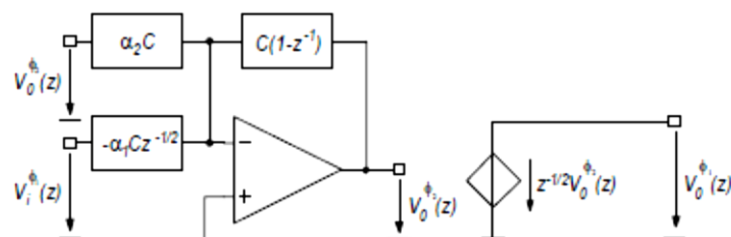


figure II.12. schéma structurel du filtre.

A partir du schéma structurel, La fonction de transfert compte tenu des phases  $\phi_1$  et  $\phi_2$  de l'horloge est donnée:

$$H_0^{\phi_2\phi_1}(z) = \frac{\alpha_1}{1+\alpha_2} \frac{z^{1/2}}{z - \frac{1}{1+\alpha_2}} \tag{2-25}$$

### 6.3. architectures des filtres en peigne

La structure de base est représentée sur la figure II-13 .

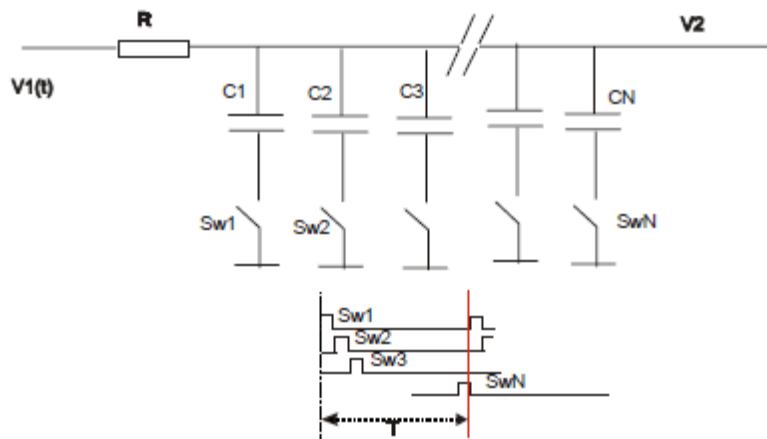
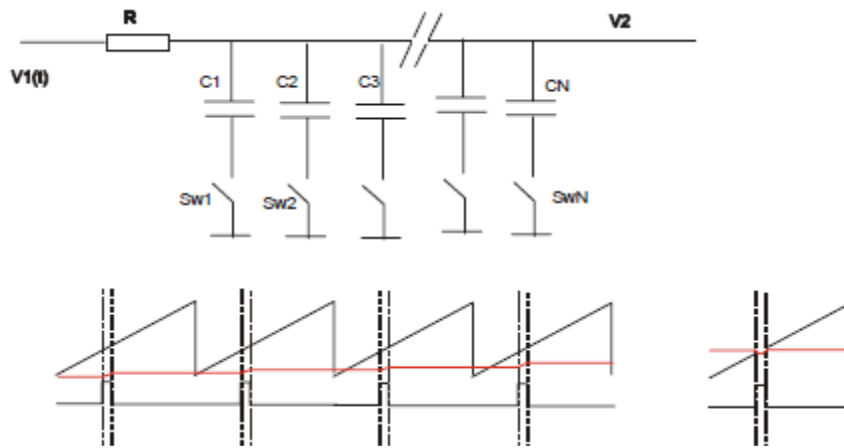


figure II.13 structure de base d'un filtre a peigne[31].

Chaque condensateur peut être relié ou non à la masse grâce à des commutateurs commandés de type MOS. A chaque instant un seul commutateur est fermé, la tension aux bornes du condensateur correspondant constitue la tension v2. Les commutateurs sont fermés l'un après l'autre , chacun d'entre eux est fermé pendant une fraction T/N de la période , T étant la période de récurrence et N le nombre de condensateurs.

Supposons d'abord que la tension V1 soit continue. Chaque condensateur se charge donc jusqu'à une tension maximale V1 , mais comme il ne reçoit un courant que pendant 1/N du temps la constante de temps apparente est NRC .

Si maintenant V1 est une tension périodique de période T , chacun des interrupteurs est fermé à une position fixe au cours de la période et au bout de quelques NRC chaque condensateur atteint une tension qui est la valeur moyenne du signal pendant cet intervalle. La figure II-14 montre l'évolution de la tension aux bornes de l'un des condensateurs et la limite atteinte dans le cas d'un signal V1 triangulaire.



*figure II.14 charge progressive d'un condensateur[31]*

Si le signal  $V_1$  n'a pas exactement la période  $T$  mais  $T' \neq T$  la situation est plus complexe, la fenêtre de charge de l'un des condensateurs glisse le long de la période. La tension observée aux bornes de chaque condensateur est un battement de période  $T' - T$  et dont l'amplitude dépend de l'écart de fréquence. Le calcul complet est possible, il montre que le spectre du signal  $V_2$  est le produit du spectre du signal  $V_1$  échantillonné avec la période  $T/N$  (c'est à dire une périodisation du spectre de  $V_1$  avec la période  $N/T$ ), multiplié par la fonction de transfert du filtre RC, périodisée avec la Si le signal d'entrée est de forme quelconque mais périodique de période  $T$ , son spectre est formé de raies distantes de  $1/T$ , or la périodisation de la fonction de transfert du RC donne des pics qui sont précisément centrés sur ces mêmes fréquences. L'ensemble se comporte comme un filtre qui ne laisse passer que les harmoniques du signal et les fréquences très proches de ces harmoniques. Cette technique permet de réaliser des filtres passe bande extrêmement étroits, impossibles à obtenir par d'autres méthodes[31].

### conclusion

dans ce chapitre les techniques des capacités commutées ont été décrite, nous avons commencer par, des rappels sur les techniques de commutation, les intégrateurs à capacités commutées brique de base des filtres, et les architectures des filtres à capacités commutées.

# *Chapitre 3*

## **RÉSULTATS DE SIMULATION DE FILTRES À CAPACITÉS COMMUTÉES À BASE D'UN OTA**

## 1. Introduction

Un amplificateur opérationnel CMOS OTA se compose d'un circuit de polarisation, d'un étage différentiel et d'un étage de gain en tension.

le filtre à capacités commutées est un circuit analogique non invariant, et son analyse, en tant que filtre, n'est pas évidente. Pour la gamme de fréquences où l'amplificateur opérationnel fonctionne encore de façon satisfaisante, il n'est possible, en technologie MOS, de réaliser des produits RC suffisamment précis et grands. Par contre, dans le cas des filtres à capacités commutées, les produits RC sont fixés par des rapports de capacités et la période des commutateurs. Ainsi, même un filtre de degré relativement élevé devient un circuit intégré de dimensions très réduites, qui consomme peu de puissance et dont la fiabilité et le prix sont potentiellement plus favorable que ceux du filtre LC et RC-actif. Le but du présent chapitre est d'étudier par simulation les filtres actifs à capacités commutées CMOS. Nous commençons ce chapitre par la simulation de l'AOP de type OTA, la brique de base des filtres actifs, après notre simulation va s'étendre sur quelques topologies de filtres.

## 2. Etude et simulation d'un amplificateur opérationnel OTA à deux étages

### 2.1 Schéma électrique

La figure III.1 montre le schéma électrique de l'amplificateur OTA CMOS étudié [32]:

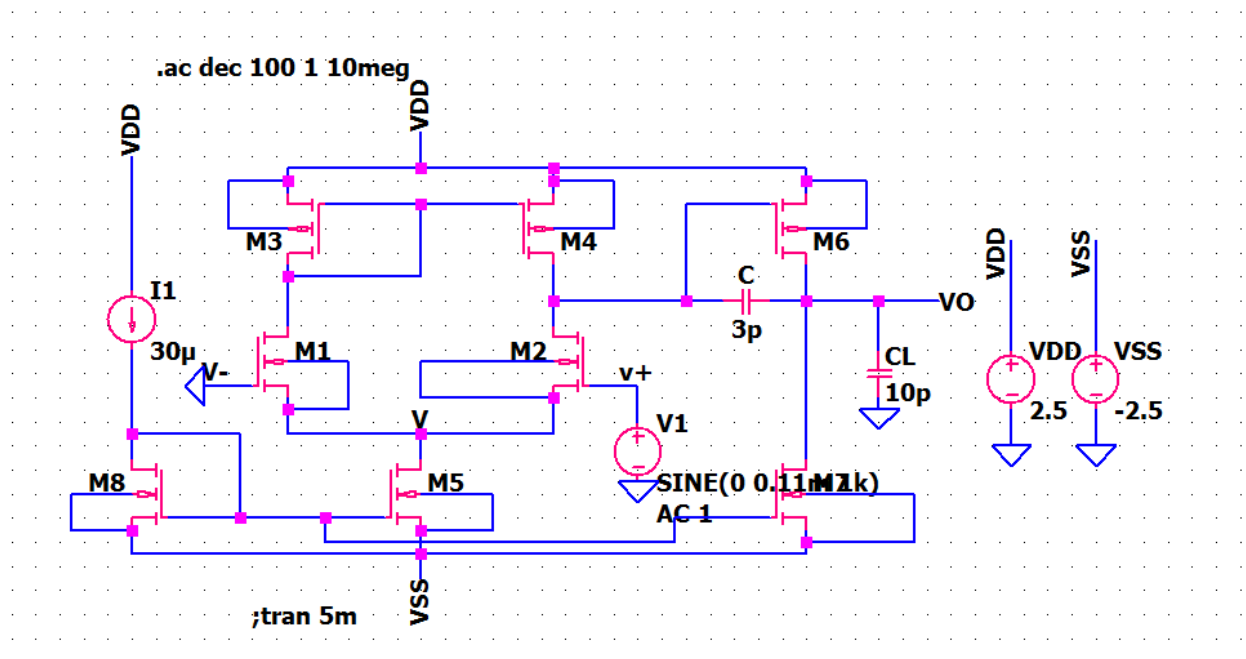


Figure III.1. L'amplificateur OTA étudié

L'amplificateur OTA de Miller est un amplificateur opérationnel à deux étage ; il est composé de:

La cellule différentielle de type NMOS (M1 et M2), est une cellule simple qui permet de convertir les tensions d'entrée  $V_-$  et  $V_+$  en un courant à la sortie.

un miroir de courant composé de deux transistors de type NMOS (M5 et M8), Pour ne pas affecter les tensions de grille-source des transistors M1 et M2.

un miroir de courant de type PMOS composé des transistors (M3 et M4), qui permet d'avoir un courant de sortie qui est la différence entre les courants  $I_{D4}$  et  $I_{D2}$ .

L'OTA à deux étage de Miller est obtenu en complétant l'OTA simple par un étage à source commune (M7 et M6), et par une capacité de contre réaction visant à compenser l'amplificateur en fréquence.

### 2.2. étapes de la conception

La conception de l'amplificateur OTA consiste à dimensionner les 8 transistors constituant. La conception suit les étapes suivantes[33]:

- 1 : calcul de la valeur de capacité  $C_c$  pour une phase donnée.
- 2 : calcul du courant  $I_5$  d'après la relation de slew rate et la compensation de capacité  $C_c$ .
- 3: Calcul des dimensions du transistor M3 à travers ICMR.
- 4 : calcul de la transconductance du transistor M1 selon le gain de la bande passante GBW
- 5: Calcul des dimensions du transistor M1.
- 6: Calcul de la tension de saturation  $V_{DS}$  du transistor M5 à travers ICMR.
- 7 : calcul des dimensions du transistor M5 à partir  $V_{DS5}$ .
- 8: Calcul de transconductance  $g_{m6}$  du transistor M6 à partir de  $g_{m1}$
- 9 : Calcul des dimensions du transistor M6.
- 10 : Calcul du courant statique  $I_6$  du transistor M6.

11:calcul des dimensions de transistor M7 à partir de la dimension de M6 et de courant I6, I5.

12 : calcul des dimensions de transistor M8 à partir des dimensions de M5 et de courant

### 3. Résultats de la simulation:

#### 3.1. L'étude statique:

le tableau de dessous montre le fonctionnement statique de notre amplificateur.

Component	Value	Unit
Id (M3) :	-1.03996e-005	device_current
Ig (M3) :	0	device_current
Ib (M3) :	7.55234e-013	device_current
Is (M3) :	1.03996e-005	device_current
Id (M4) :	-1.03996e-005	device_current
Ig (M4) :	0	device_current
Ib (M4) :	7.55234e-013	device_current
Is (M4) :	1.03996e-005	device_current
Id (M8) :	2e-005	device_current
Ig (M8) :	0	device_current
Ib (M8) :	-7.39994e-013	device_current
Is (M8) :	-2e-005	device_current
Id (M5) :	2.07992e-005	device_current
Ig (M5) :	0	device_current
Ib (M5) :	-1.76816e-012	device_current
Is (M5) :	-2.07992e-005	device_current
Id (M1) :	1.03996e-005	device_current
Ig (M1) :	0	device_current
Ib (M1) :	-2.50661e-012	device_current
Is (M1) :	-1.03996e-005	device_current
Id (M2) :	1.03996e-005	device_current
Ig (M2) :	0	device_current
Ib (M2) :	-2.50661e-012	device_current
Is (M2) :	-1.03996e-005	device_current
I (Cm) :	5.83246e-025	device_current
I (Cl) :	4.96765e-024	device_current
I (I1) :	2e-005	device_current
I (V1) :	0	device_current
I (Vss) :	0.00095121	device_current
I (Vdd) :	-0.00095121	device_current

Sur ce tableaux on peut remarquer le courant de polarisation de l'étage différentiel ID (M5) qui est de l'ordre de 20uA, le courant drain de M6 est de l'ordre de -0.9mv.

pour déterminer la puissance dissipée dans l'amplificateur, on fait la somme des courants et les multiplier par le résultat de la somme des alimentations VDD et VSS:

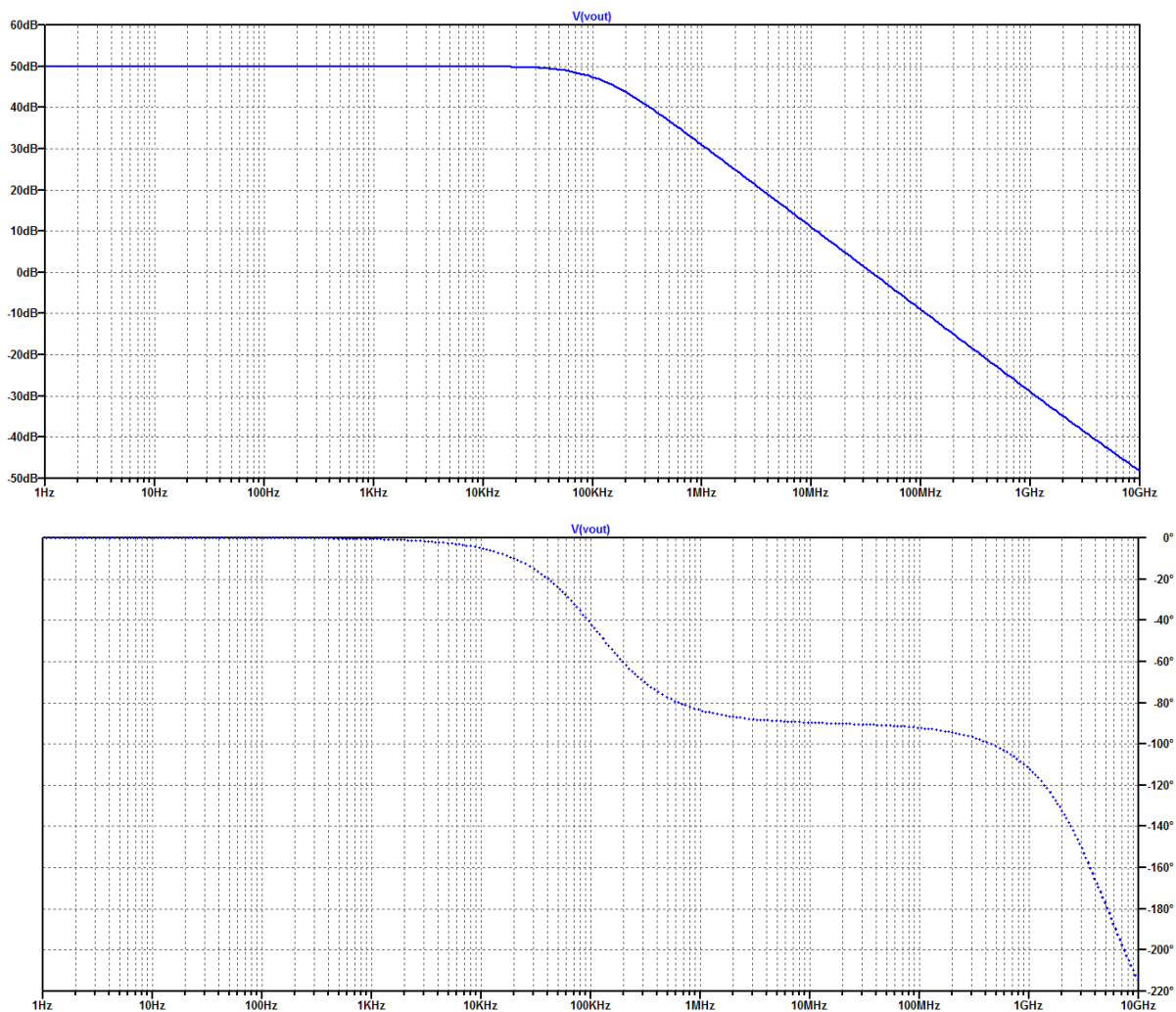
on peut constater d'après le tableau que :  $P = 0.44mw$ .

### 3.2. La réponse en fréquence (étude AC)

La réponse en fréquence de notre amplificateur est donnée sur la figure III.2.

Le but de l'analyse AC est d'examiner le diagramme de bode du gain DC, le diagramme de la phase et de déterminer la bande passante de notre amplificateur (Bandwidth).

pour la compensation de Miller nous avons utilisé la capacité  $C_M = 800\text{fF}$ .



*Figure III.2. La réponse en fréquence : courbe de gain et courbe de phase*

a partir de ces courbes on peut constater que: La bande passante à -3db avoisine les 90.379kh (boucle ouverte) et  $UGB = 36.192\text{ MHz}$ .

### 3.2.1. influence de la capacité CM:

la capacité CM influence fortement la GB (gain bandwidth). sur la figure III.3, on présente la courbe de bode de notre amplificateur pour des valeurs de CM allant de 800fF à 2pF.

on peut remarquer que l'augmentation de CM implique la diminution de la Gain BandWidth, le tableau de dessous regroupe quelques valeurs de CM avec la GB correspondante:

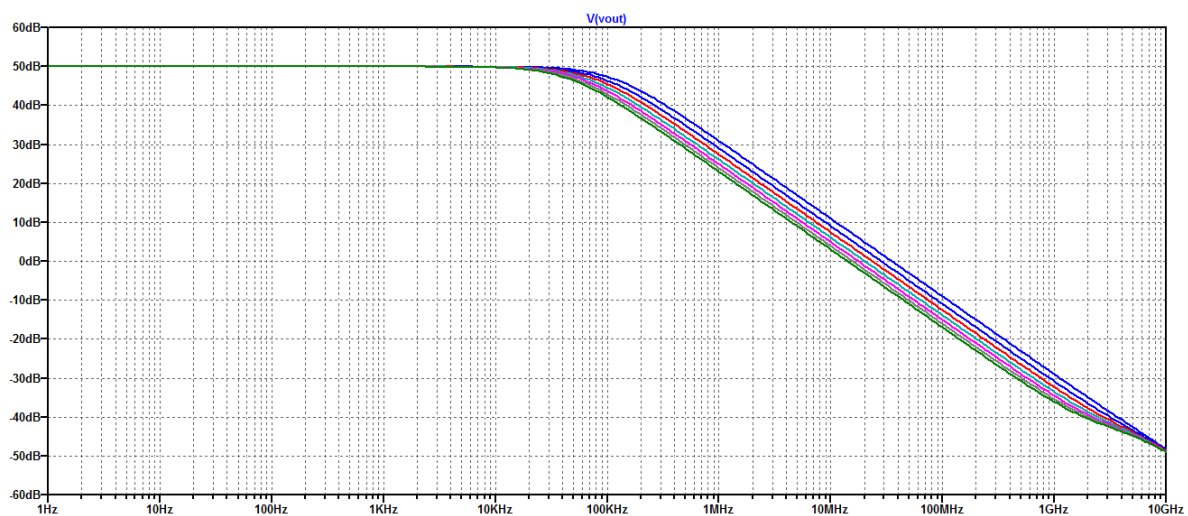


Figure III.3. La réponse en fréquence : influence de CM.

Tableau III.1 la réponse en fréquence : influence de cm

Capacité (pF)	La GBW (Mh)
0.8	39.606
1	30.064
1.5	19.701
2	13.894

### 3.2.2. influence de la température:

sure la figure III.4 on montre la caractéristiques AC de l'amplificateur pour différentes valeurs de la température allant de -20°C à 50°C. on peut remarquer qu'une augmentation de la température de 10°C provoque une diminution du gain de 0.2dB.

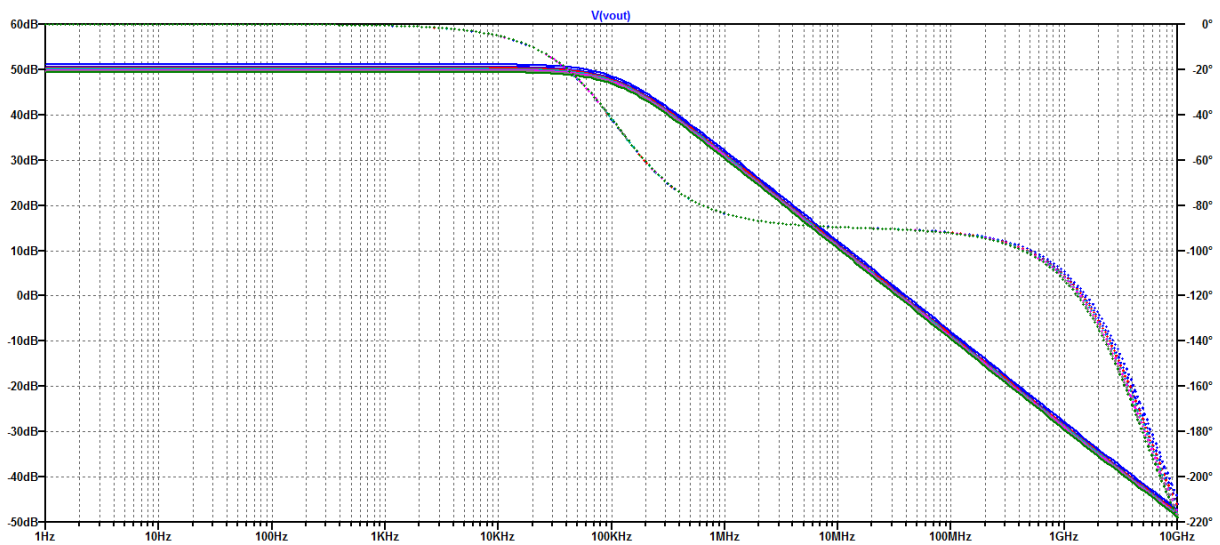


Figure III.4. La réponse en fréquence : influence de la température

### 3.3. Analyse temporelle (transient simulation)

La figure III.5 montre les deux signaux d'entrée différentielle  $V_e(t)$  et de sortie  $V_s(t)$ . pour une tension d'entrée de 5mV, le signal de sortie se remarque écrêté à la tension d'alimentation pour les deux cas: tension  $V_e(t)$  sur l'entrée  $V_{in+}$  et tension  $V_e(t)$  sur l'entrée  $V_{in-}$ .

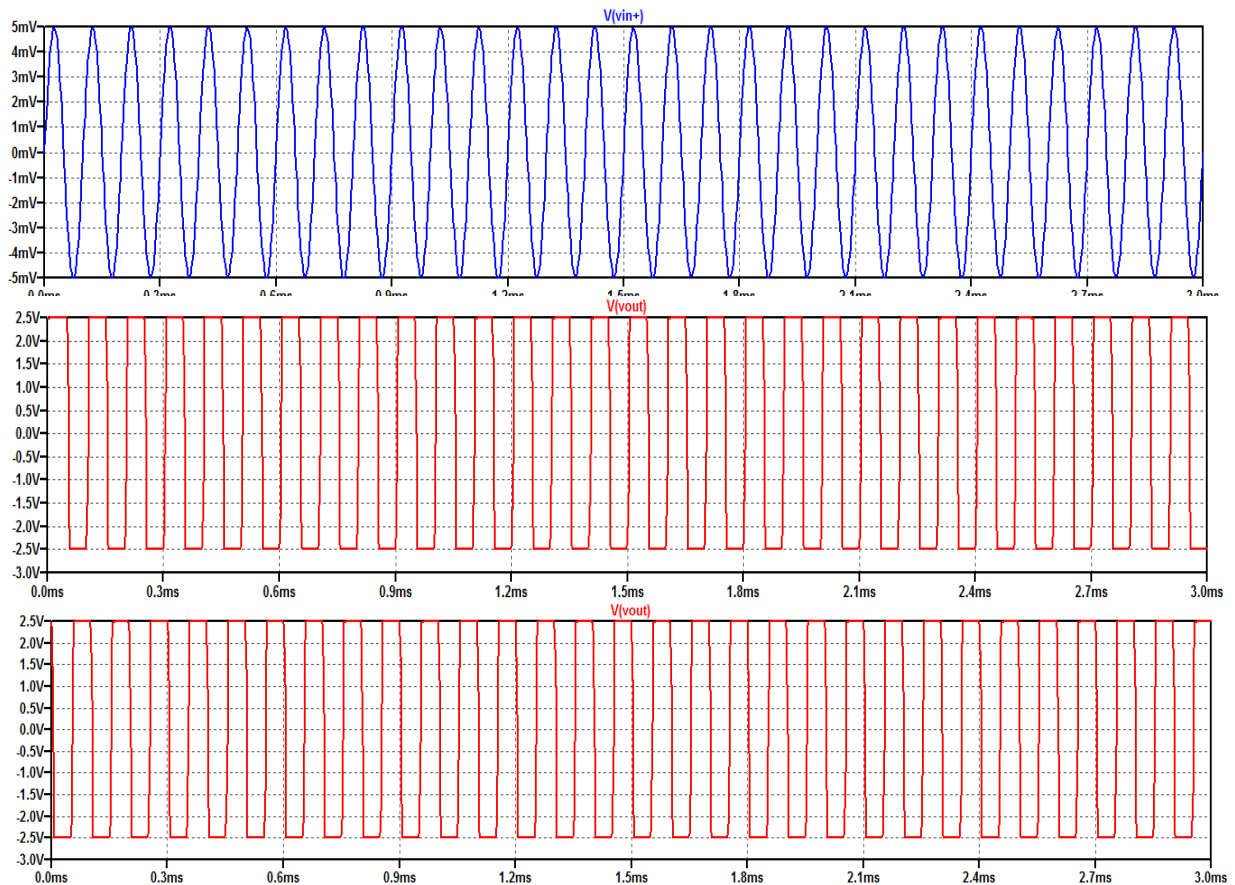


Figure III.5. La réponse temporelle

### 3.4. Test de SlewRate

la simulation suivante est le test du Slew Rate, pour ce test l'amplificateur est mis à la configuration du gain unitaire:

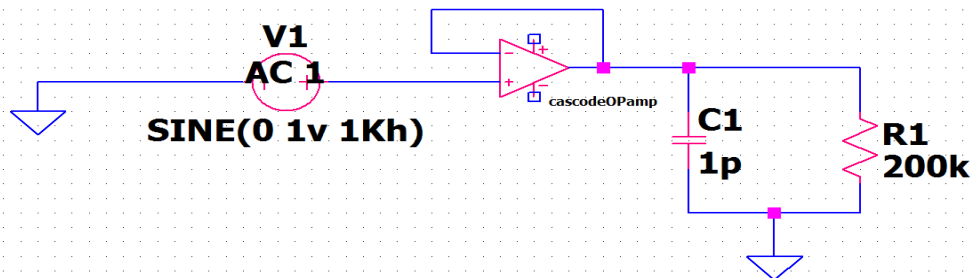


figure III.6. Circuit test du Slew Rate

L'entrée de l'amplificateur est attaquée par une large impulsion carrée.

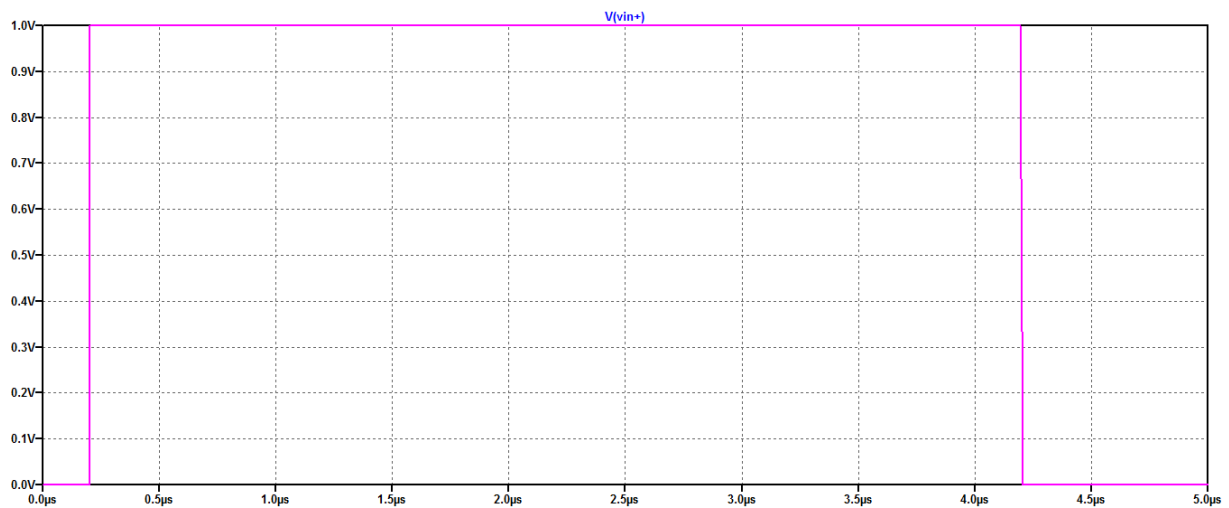
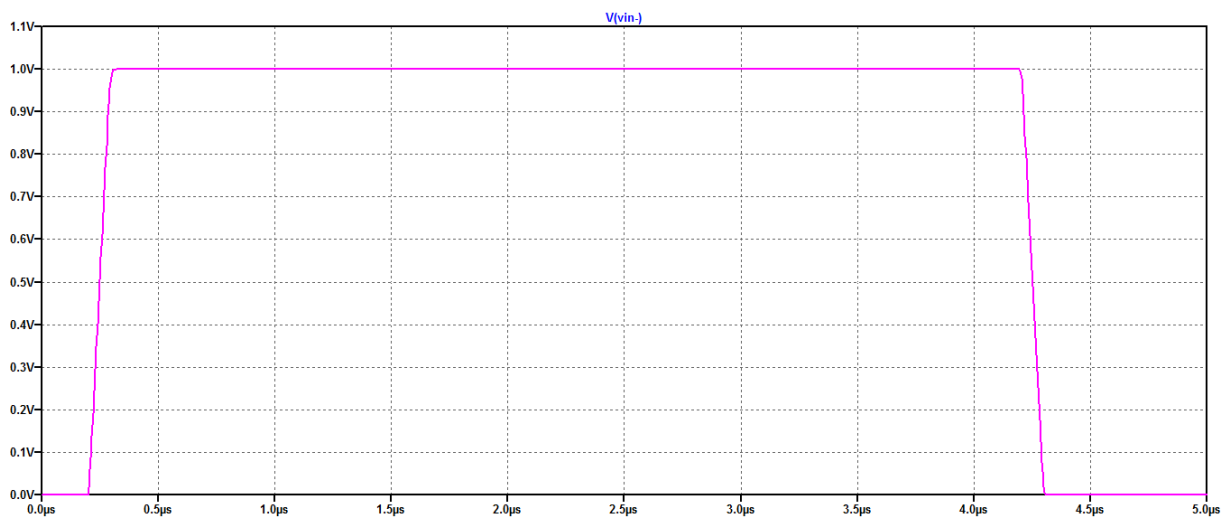


Figure III.7. Fonction échelon à l'entrée



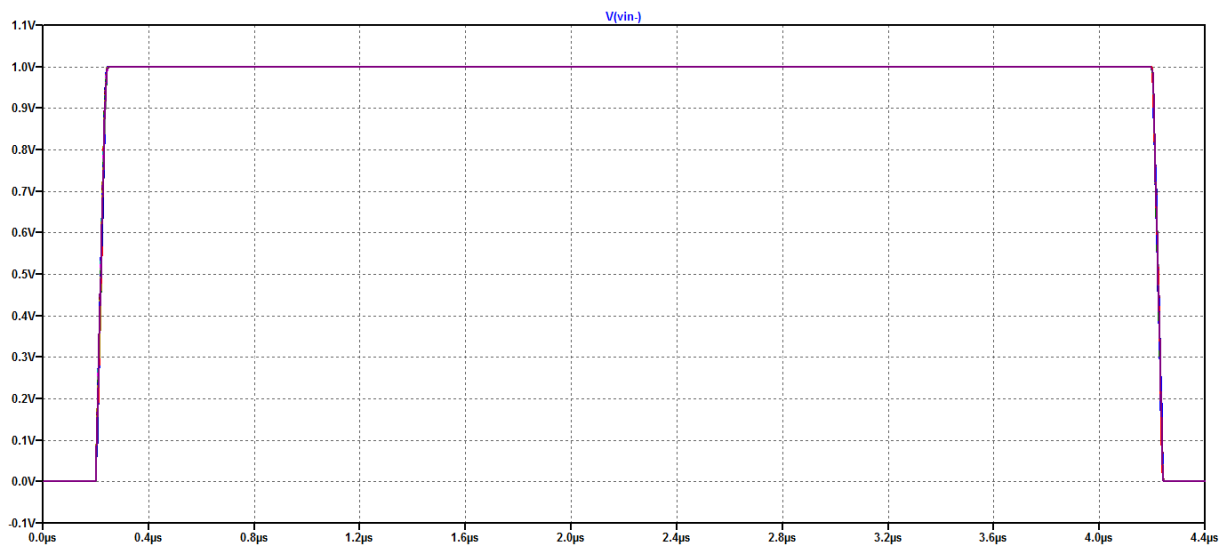
*Figure 3.8. La réponse en sortie*

A partir de ces courbes on peut calculer :

**Temps de montée** : temps de 10% à 90% de la transition.  $T_m = 0.048\mu s$

**Slew Rate** =  $\Delta V/T_m = (0.898-0.1v)/0.048\mu s = 16.625/ \mu s$ .

sur la figure III.9, on montre l'influence de la capacité CL sur le slew Rate:



*Figure III.9. influence de la capacité CL sur le Slew Rate*

On peu remarquer que CL influence très peu sur le Slew Rate.

### 3.5. Test de ICMR (input Common mode range)

la simulation suivante est les test de l'ICMR , l'amplificateur est gardé sur la configuration du gain unitaire. L'entrée est balayée sur l'intervalle de l'alimentation, l'ICMR est le rang des valeurs dans la partie linéaire de la courbe:

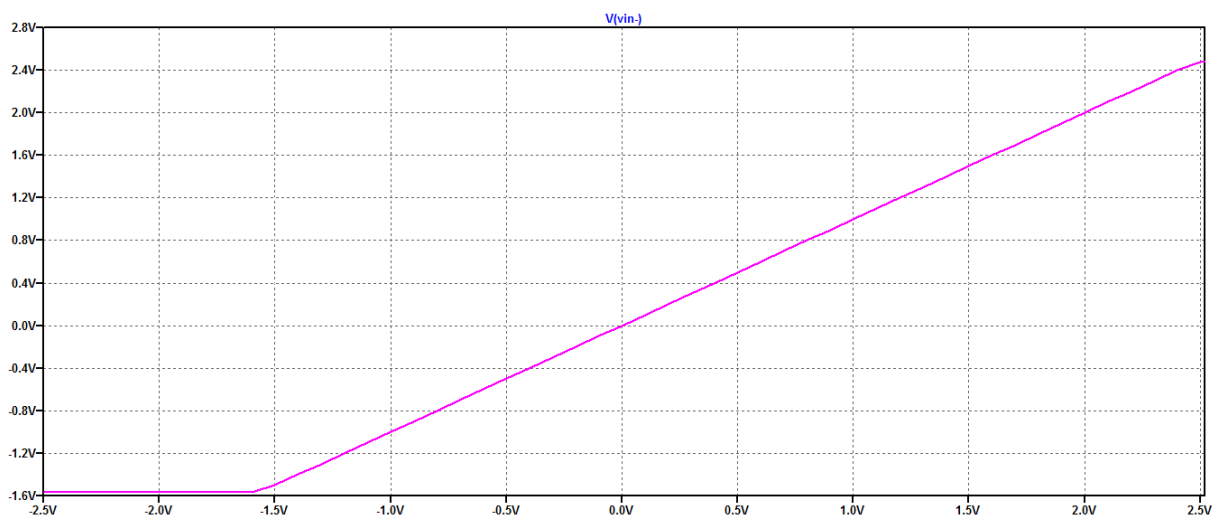


Figure III.10. courbe ICMR

Sur la courbe on peut constater que l'intervalle de l'ICMR est :  $-1.599V \rightarrow 2.5V$

### 3.6. le PSRR

dans les spécifications des amplificateurs opérationnels, le PSRR est défini comme le rapport entre la variation de la tension d'alimentation à la tension d'entrée équivalente (différentielle) qu'il produit dans l'AOP souvent en décibel. le PSRR pour chaque tension d'alimentation peut être spécifié séparément , on a donc le PSRR+ et le PSRR-.

Pour le circuit test du PSRR, on utilise deux sources continues Vdc, une source comme VDD et une comme GND. on met d'abord VDD à une tension alternative AC ( pas GND) et voir la sortie Vs dans une analyse AC pour avoir le PSRR+ , mettre GND à une tension alternative (pas VDD) et voir par la suite Vs pour avoir le PSRR-.

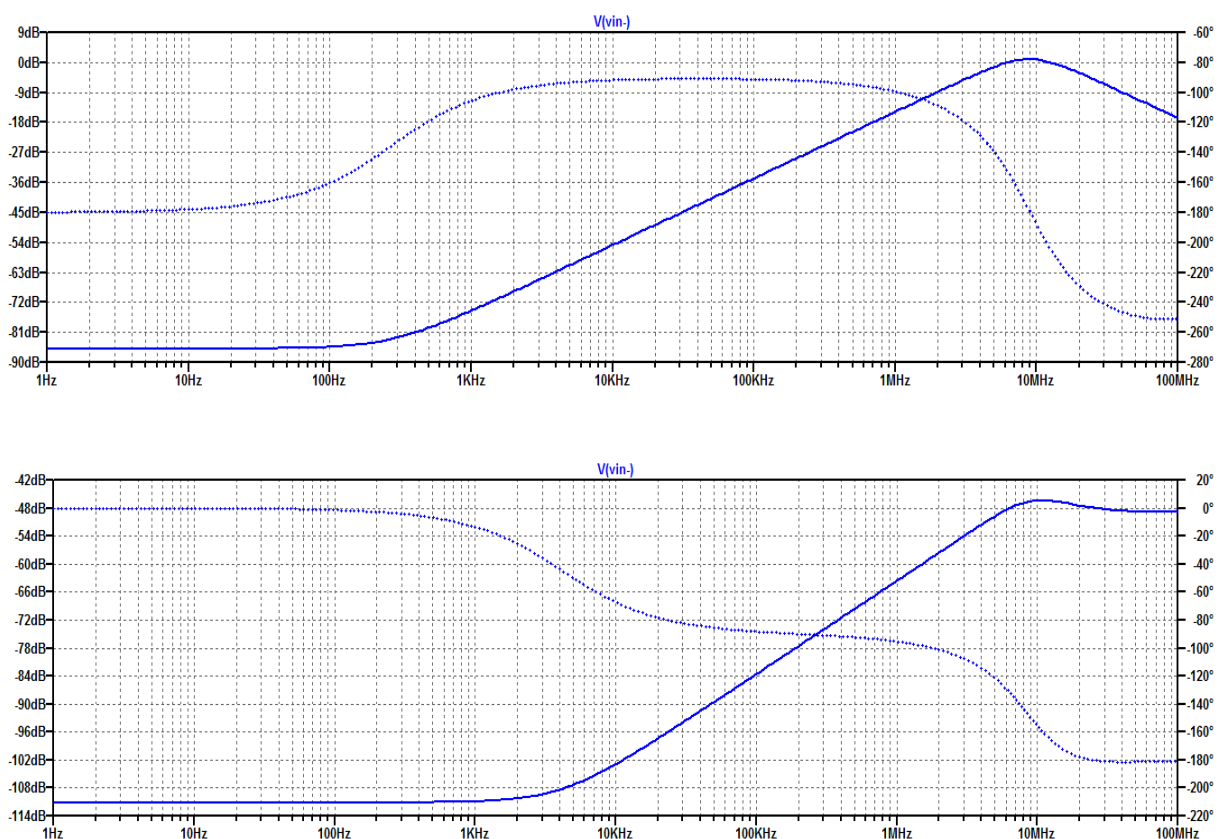


Figure III.11. Courbes du PSRR+ et PSRR-

### 3.7. Courbe de bruit

Dans les amplificateurs opérationnels la tension de bruit en sortie doit être prise en considération. Le résultat de l'analyse du bruit est représentée sur la figure III.12. A partir de la figure, la tension du bruit en sortie avoisine  $2.303\mu\text{V}/\text{Hz}^{1/2}$ , pour les basses fréquences, d'autre part on peut remarquer que le bruit devient minime et moins de  $0.023\mu\text{V}/\text{Hz}^{1/2}$  pour les hautes fréquences a partir de 10MHZ.

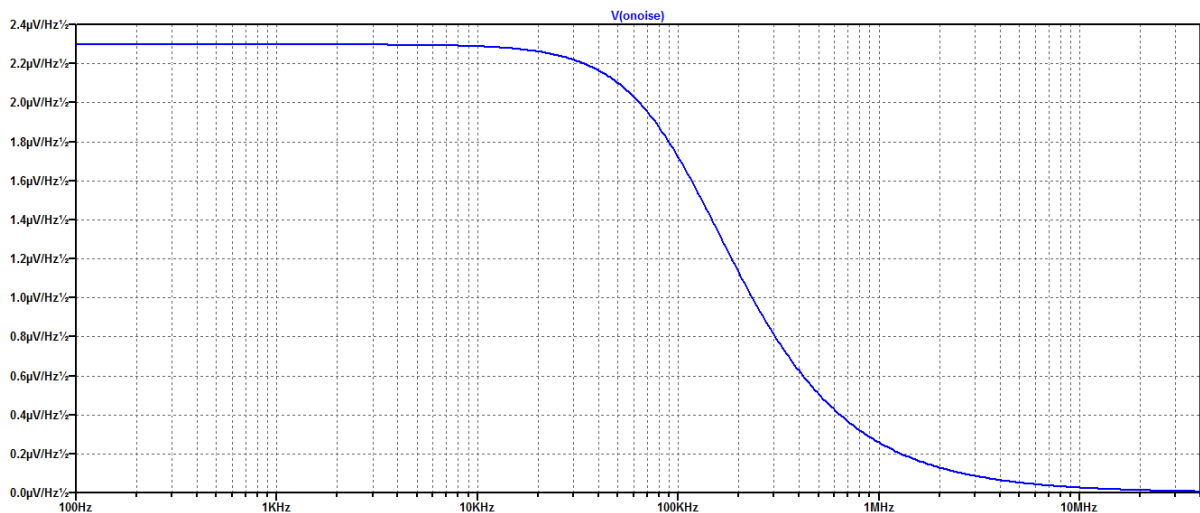


Figure III.12. Courbe de bruit en sortie

### 3.7.1. influence de la capacité CL sur la courbe bruit

la figure III.13 montre la variation de la courbe de bruit en fonction de la capacité CL. on peut remarquer que l'influence de CL est nulle par rapport à une variation de CL, même pour une variation importante (50p).

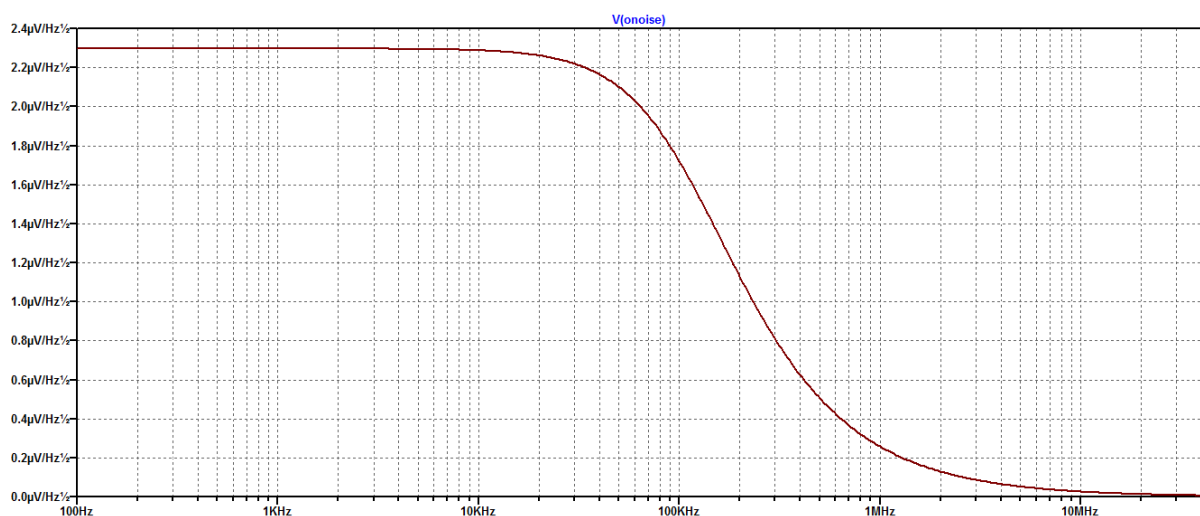


Figure III.13. Courbe de bruit :influence de CL

### 3.7.2. contribution de chaque transistor:

dans la figure III.14 on présente la contribution des transistors de l'étage d'entrée dans la fonction de bruit précédemment examinée. on peut remarquer que les transistors M3 et M4 présentent la plus grande partie de ce bruit tandis que les transistor M5 et M8 ne contribuent presque pas.

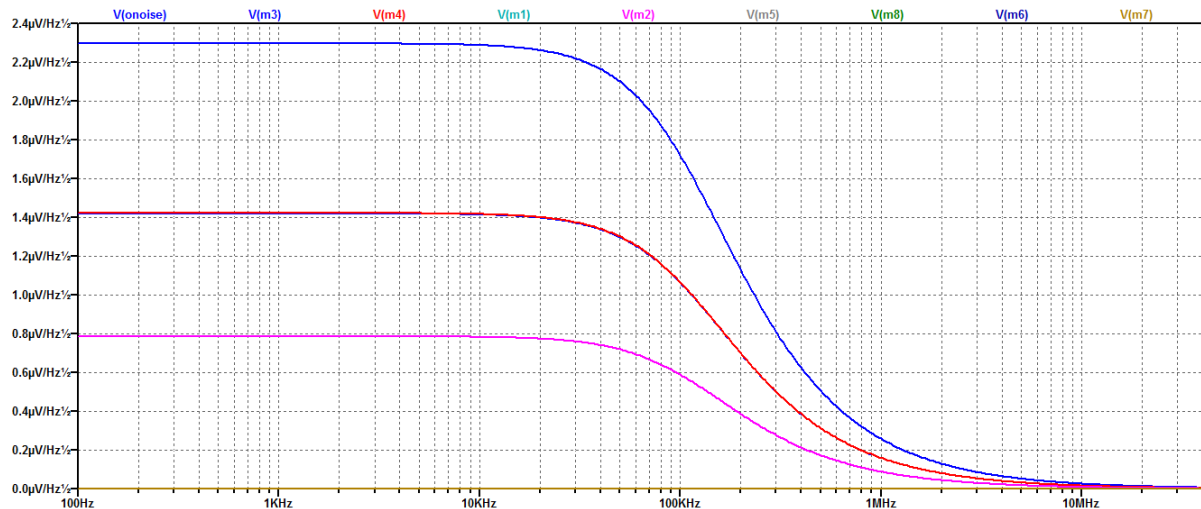


Figure III.14. contribution de chaque transistor dans le signal bruit

### 3.8. Analyse de Fourier FFT

La représentation spectrale est obtenue par l'analyse FFT (fast Fourier transformation), Sur la figure III.15, les deux signaux Vin et Vout sont représentés :

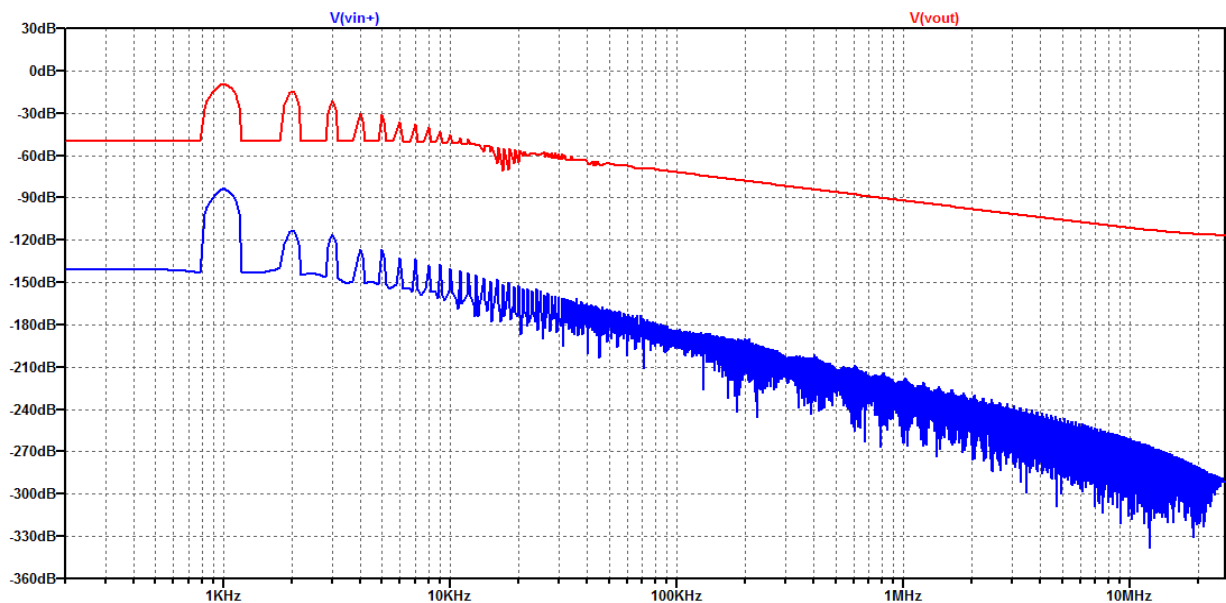


Figure III.15. Courbes FFT des signaux Vin et Vout

Sur la figure et avec un axe d'abscisse logarithmique on retrouve la fondamentale à 1Khz avec des harmoniques de bruits éliminées à partir d 20kh.

#### 4. simulation de filtres actifs à capacités commutées:

##### 4.1. L'intégrateur a capacité commutée:

l'intégrateur à capacités commutées à base d'AOP est le bloc de base dans la réalisation des filtres actifs à capacités commutées, dans ce paragraphe nous allons voir comment fonctionne l'intégrateur quant on remplace la résistance par une capacité commuté. Cet intégrateur présente ainsi la particularité d'avoir une constante de temps réglable. l'intégrateur simulé ici utilise notre amplificateur OTA.

la figure III.16 montre le schéma électrique de cet intégrateur:

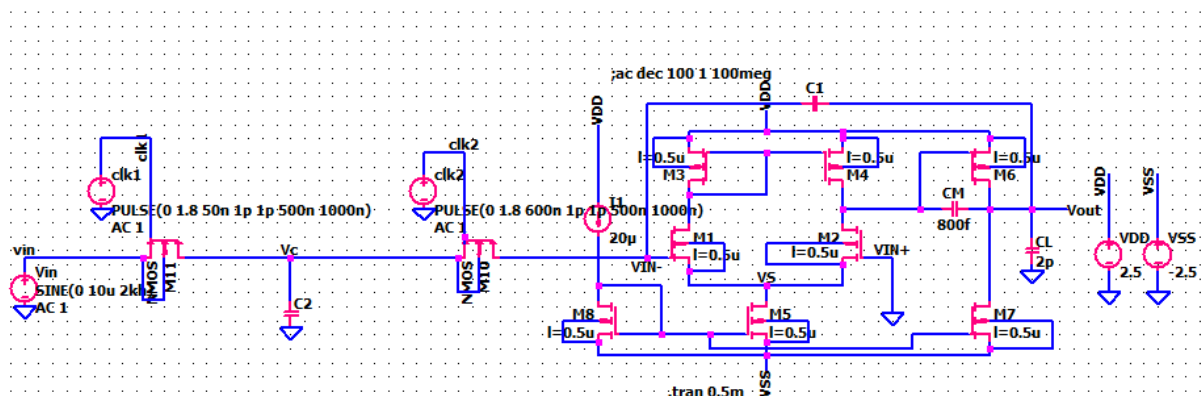


Figure III.16. Intégrateur de base à OTA.

Dans la figure III.16 la capacité C2 deux commutateurs NMOS contrôlés par deux signaux d'horloge clk1 et clk2 forment une résistance équivalente de valeur  $R_{eq} = T_{clk}/C2$ , la fréquence de l'intégrateur ainsi résultante est:  $F_{int} = 1/2\pi(C2/C1)f_{clk}$ .

la fréquence d'horloge ( vitesse de commutation) doit être beaucoup plus élevée que la fréquence critique  $R_{eq}.C$ .

la figure III.17 montre les différents signaux de notre intégrateur:

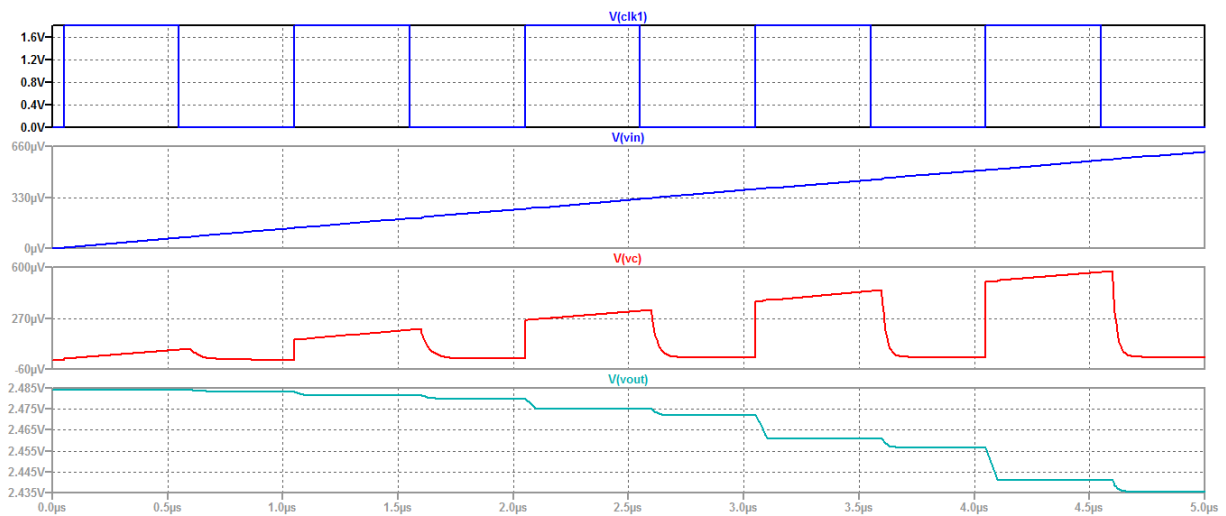


Figure III.17. Courbes FFT des signaux Vin et Vout

#### 4.2. L'intégrateur à quatre commutateurs :

cette configuration d'intégrateurs est réalisées par l'utilisation de 4 transistors NMOS comme le montre le schéma de la figure III.18:

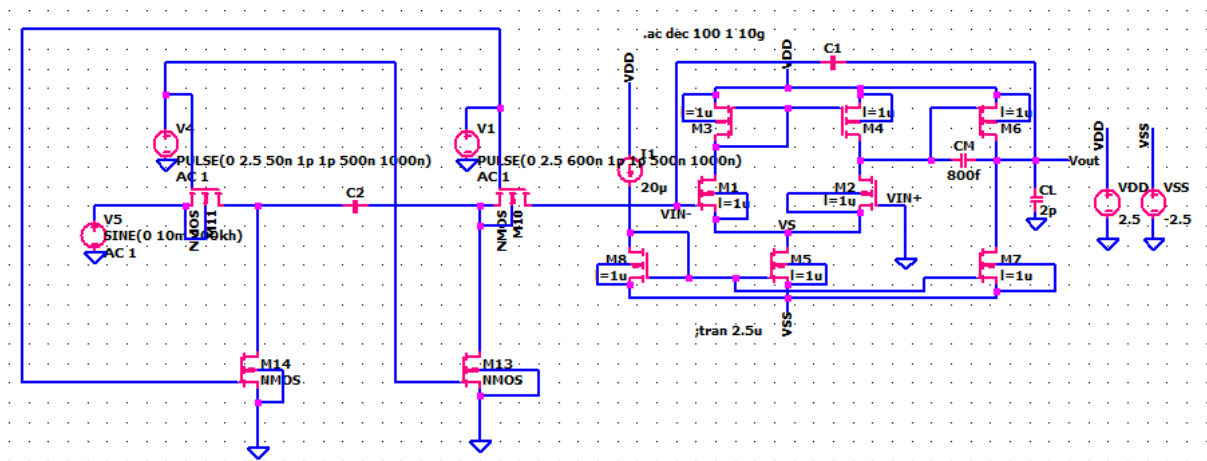


Figure III.18. Intégrateur à 4 commutateurs nMOS.

la réponse temporelle ainsi que la réponse en fréquence de cet intégrateur sont montrées sur les figures III.19 et III.20 :

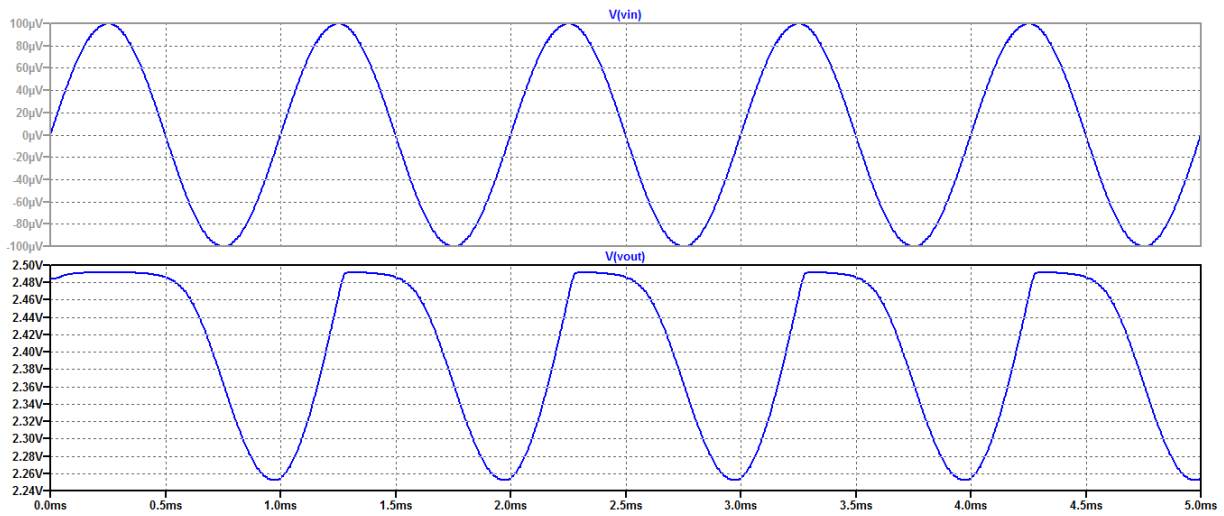


Figure III.19. Allure des signaux d'entrée et de sortie.

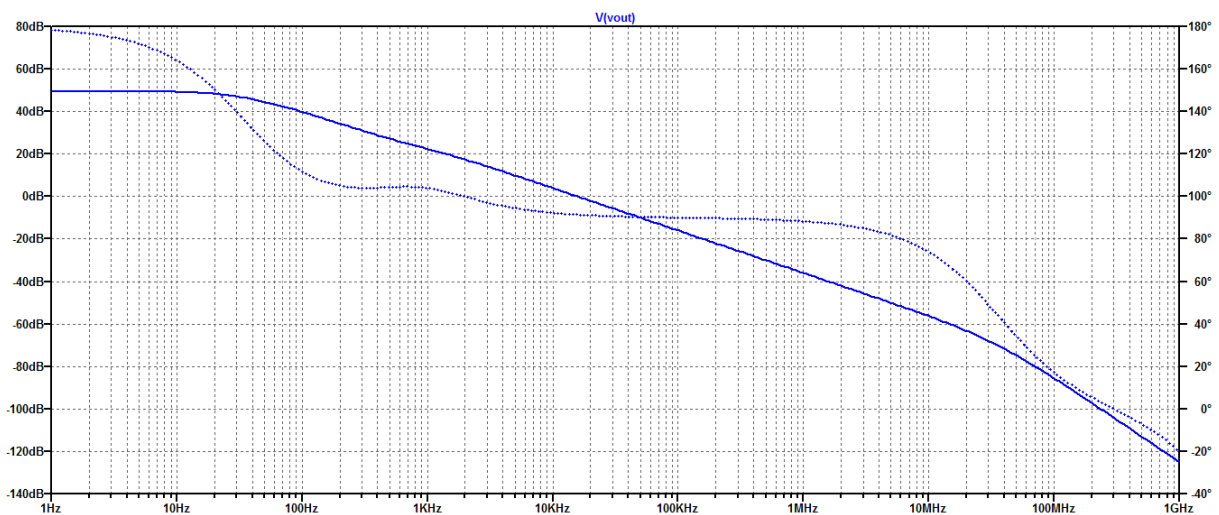


Figure III.20. simulation AC de l'intégrateur.

à partir de ces courbes on peut constater que la fréquence  $f_c$  à  $-3\text{dB}$  de cet intégrateur est de l'ordre de  $35\text{Hz}$ , et sa largeur de la bande passante (BandWidth) avoisine  $15.08\text{kHz}$ .

### 4.3.filtres à capacités commutées à OTA:

pour concevoir un filtre à capacités commutées une stratégie simple est à suivre: commencer par le schéma classique du filtre RC, et remplacer par la suite les résistances par leur circuits équivalents à capacités commutées.

#### 4.3.1. filtre actif passe bas du 1er ordre:

la figure III.21, montre le schéma électrique du filtre actif passe bas du premier ordre; d'autre part sur la figure III.22, le schéma électrique du même filtre mais à capacités commutées.

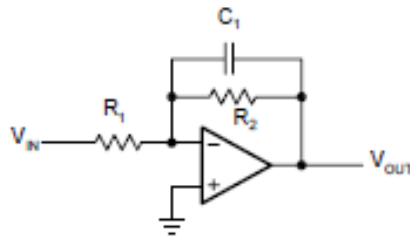


Figure III.21. schéma classique d'un filtre passe bas 1<sup>er</sup> ordre

pour dimensionner le circuit on procède par:

- spécifier la fréquence  $f_c$  désirée.
- choisir le gain dC A voulu.
- choisir la capacité C1.
- puis résoudre pour les résistances R1 et R2.

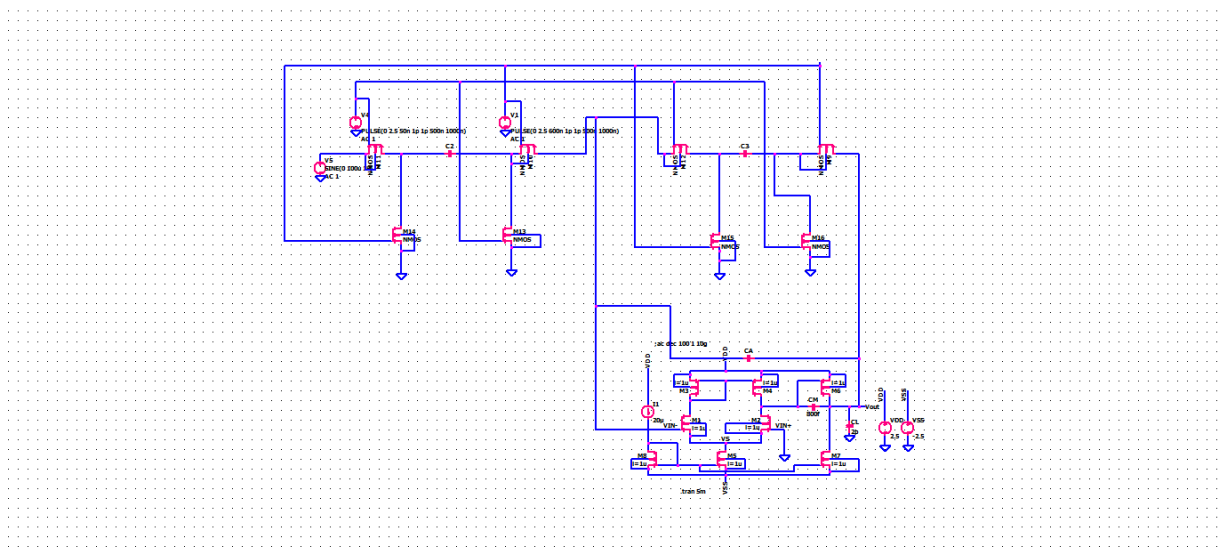


Figure III.22. filtre passe bas 1<sup>er</sup> ordre à capacités commutée.



les résultats de simulation transient pour une fréquences  $f_C$  de 1khz et une capacité  $C_1$  de 1nF sont regroupés dans les figures (III.26), (III.27), (III.28):

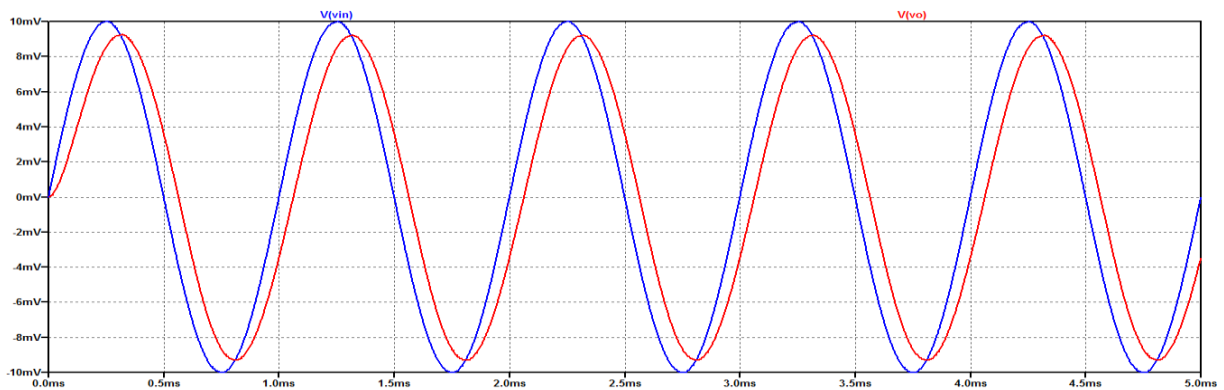


Figure III.26. Allure des signaux d'entrée et de sortie pour une fréquence de 1kh

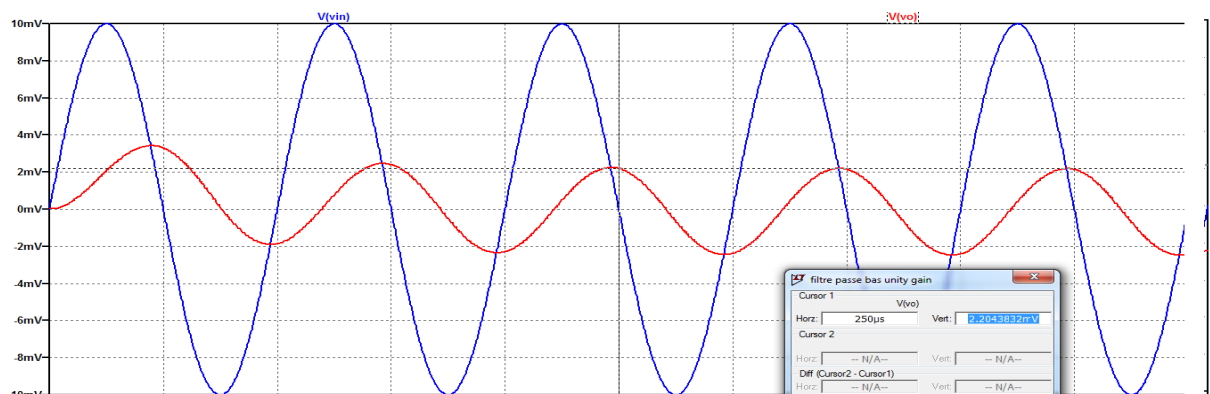


Figure III.27. Allure des signaux d'entrée et de sortie pour une fréquence de 10kh

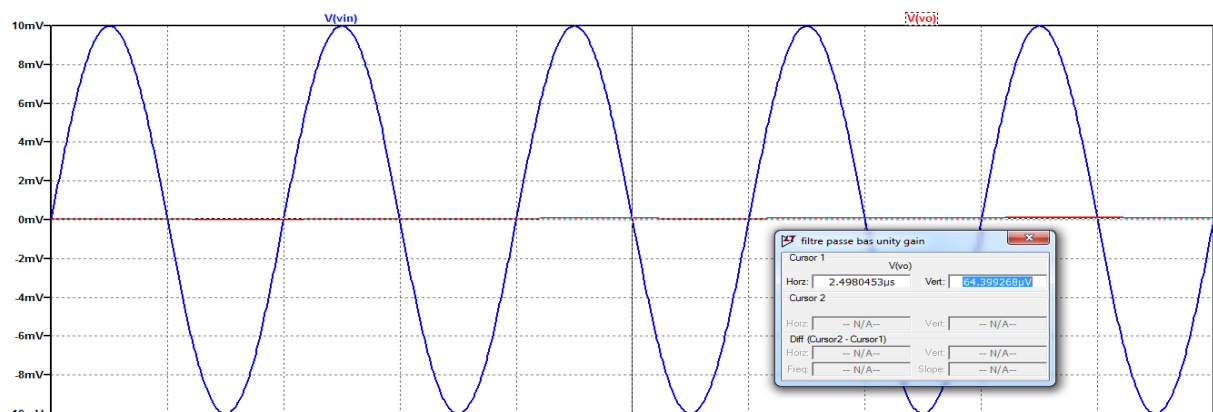


Figure III.28. Allure des signaux d'entrée et de sortie pour une fréquence de 1000kh

sur ces figures on peut remarquer le fonctionnement normal de notre filtre et ce pour: un fonctionnement dans sa bande passante (1khz), dans ce cas le signal est bien récupéré en sortie, un fonctionnement un peu loin de sa bande passante (10khz) ou une nette atténuation est remarquée, et enfin pour un fonctionnement très loin de la bande passante (1Mhz) ou une élimination totale du signal est observée en sortie.

#### 4.3.3. filtre actif passe haut du 1<sup>er</sup> ordre:

la figure III.29 montre le schéma électrique du filtre actif passe haut du premier ordre; d'autre part sur la figure III.30 le schéma électrique du même filtre à capacités commutées:

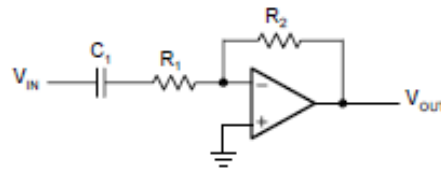


Figure III.29. schéma classique d'un filtre passe haut 1<sup>er</sup> ordre

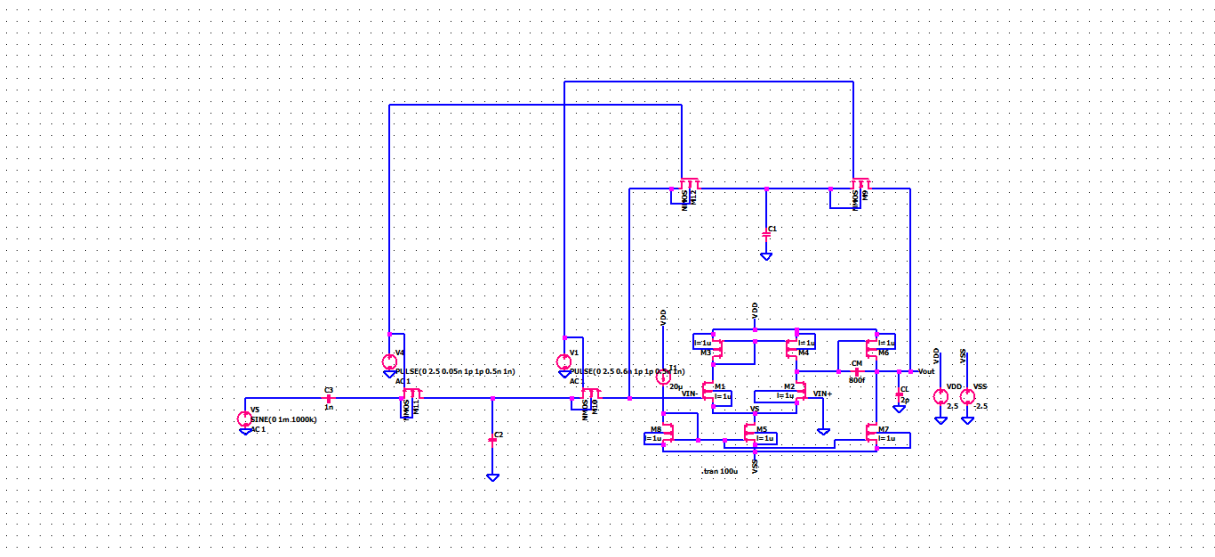
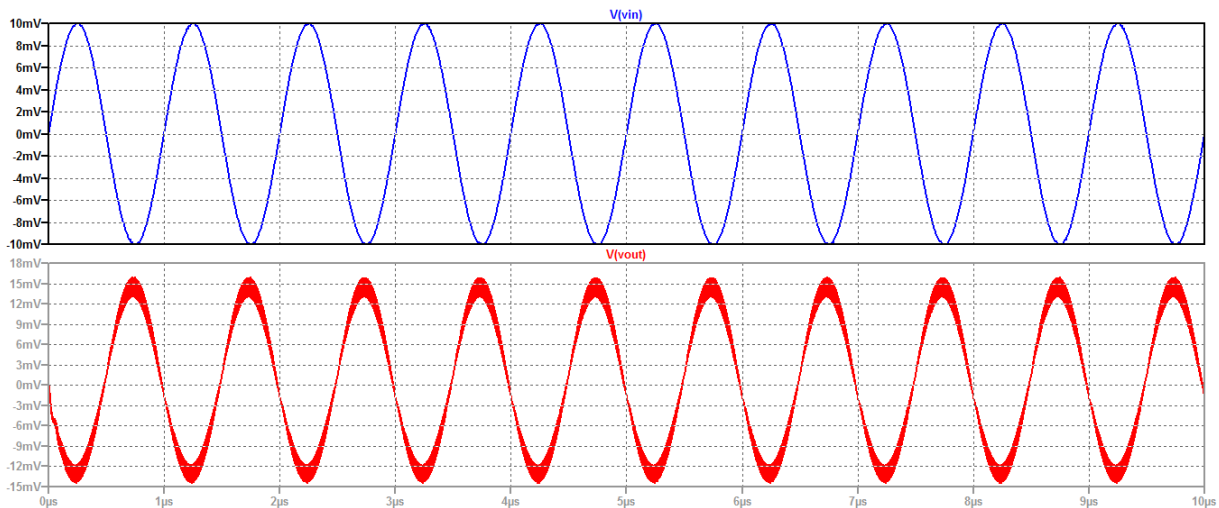


Figure III.30. filtre passe haut 1<sup>er</sup> ordre à capacités commutées

les résultats de simulation pour une fréquences  $f_c$  de 1khz et une capacité  $C_1$  de 1nF sont regroupés dans la figure (III.31):



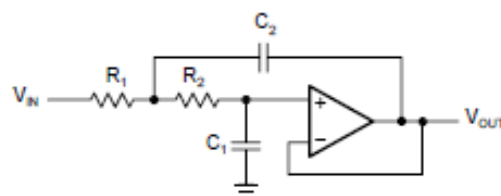
*Figure III.31. Allure des signaux d'entrée et de sortie pour une fréquence de 1Mh*

a partir de ces courbes on peut remarquer le fonctionnement juste de ce filtre et ce pour un fonctionnement dans la limite de la bande passant et plus (1Mhz): le signal est récupéré en sortie avec un gain de 4.082dB,

on peut remarquer aussi l'effet d'inversion du filtre: déphasage de  $180^\circ$  entre le signal d'entrée et le signal de sortie.

#### 4.3.4.filtre passe bas de type Sallen Key à gain unitaire:

la figure III.32 montre le schéma électrique du filtre actif passe bas du 2eme ordre de type Sallen-Key; d'autre part sur la figure III.33 le schéma électrique du même filtre à capacités commutées:



*Figure III.32.schéma classique d'un filtre Sallen-KEY*

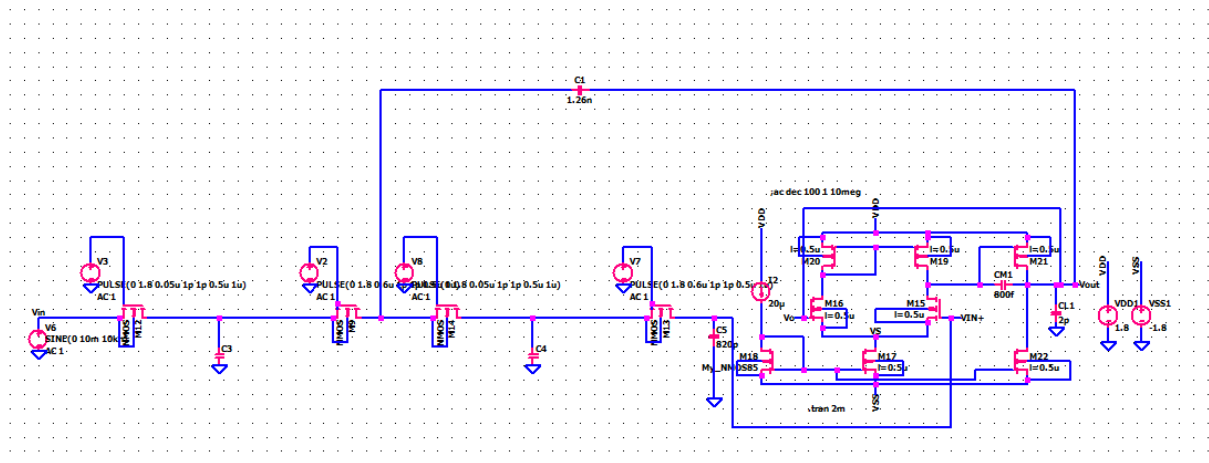


Figure III.33. Filtre Sallen-Key 2<sup>ème</sup> ordre à capacités commuté

pour ce type de filtre nous avons choisis:  $C1=820p$ ;  $C2=1.26n$ .

les valeurs des résistances trouvées pour  $f_c = 1kHz$  sont:  $R1=1.87k$  et  $R2=4.42k$ .

les résultats de simulation pour deux signaux, de fréquences 1K et 10K et 100K, sont montrés dans les figures III.34 et III.35 et III.36:

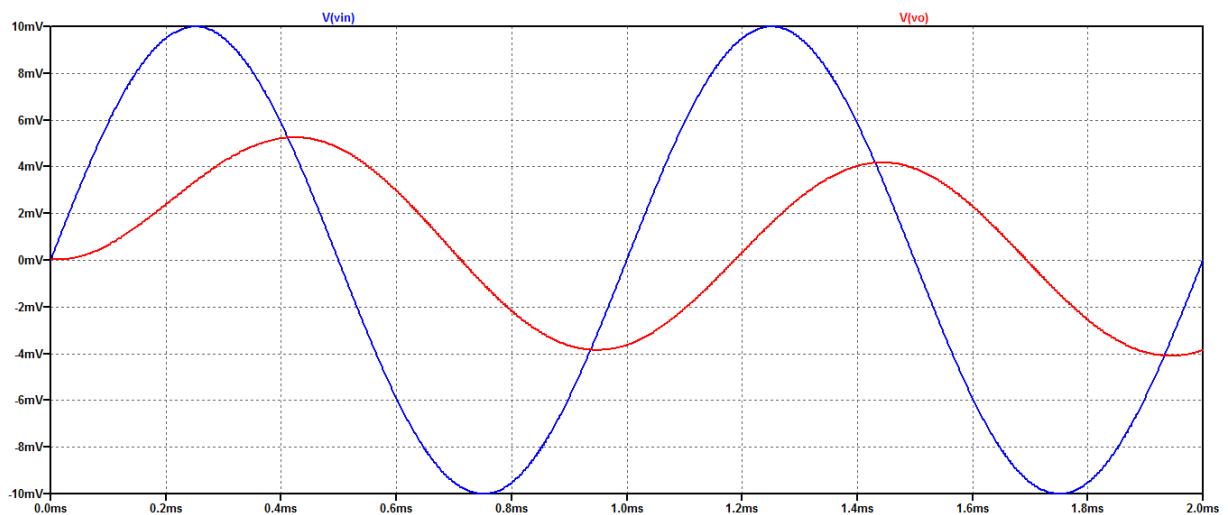
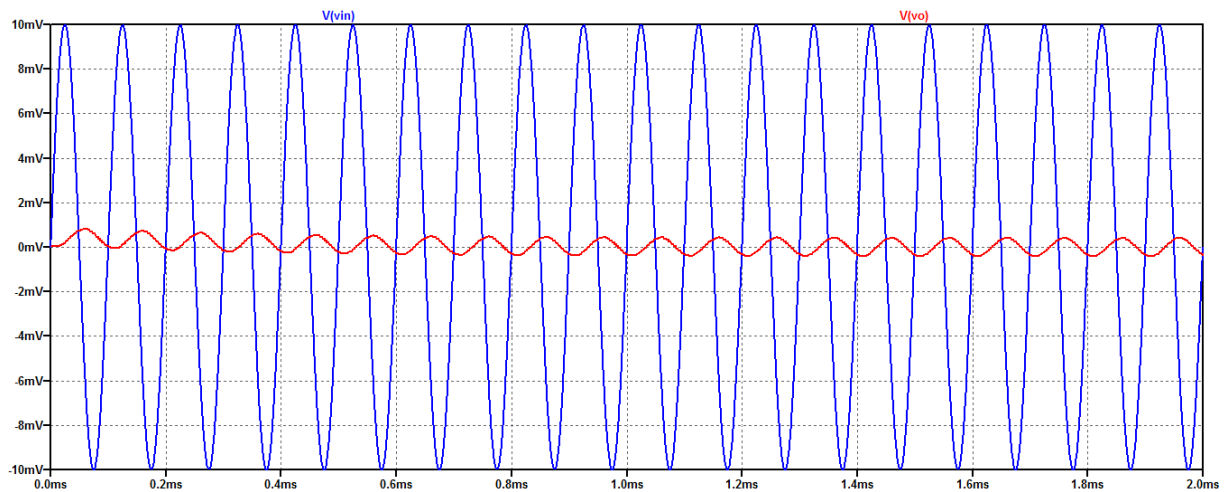
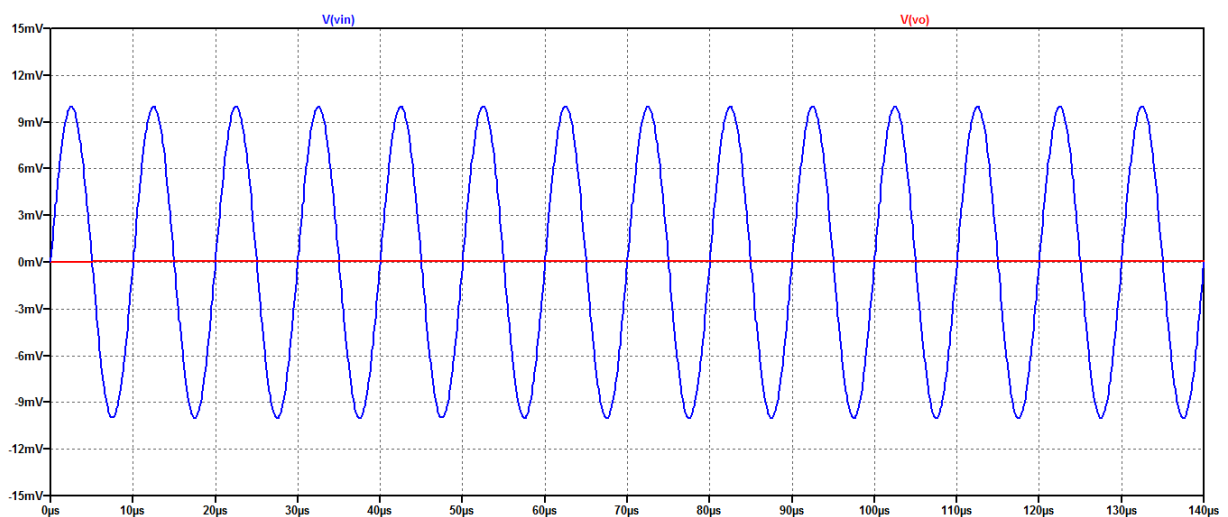


Figure III.34. signaux d'entrée et de sortie pour une fréquence de 1kh



*Figure III.35. signaux d'entrée et de sortie pour une fréquence de 10Kh*



*Figure III.36. signaux d'entrée et de sortie pour une fréquence de 100Kh*

On peut remarquer sur les courbes que le signal à 10kh est fortement atténué tandis que celui d'une fréquence de 100kh est totalement annulé.

en faisant une comparaison entre les résultats du filtre passe bas du 1<sup>er</sup> ordre, et le filtre Sallen-Key du 2<sup>eme</sup> ordre on constate une nette amélioration dans l'opération de filtrage (figure III.35 et III.27).

### **5. conclusion**

Ce chapitre illustre l'ensemble des résultats de simulation réalisés, à partir d'une étude théorique sur un circuit amplificateur CMOS de type OTA, ce dernier est utilisé comme brique de base de différentes configurations de filtres actifs à capacités commutées.

Les résultats de simulation concernent pour une première partie les spécifications de l'amplificateur conçu, ainsi nous avons étudié l'analyse DC, l'analyse AC, la réponse temporelle, l'ICMR, le PSRR et le Slew Rate. Dans une deuxième partie nous avons présenté les résultats de simulation portés sur quelques configurations de filtres à base de notre amplificateur OTA, ainsi nous avons vérifié le fonctionnement normal des filtres passe bas et passe haut du 1<sup>er</sup> ordre, et une configuration de filtres du 2<sup>ème</sup> ordre à savoir le Sallen-Key.

## CONCLUSION GENERALE

Le domaine de la microélectronique a connu un essor considérable ces trente dernières années. On peut ainsi désormais concevoir l'intégration, dans une seule puce, de systèmes électroniques très complexes et très denses, remplaçant, par la-même, un nombre important de cartes électroniques.

La technologie CMOS permet la réalisation de fonctions analogiques en éliminant l'usage des résistances toujours délicates à intégrer et souvent encombrantes grâce à l'artifice de la commutation de capacités. L'élément clef des structures analogiques est toujours l'amplificateur; c'est la source première du bruit, des décalages, des limites des performances dynamiques.

Dans ce travail l'étude d'un amplificateur opérationnel OTA CMOS notre objectif pour l'utiliser comme élément de base des filtres actifs à capacités commutées.

Dans un premier temps nous avons simulé les principales caractéristiques de l'amplificateur OTA: ainsi nous avons étudié l'analyse DC, la réponse temporelle, l'analyse AC, l'ICMR, le PSRR et le Slew Rate.

Dans la deuxième partie, notre amplificateur OTA est introduit dans quelques structures de filtres actifs à capacités commutées. la simulation par LTSPICE nous a permis de vérifier le fonctionnement juste et normal d'une part, de l'amplificateur et d'autre part, des filtres choisis ( filtre 1<sup>er</sup> ordre passe bas et passe haut et un filtre 2<sup>eme</sup> ordre passe bas de type Sallen-Key).

## Bibliographie

- [1] M. Correvo, "circuits à capacités commutées", cours Systèmes électroniques, haute école spécialisée de suisse occidentale,
- [2] C.CHINA , I.LEFEVRE, L.RIEGER;" Filtre à capacités commutées Passe bas", ecole centrale d'électronique ece.
- [3] F. Baillieu, R. Hermel, " L'amplificateur CMOS dans les circuits à capacités commutées", Revue Phys. Appl. 20 (1985) 465-482, JUILLET 1985.
- [4] P.ANTOGNETTI and G.MASSOBRI0: "Semiconductor Device Modeling with SPICE", McGraw-Hill, 1988.
- [5] S.M.SZE: "Physics of Semiconductor Devices", John Wiley, New-Y ork, 198 1.
- [6] N. bourahla,' Etude et modélisation des effets de canal court dans le transistor NMOSFET', Magister génie électrique, universite de Mostaganem, 2014.
- [7] B. KAGHOUCHE " ETUDE PAR TCAD-SILVACO D'UNE STRUCTURE MOS OUR LA REALISATION DE CAPTEURS ISFET : PARAMETRES TECHNOLOGIQUES ET ELECTRIQUES", MAGISTER EN ELECTRONIQUE, Université Mentouri - Constantine, 2010.
- [8] A. LAKHLEF," Caractérisation de Dispositifs MOSFETs Fortement Submicronique par les techniques Courants Tensions I(V)", Doctorat en Electronique, Université Mouloud MAMMEREI de Tizi-Ouzou, 2015.
- [9] P. Lemoigne, "Simulation de la variabilité du transistor MOS," 2011.
- [10] T. . Di Gilio, "Etude de la fiabilité porteurs chauds et des performances des technologies CMOS 0.13 $\mu\text{m}$  - 2nm," THESE université de Provence, 2006.
- [11] O. Simonetti « Influence de la quantification en énergie des porteurs sur la modélisation et la caractérisation électriques des structures MOS à oxyde de grille ultra mince ». Thèse de doctorat. Université de Reims. 2003.
- [12] O.Bonnaud. « Physique des solide, des semi-conducteurs et dispositif », Institut d'électronique et de télécommunication de Reims.
- [13] F. Chaahoub," Etude des méthodes de conception et des outils de CAO pour la synthèse des circuits intégrés analogiques", doctorat en microélectronique, polytechnique de Grenoble, 1999 .
- [14] F.FADHUILE-CREPY," MÉTHODOLOGIE DE CONCEPTION DE CIRCUITS

ANALOGIQUES POUR DES APPLICATIONS RADIOFRÉQUENCE À FAIBLE CONSOMMATION DE PUISSANCE", doctorat, université de Bordeaux, 1015.

[15] E.Säll, "Design of a Low Power, High Performance Track-and-Hold Circuit in a 0.18 $\mu$ m CMOS Technology", Linköping University, LITH-ISY-EX- 3248-2002, September 2002.

[16] A. ASSI," TECHNIQUES DE CONCEPTION DE CIRCUITS ANALOGIQUES INTÉGRÉS A HAUTE PERFORMANCE EN CMOS", PHILOSOPHIAE DOCTOR, ÉCOLE POLYTECHNIQUE DE MONTRÉAL, 1989.

[17] N.S. Sooch, "MOS Cascode Current Mirror", U.S. patent no. 4550284, October 1985.

[18] F. BOUYJOU," Nouvelles chaînes d'instrumentation intégrées multivoies pour l'astrophysique", doctorat, université de Toulouse, 2011.

[19] D. MORCHE, F. BALESTRO, P. SENN. "Convertisseurs analogique-numérique CMOS à haute résolution pour les circuits VLSI audio". L'écho des RECHERCHES, No. 153, 3ème trimestre 1993, pp. 35-50.

[20] Y.BENHAMIDA, 'Etude des caractéristiques physiques et électriques d'un MOSFET nanométrique', Magister microelectronique, universite de Tlemcen, 2012

[21] Jérôme Thiault, "Etude par microscopie à force atomique en trois dimensions de l'évolution de la rugosité de bord de ligne lors de la fabrication d'une grille de transistor MOS", 2006

[22] S.HANFOUG," Conception et layout d'un échantillonneur bloqueur à technologie CMOS 0.35 $\mu$ m", MAGISTER EN MICROELECTRONIQUE, université de Batna.

[23] Roubik Gregorian "Introduction to cmos op-amps and comparators".

[24] Phillip E Allen Douglas R Holberg, "*CMOS Analog Circuit Design*" second Edition, OXFORD university press 2002.

[25] F.MOULAHCENE,"Contribution à la Conception Des circuits CMOS pour application médicale", DOCTORAT en SCIENCES en Électronique, universite de Batna, 2016.

[26] S. GARDAN & S.FAID,"étude et simulation d'un échantillonneur bloqueur dans la technologie CMOS par LTspice", master en électronique, université de msila,2020.

[27] M. LUCAS PETBET: " Optimisation de blocs constitutifs d'un convertisseur A/N pipeline en technologie CMOS 0.18 $\mu$ m pour utilisation en environnement spatial", DOCTORAT, université de Toulouse, 2017

[28] C.GRÉGOIRE DJANOU," conception d'echantillonneurs bloqueurs dans la technologie MOS submicronique", Memoire de la maitrise en informatique, UNIVERSITÉ DU QUÉBEC À MONTRÉAL, 2008.

- [29] D.fotty,"Mosfet modeling with Spice, principles and practice", Prentice-Hall, 653 page, 1997.
- [30] A. EL OUALKADI," Analyse comportementale des filtres à capacités commutées pour les radiocommunications :Conception d'une nouvelle architecture en technologie BiCMOS 0,35  $\mu\text{m}$ ", doctorat, université de Poitiers, 2004.
- [31] J. AUVRAY," LES FILTRES A COMMUTATION", cours systemes electroniques, Université Pierre et Marie Curie IST SETI,2001.
- [32] I.Singh,"simulation of 2 stage OTA in LTspicez, cours analog VLSI Design.
- [33] S. Viswanathan," Design and Analysis of Operational Transconductance Amplifier (OTA) Under 180nm Technology Using LTspice", JASC: Journal of Applied Science and Computations, 2020.