

*République Algérienne Démocratique et Populaire*  
*Ministère de l'enseignement supérieur et de la recherche scientifique*



**UNIVERSITE DE MSILA**  
**FACULTE DE TECHNOLOGIE**  
**DEPARTEMENT D'ELECTRONIQUE**



## **MEMOIRE DE MASTER**

**DOMAINE : SCIENCES ET TECHNOLOGIE**  
**FILIERE : GENIE ELECTRIQUE**  
**OPTION : INSTRUMENTATION ET MAINTENANCE**  
**INDUSTRIEL**

### **Thème**

**ENTRAINEMENT DES RESEAUX DE NEURONES ARTIFICIEL PAR  
L'ALGORITHME FAST ERROR BACK PROPAGATION, APPLICATION A  
LA MODELISATION DES NMOSFET A ENRICHISSEMENT.**

**Présenté par :**  
**FRIDJA Djamal**

**Encadré par :**  
**Mr. ZOUACHE Tarek**

**N°d'ordre : 2012 / . . . . / 85 / 125**

**Promotion : JUIN 2012**

# *Remerciement*

*Je tiens tout d'abord à remercier Dieu le tout puissant et miséricordieux, qui m'a donné la force et la patience d'accomplir ce modeste travail.*

*Je présente mes remerciements à ma Mère et mon Père pour l'éducation qu'ils m'ont prodigué; avec tous les moyens et au prix de toutes les sacrifices qu'ils ont consentis à mon égard, pour le sens du devoir qu'ils m'ont enseigné depuis mon enfance.*

*Je voudrais présenter aussi mes remerciements à mon encadreur  
« Tarek ZOUACHE ».*

*Je voudrais également lui témoigner mon gratitude pour sa patience et son soutien qui m'a été précieux afin de mener mon travail à bon port. Merci.*

*Mes vifs remerciements vont également aux membres du jury pour l'intérêt qu'ils ont porté à mon recherche en acceptant d'examiner mon travail Et de l'enrichir par leurs propositions.*

*Mes remerciements s'étendent également à tous mes enseignants durant les années des études, ainsi le staff administratif et technique du département d'électronique.*

*Ces années d'étude ont été pour moi l'occasion de connaître des personnes exceptionnelles qui m'ont tout simplement offert leur sincère amitié et avec qui j'avais partagé d'agréables moments. Je remercie très chaleureusement tous mes collègues.*

*Merci donc à*

*Djamel SADOUK , Adil LIMAM , A.ADOUI , Ismail GHADBANE.*

*Enfin, je tiens également à remercier toutes les personnes qui ont participé de près ou de loin à la réalisation de ce travail.*

# Sommaire

## Chapitre I : LES TRANSISTORS MOSFETs

I-Introduction :	4
II-1- Fonctionnement d'un MOSFET à enrichissement à canal N :	6
.II-1 Fonctionnement d'un MOSFET à enrichissement à canal N :	7
II-2 -Caractéristiques courant tension :	8
II-2-1-Régime de triode ou régime linéaire :	10
II-2-2-Régime de saturation :	12
III-Expression du courant $I_{DS}$ dans chaque région de fonctionnement :	15
III-1– Expression de $I_{DS}$ dans la région de blocage:	15
III-2– Expression de $I_{DS}$ dans la région de triode (ohmique) :	15
III-3– Expression de $I_{DS}$ dans la région de saturation (Zone active):	16
IV-Effets secondaires-Effet Early :	16
V- Autre types de transistors MOSFET :	17
V- 1- MOSFET à canal N à appauvrissement :	17
V-1-1-Régime de déplétion :	17
V-1-2-Régime d'Enrichissement, correspondant au domaine $V_{GS} > 0$ :	17
V- 2- MOSFET à canal P :	18
VI- Grandeurs importantes caractérisant les MOSFETs :	19
VI-1-La tension de seuil (Tension de Treshold) :	19
VI-2-Le paramètre k:	20
VI-3-La transductance $g_m$ :	21
VII- Circuits de polarisation des NMOSFET à enrichissement :	21
VII-1- Polarisation par la grille :	21
VII-2- Polarisation par diviseur de tension :	22
VII-3- Polarisation par la source :	23
VII-4- Polarisation par rétroaction au drain :	23
VIII-Conclusion :	24

## Chapitre II : LES RESEAUX DE NEURONES ARTIFICIELS

I-Introduction : .....	25
II-Présentation des réseaux de neurones artificiels (RNA) : .....	26
II-1-Le neurone biologique : .....	26
II-2- Le neurone artificiel : .....	27
II-3-Fonction de seuil usuel : .....	28
II-4-Correspondances entre le neurone biologique et celui artificiel : .....	29
II-5- Classification des réseaux de neurones selon leurs architectures : .....	29
II-5-1- L'ADALINE ( Adaptive Linear Element) : .....	30
II-5-2- Le perceptron multicouches (MLP) : .....	30
II-5-3- Les Réseaux RBF (Radiale base function): .....	31
II-6-Réseaux bouclés et réseaux non bouclés : .....	33
II-6-1 Les réseaux de neurones non bouclés .....	33
II-6-2 Les réseaux de neurones bouclés .....	33
II-7-Propriétés fondamentales des réseaux de neurones : .....	34
II-7-1-Les réseaux de neurones sont des approximateurs universels : .....	34
II-7-2-Le parallélisme : .....	34
II-7-3-La capacité d'adaptation : .....	35
II-7-4-La mémorisation distribuée : .....	35
III-Apprentissage d'un RNA : .....	35
III-1-Apprentissage supervisé : .....	35
III-2-Apprentissage non supervisé : .....	36
III-3- Etapes simplifiées d'un algorithme d'apprentissages : .....	36
III-4- L'algorithme de retro-propagation de l'erreur : .....	37
III-4-1- Formalisme de l'algorithme de retro-propagation de l'erreur : .....	37
III-4-2- Equation du réseau .....	38
III-4-3- Adaptation des poids .....	39
III-4-4- Accélération de l'algorithme avec le momentum : .....	41
III-4-5- Considérations pratiques pour le choix du RNA .....	44
IV-Domains d'application des réseaux neurones : .....	45
IV-1 Identification des processus .....	45
IV-2- Contrôle des processus .....	45
IV-3- Classification des signaux .....	45

IV- 4- Mémoires associatives .....	46
V-Amélioration de l’algorithme de retro-propagation de l’erreur- Algortihme FEBP : .....	46
VI- Conclusion : .....	48

## **Chapitre III : MODELISATION DES MOSFETS PAR RNAs**

I- Introduction : .....	49
II- Caractéristiques statiques des MOSFET 2N7000-2N7008 : .....	49
II-1- Caractéristiques statiques du MOSFET 2N7000 : .....	49
II-2- Caractéristiques statiques du MOSFET 2N7008 : .....	50
II-3- Modélisation par les réseaux de neurones artificiels : .....	52
II-3-1- Validation du réseau : .....	54
II-3-2- Test du réseau : .....	59
II-3-3- Discussion : .....	63
III- Implantation du modèle neuronale du MOSFET en circuits : .....	63
III-1- Première application : .....	63
III-1-1- Etape de calcul d’un circuit à MOSFET : .....	64
III-1-2- Calcul du Circuit : .....	65
III-1-3- Résultats de la simulation du circuit sous Matlab: .....	66
III-1-4- Discussion : .....	67
III-2- Deuxième application : .....	67
III-2-1- Exemple de calcul théorique : .....	68
III-2-2- Résultats de la simulation du circuit sous Matlab : .....	70
III-2-3-Discussion : .....	71
III-2-4- Droite de charge statique du circuit : .....	71
III-2-4-1- Tracé de la droite de charge statique à partir du circuit : .....	72
III-2-4-2- Tracé de la droite de charge statique à partir du modèle neuronale : .....	72
III-2-5- Discussion : .....	73
IV- Conclusion : .....	74

Conclusion général .....	75
--------------------------	----

Référence et bibliographie

Annexe

# Listes des figures

## Chapitre I :

Figure (CH.I.1) : Schéma de principe d'un transistor MOSFET à canal N.....	6
Figure (CH.I.2) : Symbole électrique du transistor MOSFET à canal N.....	7
Figure (CH.I.3) : Symbole électrique du transistor MOSFET à canal N à enrichissement .....	7
Figure (CH.I.4) :Polarisation des MOSFET à canal N. ....	8
Figure (CH.I.5) : principe de l'extraction des caractéristiques statiques.....	9
Figure (CH.I.6) : Réseau de caractéristiques $I_{DS} = F(V_{DS})$ , pour des tensions .....	10
Figure (CH.I.7) : Structure du canal en régime linéaire .....	11
Figure (CH.I.8) : Structure de base d'un MOSFET [ .....	11
Figure (CH.I.9) : forme du canal au début de la saturation .....	12
Figure (CH.I.10) : Répartition de la tension dans le canal, dans le régime sous-linéaire.....	12
Figure (CH.I.11) : Déplacement du point de pincement du canal pour $V_{DS}$ important.....	13
Figure (CH.I.12) : Répartition de la tension $V_{DS}$ dans le régime de saturation.....	14
Figure (CH.I.13) : Courant $I_{DS}$ dans la région de fonctionnement linéaire.....	15
Figure (CH.I.14) : Courant $I_{DS}$ dans la région de fonctionnement en saturation .....	16
Figure. (CH.I.15) Caractéristiques $I_{DS} = F(V_{GS})$ pour un MOSFET à canal N en saturation .....	18
Figure (CH.I.16): Schéma de principe d'un transistor MOSFET à canal P. ....	18
Figure (CH.I.17) : Circuit de polarisation par la grille .....	21
Figure (CH.I.18): Circuit de polarisation par diviseur de tension .....	22
Figure (CH.I.19): Circuit de polarisation par source de tension .....	23
Figure (CH.I.20): Circuit de polarisation par rétroaction au drain.....	23

## Chapitre II :

Figure (CH.II.1) : Les éléments constituant le neurone biologique .....	26
.Figure (CH.II.2) : Structure d'un neurone artificiel .....	27
Figure (CH.II.3) : Les différents types de fonctions d'activation .....	28
Figure (CH.II.4) : Correspondance neurone biologique /neurone artificiel .....	29
Figure (CH.II.5) : Structure d'un Adaline .....	30
Figure (CH.II.6) : Architecture d'un perceptron : .....	31
Figure (CH.II.7) : Structure d'un réseau RBF .....	32
Figure (CH.II.8) : Réseau à connexions non bouclés. ....	33
Figure (CH.II.9) : a et b: Exemples de réseau bouclé .....	34
Figure (CH.II.10): Mode d'apprentissage des réseaux de neurones supervisé .....	36
Figure (CH.II.11): Mode d'apprentissage des réseaux de neurones non supervisé .....	36

Figure (CH.II.12) : La fonction d'erreur en fonction des poids .....	37
Figure (CH.II.13) : Descendance du gradient d'erreur dans l'espace des poids .....	42
Figure (CH.II.14):organigramme de l'algorithme d'apprentissage par retropropagation de l'erreur	43

### Chapitre III

Figure (CH.III.1): Caractéristiques statique du 2N7000 tracés sous Matlab pour $k = 0.25 \text{ mA/V}$ ..	49
Figure (CH.III.2): Caractéristiques de transfert du 2N7000 tracés sous Matlab pour.....	50
Figure (CH.III.3): Caractéristiques statique du 2N7008 tracés sous Matlab pour $k = 0.25 \text{ mA/V}$ ..	51
Figure (CH.III.4) : Caractéristiques de transfert du 2N7008 tracés sous Matlab.....	51
Figure (CH.III.5): Structure du réseau utilisé ; 2 couches cachées .....	52
Figure (CH.III.6): Caractéristiques $I_{DS} = F(V_{DS})$ du 2N7000 estimés .....	53
Figure (CH.III.7): Caractéristiques $I_{DS} = F(V_{DS})$ du 2N7008 estimés.....	53
Figure (CH.III.8): Caractéristiques $I_{DS} = F(V_{DS})$ théorique et estimées du 2N7000 tracé à.....	54
Figure (CH.III.9): Caractéristiques $I_{DS} = F(V_{DS})$ théorique et estimées du 2N7008.....	55
Figure (CH.III.10): Caractéristiques $I_{DS} = F(V_{GS} \cdot V_T)$ théorique et estimées du 2N7000.....	55
Figure(CH.III.11): Caractéristiques $I_{DS} = F(V_{GS} \cdot V_T)$ théorique et estimées du 2N7008.....	56
Figure (CH.III.12) : Caractéristiques $I_{DS} = F(V_{DS})$ théorique et estimées du 2N7000.....	57
Figure (CH.III.13): Caractéristiques $I_{DS} = F(V_{DS})$ théorique et estimées du 2N7008.....	57
Figure (CH.III.14): Caractéristiques $I_{DS} = F(V_{DS})$ théorique et estimées du 2N7000.....	58
Figure (CH.III.15): Caractéristiques $I_{DS} = F(V_{DS})$ théorique et estimées du 2N7008.....	58
Figure (CH.III. 16) : Caractéristiques $I_{DS} = F(V_{DS})$ théorique et estimées du 2N7000.....	59
Figure (CH.III.17): Caractéristiques $I_{DS} = F(V_{DS})$ théorique et estimées du 2N7008 tracé à partir..	60
Figure (CH.III.18): Caractéristiques $I_{DS} = F(V_{DS})$ théorique et estimées du 2N7000 tracé à partir..	61
Figure (CH.III.19): Caractéristiques $I_{DS} = F(V_{DS})$ théorique et estimées du 2N7000 tracé à partir..	61
Figure (CH.III.20): Caractéristiques $I_{DS} = F(V_{DS})$ théorique et estimées du 2N7008.....	62
Figure (CH.III.21): Caractéristiques $I_{DS} = F(V_{DS})$ théorique et estimées du 2N7008.....	62
Figure (CH.III.22): Circuit électronique utilisé dans la première application. ....	63
Figure (CH.III.23): Le modèle neuronale implanté dans le circuit à la place du 2N7008.....	64
Figure (CH.III.24): Circuit électronique utilisé dans la deuxième application.....	67
Figure (CH.III.25) : Le modèle neuronale implanté dans le circuit à la place du 2N7000.....	67
Figure (CH.III.26) : Le courant $I_{DS}$ calculé théoriquement par le RNA en fonction de $V_{GS}$ .....	70
Figure (CH.III.27) : La droite de charge du circuit tracée théoriquement.....	72
Figure (CH.III.28) : La droite de charge du circuit prédite par RNA.....	73
Figure (CH.III.29): Comparaison entre les valeurs prédites et théoriques du :.....	74

## **Résumé :**

Le transistor MOS (Metal-Oxide-Semiconductor) est le dispositif élémentaire des circuits intégrés. Jusqu'à présent, la réduction des dimensions des transistors MOSFET s'est effectuée de façon continue et très rapide et cette évolution technologique fulgurante est en grande partie due à une maîtrise accrue des technologies du silicium, semi-conducteur constituant le cœur des dispositifs MOS.

Mais ces dispositifs, pour pouvoir être maîtrisés par les concepteurs de circuits intégrés, ont besoin d'être modélisés sous la forme de modèles compacts capables de décrire le plus exactement possible le comportement électrique de ces dispositifs. La simulation des composants microélectroniques a donc besoin de nouvelles théories et techniques de modélisation (les techniques de l'intelligence artificielle) améliorant la compréhension physique des dispositifs de taille micro et nanométrique.

Le domaine de la modélisation et la simulation des composants de la microélectronique peut être considéré comme un champ important d'applications des techniques de l'intelligence artificielle. Par conséquent, l'étude de la possibilité d'utilisation des réseaux de neurones artificiels dans le domaine de la microélectronique, notamment sous forme de prédicteurs et de simulateurs des composants nanométriques (MOSFETs), s'avère nécessaire.

Notre travail entre dans ce cadre, car il présente pour nous un premier pas dans l'exploitation des principes fantastiques des techniques de l'intelligence artificielle dans le domaine de la modélisation et la simulation des composants électroniques tel que les MOSFETs

**Mots clé :** MOSFETs, intelligences artificiels, réseaux de neurones artificiels, algorithme de fast back propagation error, modélisation de composants électroniques

### Introduction générale :

Les dispositifs électroniques ont de nos jours une importance économique et stratégique considérable. Ils jouent de plus en plus un rôle clef dans la réalisation et le fonctionnement d'un grand nombre de biens de consommation. Leur importance est née avec la découverte du transistor dont le concept date des années 30. Le développement de l'industrie de la microélectronique s'est par la suite accéléré avec, dans les années 70, l'arrivée des circuits intégrés. Au fil des années, l'industrie de la microélectronique s'est concentrée sur trois objectifs afin de garantir sa croissance : réaliser des composants électroniques toujours plus petits, plus rapides et moins chers.

Ces dernières années, les transistors MOSFET ont bénéficié d'énormes investissements autant au plan de la technologie que de la publicité, reléguant les transistors bipolaires dans l'ombre à un point tel que de nombreux concepteurs considèrent le bipolaire comme une vieille technologie. En réalité, les développements dans le secteur des transistors bipolaires continuent à placer la technologie à des performances compétitives voire supérieures par rapport aux performances des transistors MOSFET dans de nombreuses applications.[1]

Or le transistor MOS (Metal-Oxide-Semiconductor) est le dispositif élémentaire des circuits intégrés. Jusqu'à présent, la réduction des dimensions des transistors MOSFET s'est effectuée d'une façon continue, selon la célèbre loi de Moore, qui prévoit un doublement du nombre de transistors par circuit intégré tous les 18 mois. Cette évolution technologique fulgurante est en grande partie due à une maîtrise accrue des technologies du silicium, semi-conducteur constituant le cœur des dispositifs MOS. Les avancées phénoménales dans les techniques de photolithographie, qui consiste à graver des motifs dans le silicium, ont ainsi permis de diminuer la taille des transistors MOSFET de plusieurs micromètres dans les années 1970 à moins de 100 nanomètres actuellement.[1]

Toutefois, après quasiment une vingtaine d'années de course effrénée à la réduction des dimensions des composants électroniques, les problèmes ne se limitent plus aux seules difficultés de réalisation. Nous voyons apparaître, à présent, des phénomènes d'ordre théorique remettant en cause les avantages qu'offrait la technologie MOS.[2]

Parmis ces phénomènes, nous avons notamment le courant tunnel de grille et la fluctuation aléatoire des dopants. Pour contourner ces difficultés, l'une des solutions consistant à modifier l'architecture des composants actuels, notamment l'augmentation du nombre de grilles afin d'avoir un meilleur contrôle du flux de courant, paraît une solution de choix pour l'avenir de la microélectronique. Mais ces dispositifs, pour pouvoir être utilisés par les concepteurs de circuits

intégrés, ont besoin d'être modélisés sous la forme de modèles compacts interprétables par des simulateurs de circuits. Ces modèles compacts doivent être capables de décrire le plus exactement possible le comportement électrique de ces dispositifs. La simulation des composants microélectroniques a donc besoin de nouvelles théories et techniques de modélisation (les techniques de l'intelligence artificielle) améliorant la compréhension physique des dispositifs de taille micro et nanométrique.[2]

Le domaine de la modélisation et la simulation des composants de la microélectronique peut être considéré comme un champ important d'applications des techniques de l'intelligence artificielle. Par conséquent, l'étude de la possibilité d'utilisation des réseaux de neurones artificiels dans le domaine de la microélectronique, notamment sous forme des prédicateurs et de simulateur des composants nanométriques (MOSFETs), s'avère nécessaire. En ce sens, les techniques de l'intelligence artificielle sont considérées comme un outil supplémentaire entre les mains de l'ingénieur et du chercheur, plutôt que comme un substitut aux méthodes plus classiques. Ces outils sont susceptibles d'apporter des éléments de réponse là où les procédures analytiques montrent leurs limites.[2]

Notre travail entre dans ce cadre, car il présente pour nous un premier pas dans l'exploitation des principes fantastiques des techniques de l'intelligence artificielle dans le domaine de la modélisation et la simulation des composants électroniques tel que les MOSFETs. Pour aboutir à ce but on a choisi d'organiser ce mémoire en trois chapitres et qui peuvent être résumés comme suit :

Le premier chapitre sera consacré en entier à la théorie des transistors MOSFET, et en particulier au MOSFET à canal N à enrichissement. En effet dans ce chapitre nous allons donner les principes de fonctionnements de ce transistor, ses différents modes de fonctionnements ainsi que les caractéristiques électriques importantes relative à chaque mode. Et à la fin nous allons donner les principaux circuits électriques utilisés pour une meilleure exploitation de ce composant.

Dans le deuxième chapitre : nous rappelons les principes fondamentaux des réseaux de neurones artificiels tels que les propriétés mathématiques, les types de réseaux, les architectures neuronales, les types d'apprentissage (supervisé ou non supervisé) et leurs domaine d'application. Puis nous parlerons en détail de l'apprentissage supervisé des réseaux de neurones artificiels par l'algorithme de retro propagation des l'erreur (**EBP**). Et à la fin nous proposerons une forme plus performante de cet algorithme qui offre de plus rapide résultats du point de vue temps d'entraînement et qu'en appellera « Fast error back propagation (**FEBP**) ».

Le dernier chapitre sera consacré à l'application de l'algorithme d'apprentissage que nous avons élaboré dans le domaine, de l'électronique des composants et en particulier dans la simulation des transistors MOSFET à canal N à enrichissement. En effet, nous allons appliquer cet algorithme à deux types de transistors connus qui sont le 2N7000 et le 2N7008. Cela Dans le but d'élaborer un modèle de prédiction pour chaque transistor, à base des réseaux de neurones (ANN) capable de prédire les variations du courant drain source en fonction de la variation de la tension entre la Grille et la source et entre le drain et source du MOSFET. A la fin de ce chapitre ces deux modèles seront intégrés dans des circuits réels et très connus et pour juger leurs fiabilités ; une comparaison de résultats sera au fur et à mesure faite entre les données obtenues à partir des calculs théoriques effectués sur ces circuits (par l'application des lois fondamentales d'électricité) et ceux obtenues par prédiction par le modèle de RNA obtenu.

**I-Introduction :**

Les transistors à effet de champ, ou FET (Field Effect Transistor), sont des dispositifs électroniques actifs dont l'état de conduction et l'intensité du courant sont contrôlés par la tension appliquée à une électrode bien distincte dite la grille. [3]

Ce sont des transistors unipolaires (par opposition aux transistors bipolaires), car le courant n'est transporté que par un seul type de porteurs de charge dans ce cas majoritaires (électrons ou trous).[3]

Il en existe une grande variété de transistor FET ; les JFETs (jonction of Field Effect Transistors), dans lesquels la tension de grille contrôle l'extension de la région de déplétion d'une jonction PN (le canal), les MESFET (Métal Semi-conducteur FET), dans lesquels la jonction PN est remplacée par une jonction métal-semi-conducteur, et enfin les MOSFET (métal oxyde FET), dans lesquels la grille est séparée du semi-conducteur par un oxyde (la plus par c'est le  $\text{SiO}_2$ ), jouant le rôle d'un isolant.[3]

Le fonctionnement des FET est fondamentalement plus simple que celui des transistors bipolaires. Historiquement, le principe des transistors à effet de champ a été proposé très tôt dans le développement des dispositifs électroniques (1930, Lilienfeld), mais son implémentation pratique a été freinée à l'époque par le manque de compréhension du rôle joué par les effets de surface. Ce retard a permis aux transistors bipolaires de se développer considérablement. Le problème des états de surface n'a été résolu qu'en 1960, avec le premier prototype de MOSFET de Kahn et Attala. [3]

Les transistors MOSFET au silicium ont ensuite petit à petit remplacés les transistors bipolaires et même les transistors JFET grâce à leurs caractéristiques fantastiques dans bon nombre d'applications. Une comparaison entre les caractéristiques électriques des JFET et des MOSFET est donnée dans le tableau 1.[4]

Par leur principe du contrôle de l'état de conduction par une tension, les transistors à effet de champ sont idéals pour fonctionner en commutation dans les applications d'électronique numérique. Ils se prêtent également facilement à la miniaturisation. Actuellement, les mémoires et les processeurs au silicium peuvent contenir plusieurs millions de transistors MOSFET. [4]

Et en plus le MOSFET est aujourd'hui utilisé dans un grand nombre d'applications, pour lesquelles les besoins en termes de performances des composants ne sont pas tous les mêmes, Le tableau 1 illustre les performances des MOSFET par rapport au JFET. Aussi, il n'y a pas pour chaque nœud technologique un seul et unique MOSFET qui seraient utilisés dans tous les circuits

existants. Il existe plusieurs familles de composants, dont les caractéristiques électriques diffèrent.[4]

Paramètre	JFET	MOSFET
$g_m$	0.1 à 10 mA/V	0.1 à > 20 mA/V
$R_d$ (On)	0.1 à 1M	1 à 50k
$R_{gs}$	$\emptyset$ $10^8 \Omega$	$\emptyset$ $10^{10} \Omega$
$R_{gd}$	$\emptyset$ $10^8 \Omega$	$\emptyset$ $10^{14} \Omega$

Tableau 1 : Comparaison entre les caractéristiques du JFET et du MOSFET [4]

La famille communément appelée High Performance (HP) est destinée aux applications les plus rapides, comme les microprocesseurs. La famille Low Power (LP) est utilisée pour des circuits où soit la vitesse n'est pas une priorité, soit pour lesquels la consommation électrique est un critère important, comme des applications analogiques ou RF, ou encore les circuits destinés aux applications portables. Les composants de cette famille ont pour cela des oxydes de grille plus épais.[5]

Pour chacune des familles HP ou LP, il existe encore une autre sous-famille. En effet, le coeur du circuit, qui réalise sa fonction, est composé de dispositifs dont la longueur de grille et l'épaisseur d'oxyde ont les valeurs nominales de leur famille ; cette sous-famille est parfois appelée  $GO_3$ . En revanche, les transistors situés aux entrées et sorties du circuit doivent supporter des tensions élevées : par rapport aux  $GO_1$ , leur longueur de grille et leur épaisseur de d'oxyde ont des valeurs plus importantes. Il s'agit de la sous-famille  $GO_2$ . [5]

Des variantes existent au sein de la sous-famille  $GO_1$ . L'épaisseur d'oxyde de grille restant la même, la tension de seuil peut être plus ou moins élevée suivant que le composant doit être rapide ou doit avoir un courant de fuite faible. Ces variantes sont obtenues en jouant sur le niveau de dopage au niveau du canal.[5]

Dans ce chapitre nous allons abordés la théorie des transistors, et en particulier celle des MOSFET à canal N à enrichissement. Dans ce contexte ; nous parlerons de leurs structures physique, leurs principes de fonctionnements ainsi que de leurs différentes régions d'opérations ; la région ohmique et de la région de fonctionnement normal en amplification c.-à-d. la région de saturation.[5][6]

## II- MOSFET A ENRICHISSEMENT A CANAL N :

La Figure (CH.I.1) montre la structure interne d'un transistor MOSFET à canal N à enrichissement.

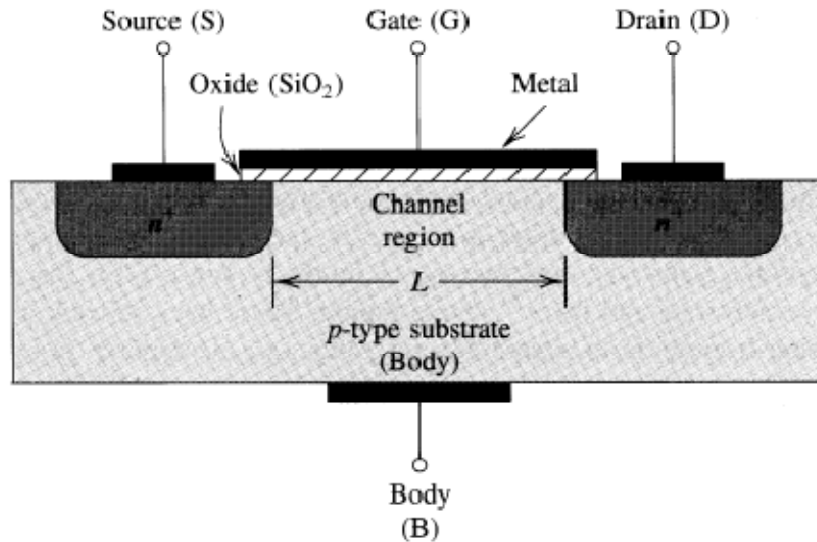


Figure (CH.I.1) : Schéma de principe d'un transistor MOSFET à canal N.[3]

Fabriqué sur un substrat de type P (silicium intrinsèque dopé en accepteurs), il est constitué de deux régions fortement dopées de type  $N^+$  (qui sont réalisées par diffusion ou implantation ionique d'atomes dopants donneurs) qui constituent le drain et la source. Ces deux régions sont de type  $N^+$  (le dopage fort de ces deux a pour rôle d'éliminer l'effet de la jonction métal-S/C qui peut avoir lieu dans les jonctions contact métallique-drain et contact métallique-source en rapprochant les caractéristiques de ces deux régions au maximum de celles des conducteurs métalliques). Une couche d'oxyde (généralement du  $SiO_2$ ) sépare la surface du semi-conducteur de la grille métallique G. Des contacts métalliques D et S alimentent les régions du drain et de la source et le substrat est relié au contact métallique B (pour body). [6]

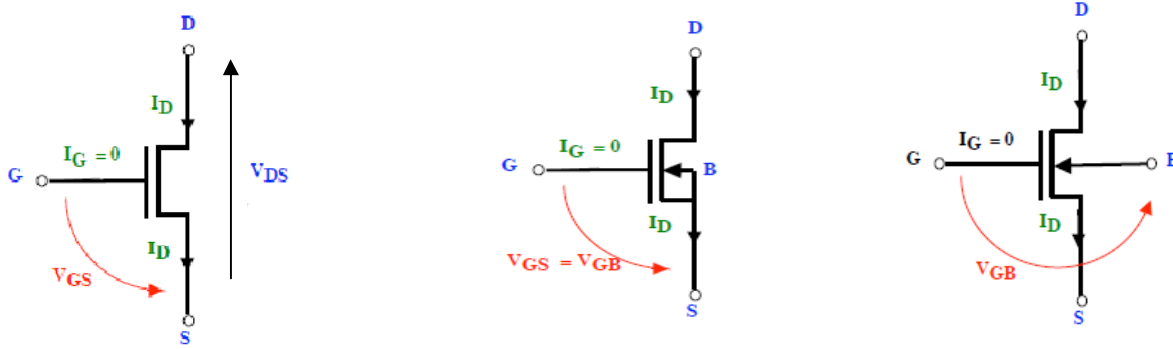


Figure (CH.I.2) : Symbole électrique du transistor MOSFET à canal N[7]

Les symboles conventionnels du transistor MOSFET à canal N à enrichissement sont repris aux figures (CH.I.2) , (schéma à quatre bornes) et figure (CH.I.3) (schéma à trois bornes,  $V_B = V_S$ ).

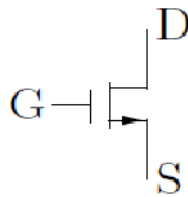


Figure (CH.I.3) : Symbole électrique du transistor MOSFET à canal N à enrichissement [3]

Dimensions typique d'un MOSFET :

- Longueur du canal d'un MOSFET  $L$  est de 0.1 à 10  $\mu\text{m}$ .
- L'épaisseur de la couche oxyde de 2 à 50 nm,
- Largeur  $W$  (largeur du transistor) de 0.2 à 100  $\mu\text{m}$ .

Dans les technologies les plus récentes des circuits intégrés, les longueurs du canal peuvent être réduites jusqu'à 45 nanomètres (MOSFET à canal court).[8]

**.II-1 Fonctionnement d'un MOSFET à enrichissement à canal N :**

Une simplification importante consiste à supposer que le substrat est au même potentiel électrique que la source. Le dispositif ne contient alors plus que trois bornes, voir figure (CH.I.3) .Et Comme la couche oxyde est isolante, le courant de grille  $I_G$  est nul quelque soit la tension (continue) appliquée à la grille. Le transistor présente donc une résistance d'entrée infinie et le courant entrant par le drain,  $I_D$ , est égal au courant sortant par la source.

Supposons qu'aucune tension ne soit appliquée à la grille et qu'une faible différence de potentiel  $V_{DS} = V_D - V_S$  ( $V_{DS} > 0$ ) soit appliquée entre le drain et la source. Dans ce cas, le MOSFET se présente comme deux jonctions PN placées en opposition : une première entre le drain et le substrat, et une deuxième entre le substrat et la source. Ces jonctions sont au mieux parcourues par un courant de fuite, par définition faible. Le courant du drain  $I_D$  alors, sera nul. [8][9][10]

Pour permettre à un courant de circuler du drain vers la source, il faut créer un canal conducteur, comme le montre la figure (4). Pour cela, on applique une tension de grille positive (par rapport à la source), qui a deux effets :

1-Dans un premier temps, cette tension repousse les trous, qui sont les porteurs majoritaires du substrat, ce qui crée une région de déplétion directement en dessous de la grille .

2-Dans un deuxième temps, une tension  $V_G$  positive attire les électrons en dessous de la grille. Quand leur densité est suffisante, ils forment ce qu'on appelle une couche d'inversion (le S/C devient de type N), c'est le canal de conduction. Ces électrons proviennent soit de la génération thermique dans le volume du substrat, soit directement des régions N+ du drain et de la source.

Après la formation du canal sous la grille, l'application d'une légère tension entre le drain et la source engendre un courant  $I_{DS}$  circulant drain vers la source.

Ainsi, en prenant la tension de source  $V_S$  comme point de référence, un canal est créé pour une tension  $V_{GS}$  supérieure à une tension de seuil  $V_T$  (tension de **Threshold**), typiquement de quelques volts. [3][10]

La figure suivant montre la méthode de polarisation des MOSFET à canal N

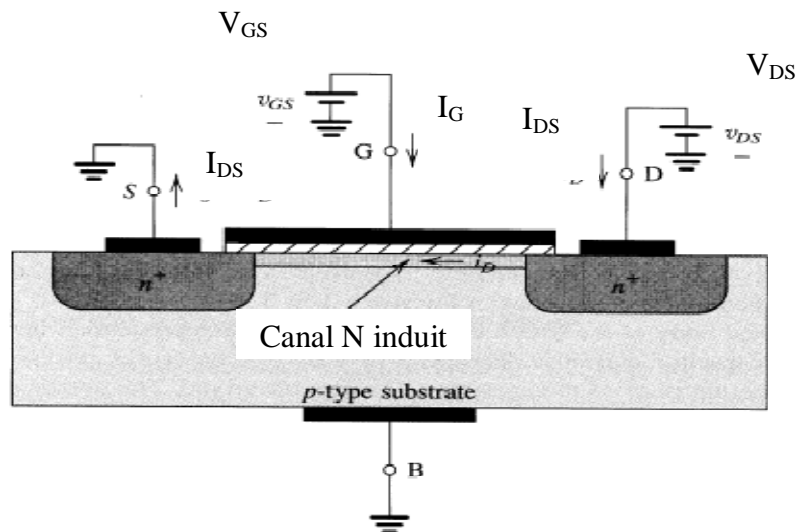


Figure (CH.I.4) :Polarisation des MOSFET à canal N.[11]

II-2 -Caractéristiques courant tension : [11]

Le courant de drain d'un MOSFET  $I_{DS}$  dépend de la différence de potentiel  $V_{GS}$  (et donc de la présence d'un canal de conduction), ainsi que de la différence de potentiel  $V_{DS}$ .

Pour  $V_{GS} < V_T$  ( $V_T$  dite tension de seuil de conduction du MOSFET) aucun canal n'existe ; c'est le régime de blocage. A l'opposé, un canal est créé lorsque  $V_{GS} > V_T$ . On distingue alors suivant les valeurs de la tension drain source  $V_{DS}$  ; deux régimes : le régime de triode, (qui représente le régime de fonctionnement linéaire ou ohmique), et le régime de saturation (zone active).

Le montage de la figure suivante est le montage typique pour l'extraction des caractéristiques statique  $I_{DS} = F(V_{DS})$  à  $V_{GS}$  constant du transistor.

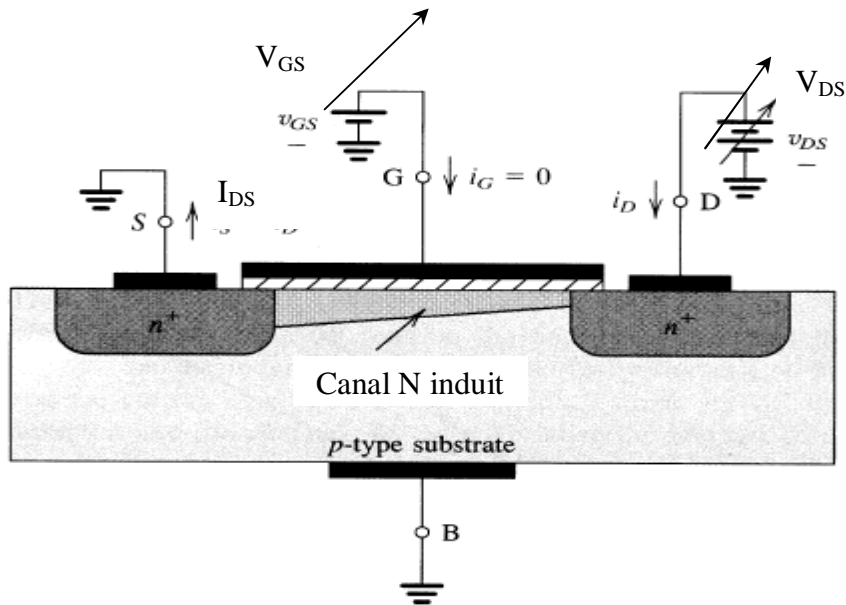


Figure (CH.I.5) : principe de l'extraction des caractéristiques statiques des MOSFET à canal N à enrichissement [11]

Et les caractéristiques statiques d'un MOSFET sont semblables à ceux de la figure(CH.I.6)

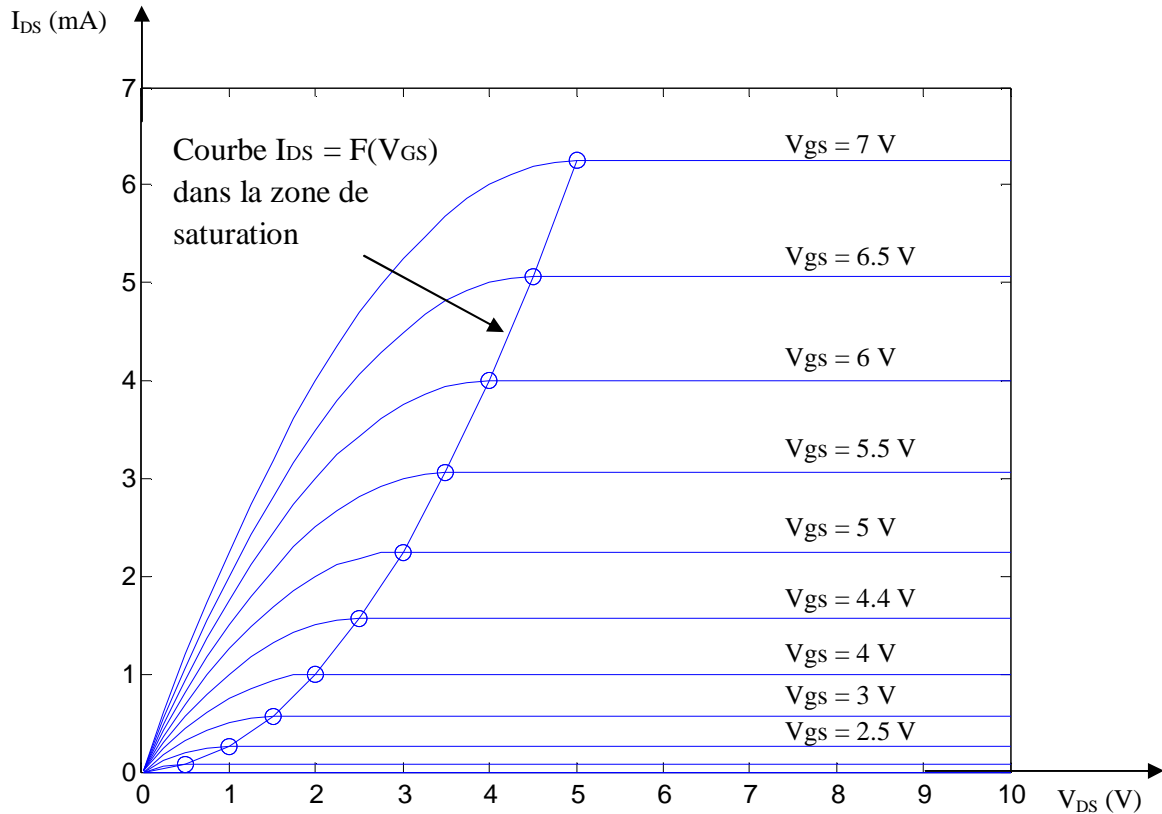


Figure (CH.I.6) : Réseau de caractéristiques  $I_{DS}=F(V_{DS})$ , pour des tensions

$V_{GS}$  fixées. Courbes obtenu pour  $k = 0,25 \text{ mA/V}^2$  et  $V_T = 2V$  (MOSFET **2N7000**)

$K$  est un paramètre lie aux grandeurs physiques et géométriques du transistor.

**II-2-1-Régime de triode ou régime linéaire : [12]**

Tant que la tension  $V_{DS}$  est faible, typiquement inférieure à quelques dixièmes de volts, le transistor a une caractéristique  $I_D = f(V_{DS})$  linéaire, comme illustrée à la figure (CH.I.7) En effet, le canal a une densité d'électrons approximativement Uniforme (voire figure). Sa résistance électrique est donnée par la loi de Pouillet

$$R = \frac{1}{\sigma} \frac{L}{W \times T_{canal}} \tag{CH.I.1}$$

Ou  $\sigma = q(n\mu_n + p\mu_p) \approx qn\mu_n$  car  $n \gg p$

$\sigma$  : Est la conductivité du canal.

$\mu_n$  et  $\mu_p$  sont les mobilités des électrons et des trous dans le canal.

$L$  est la longueur du canal.

$W$  sa largeur.

$T_{canal}$  son épaisseur. Voire la figure (CH.I.8)

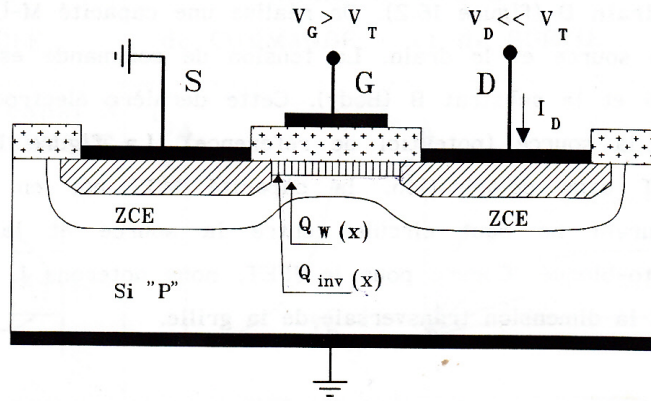


Figure (CH.I.7) : Structure du canal en régime linéaire [12]

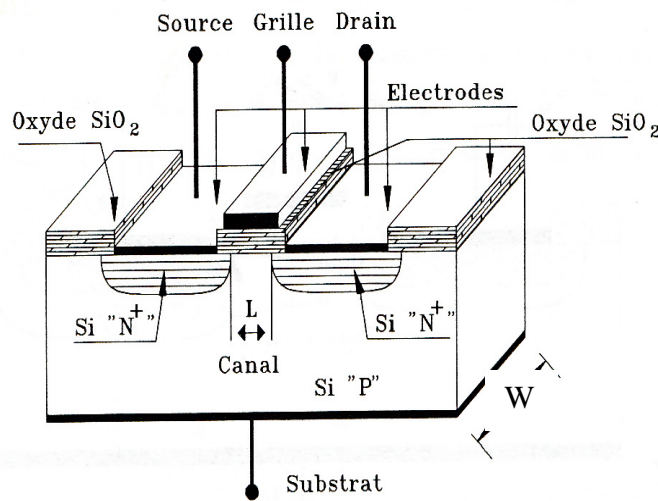


Figure (CH.I.8) : Structure de base d'un MOSFET [12]

Ainsi,

$$I_{DS} \approx \frac{1}{R} V_{DS} \propto \sigma V_{DS} \propto n V_{DS} \tag{CH.I.2}$$

Dans cette expression, la tension de grille  $V_{GS}$  contrôle directement la densité  $n$  des électrons du canal. A mesure que  $V_{GS}$  augmente au dessus du seuil  $V_T$ ,  $n$  augmente,  $R$  diminue et la droite  $I_{DS} = f(V_{DS})$  se redresse. Dans ce régime, le transistor se comporte donc comme une résistance variable dont la valeur est contrôlée par la tension  $V_{GS}$ .

II-2-2-Régime de saturation : [12]

Si la différence de potentiel drain-source ( $V_{DS}$ ) est importante, la densité d'électrons dans le canal cesse d'être uniforme (voire figure (CH.I.9) ). En effet, en observant la figure (CH.I.10), la densité d'électrons en un point Q sous la grille dépend directement de l'excès local de tension  $V_{GQ} - V_T$ . Or la différence de potentiel appliquée  $V_{DS}$  se répartit tout le long du canal. Par conséquent, pour un point Q situé entre le drain et la source. On a

$$V_S < V_Q < V_D \Rightarrow -V_D < -V_Q < -V_S$$

$$\Rightarrow V_{GD} - V_T < V_{GQ} - V_T < V_{GS} - V_T \tag{CH.I.3}$$

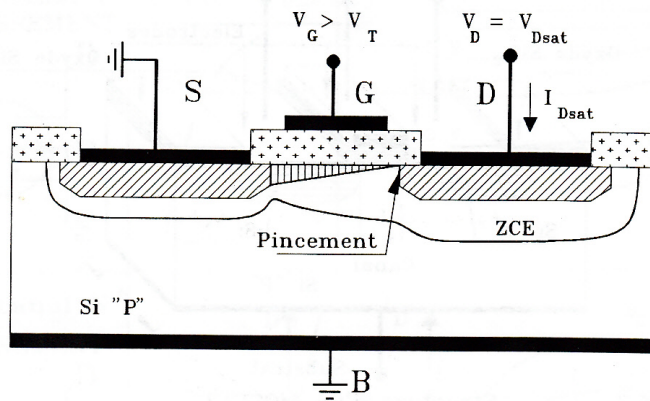


Figure (CH.I.9) : forme du canal au début de la saturation [12]

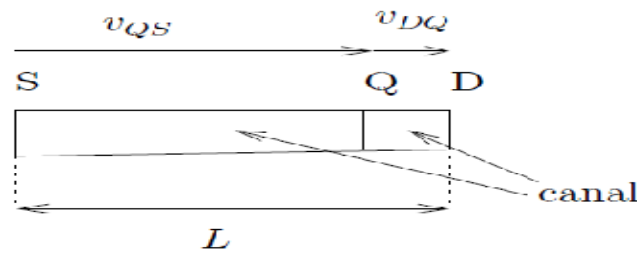


Figure (CH.I.10) : Répartition de la tension dans le canal, dans le régime sous-linéaire.[3]

Le canal commence à disparaître coté drain lorsque la tension  $V_{GD}$  atteint le seuil  $V_T$ , c'est-à-dire lorsque :

$$V_{DS} = V_{DSSAT} \equiv V_{GS} - V_{GD} = V_{GS} - V_T \text{ (entrée en saturation) } \quad (\text{avec } V_{GD} = V_T)$$

A cette tension, le canal est pincé du coté drain. Pour des tensions appliquées  $V_{DS}$  supérieures, à  $V_{DSSat}$ , le point de pincement se déplace vers la source (voire figure(CH.I.1) ), au point P tel qu'il est montré sur la figure (CH.I.11) :

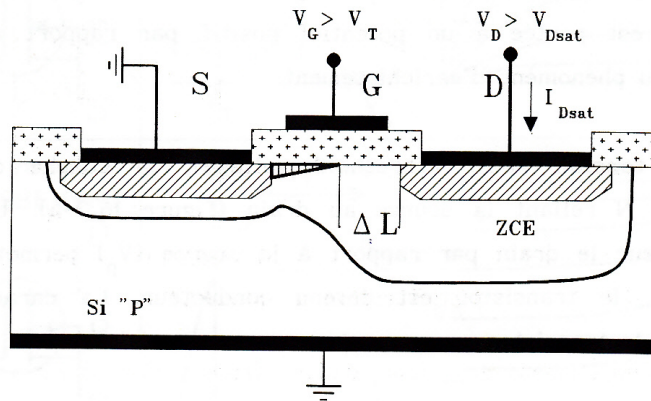


Figure (CH.I.11) : Déplacement du point de pincement du canal pour  $V_{DS}$  important[12]

$$V_{GP} = V_P \text{ (position du point de pincement) (CH.I.4)}$$

Considérons alors un point Q situe entre D et S : on a

$$V_{GQ} = V_{GP} + V_{PQ} = V_T + V_{PQ} \tag{CH.I.5}$$

Par conséquent, si Q est situé entre P et D, la tension  $V_{PQ}$  est négative et  $V_{GQ}$  est sous le seuil :  $V_{GQ} < V_T$ . Le canal ne peut être maintenu en ce point. A l’opposé, si Q est situé entre le point de pincement et la source,  $V_{PQ}$  est positif et  $V_{GQ}$  dépasse le seuil,  $V_{GQ} > V_T$  ; le canal d’électrons s’étend donc entre la source et le point de pincement, comme le montre Figure (CH.I.12). La tension  $V_{DS}$  est alors répartie comme suit :

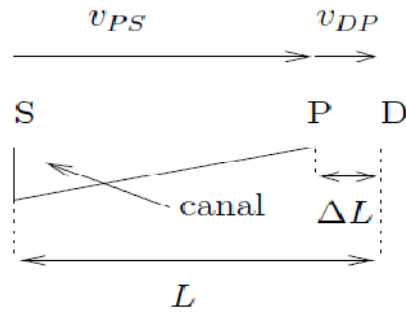


Figure (CH.I.12) : Répartition de la tension  $V_{DS}$  dans le régime de saturation.[3]

P : est le point de pincement et le canal s'étend du point S au point P.

1-Comme  $V_{GP} = V_T$ , on a  $V_{PS} = V_{GS} - V_{GP} = V_{GS} - V_T = V_{DSSAT}$ , et le canal est soumis à une différence de potentiel  $V_{DSSAT}$  indépendante de la position de P.

2-Le reste de la tension appliquée,  $V_{DS}$ , se retrouve entre P et D

$$V_{DP} = V_{DS} - V_{PS} = V_{DS} - V_{DSSAT}. \quad (\text{CH.I.6})$$

Dans le cas d'un canal long, le premier résultat à une conséquence directe sur le courant  $I_{DS}$ . En effet, si le déplacement du point P peut être négligé devant  $L$ , alors le canal se déforme peu lorsque  $V_{DS}$  augmente. Sa résistance électrique varie donc peu avec  $V_{DS}$ . Comme la tension appliquée aux bornes du canal est constante (et égale à  $V_{DSSAT}$ ), le courant de drain est également constant.

Entre le point de pincement et le drain, cette région est en réalité en déplétions car la tension appliquée à la grille repousse les trous du substrat vers le volume. De plus, cette région est soumise à la différence de potentiel  $V_{DS} - V_{DSSAT}$ , il existe donc un champ électrique interne dirigé du drain vers le canal. Les électrons qui sont injectés à la source et franchissent le canal pour émerger au point de pincement sont entraînés par ce champ électrique vers le drain. Le champ électrique interne agit donc d'une façon analogue au champ électrique de la jonction collecteur-base d'un transistor polarisé en inverse.

**III-Expression du courant  $I_{DS}$  dans chaque région de fonctionnement :[ 13][14]**

Les expressions du courant  $I_{DS}$  en fonction de  $V_{DS}$  dans chaque région des caractéristiques statiques du MOSFET sont les suivantes :

**III-1- Expression de  $I_{DS}$  dans la région de blocage:**

$$I_{DS} = 0 \text{ quelque soit } V_{DS} \text{ lorsque } V_{GS} < V_T. \tag{CH.I.7}$$

**III-2- Expression de  $I_{DS}$  dans la région de triode (ohmique) :**

Pour  $V_{GS} \geq V_T$  et  $V_{DS} < V_{DSSAT}$ , on a (CH.I.8)

$$I_{DS} = \mu_n C_{ox} \frac{W}{L} [(V_{GS} - V_t) \times V_{DS} - \frac{1}{2} V_{DS}^2] \tag{CH.I.9}$$

ou  $C_{ox}$  est la capacité du condensateur formé par la grille, la couche oxyde et le canal. Dans la limite  $V_{DS} < V_{DSSAT}$ , on obtient le régime linéaire :

$$I_{DS} \approx k \times (V_{GS} - V_T) \times v_{DS} \Rightarrow I_{DS} \propto V_{DS} \tag{CH.I.10}$$

et la figure suivante donne l'allure de ce courant dans la région linéaire pour différentes valeurs de  $V_{GS}$

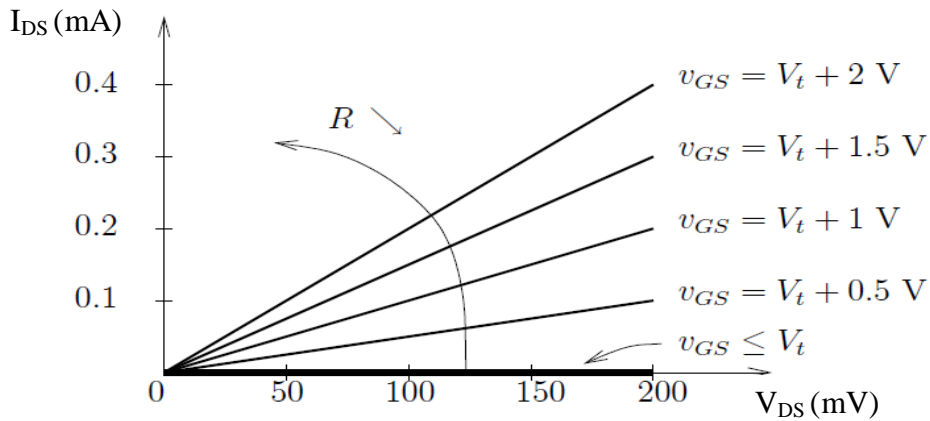


Figure (CH.I.13) : Courant  $I_{DS}$  dans la région de fonctionnement linéaire.[15]

**III-3- Expression de  $I_{DS}$  dans la région de saturation (Zone active):**

Pour  $V_{GS} > V_T$  et  $V_{DS} > V_{DSSAT}$ , avec  $V_{DSSAT} = V_{GS} - V_T$ . On a (CH.I.11)

Dans la région de saturation et comme pour le cas d'un JFET, la relation liant  $I_{DS}$  à la tension de grille peut exprimer par la relation :

$$I_{DS} = K \times (V_{GS} - V_T)^2 \tag{CH.I.12}$$

La figure Figure (CH.I.14) résume les caractéristiques  $I_{DS}=F(V_{GS})$  des MOSFETs en saturation et elle représente la caractéristique de transfert du transistor MOSFET **2N7000**. Pour tracer cette courbe on a pris  $V_T = 2V$  et  $k = 0.25 \text{ mA/V}$  et  $V_{GS\text{MAX}} = 10V$

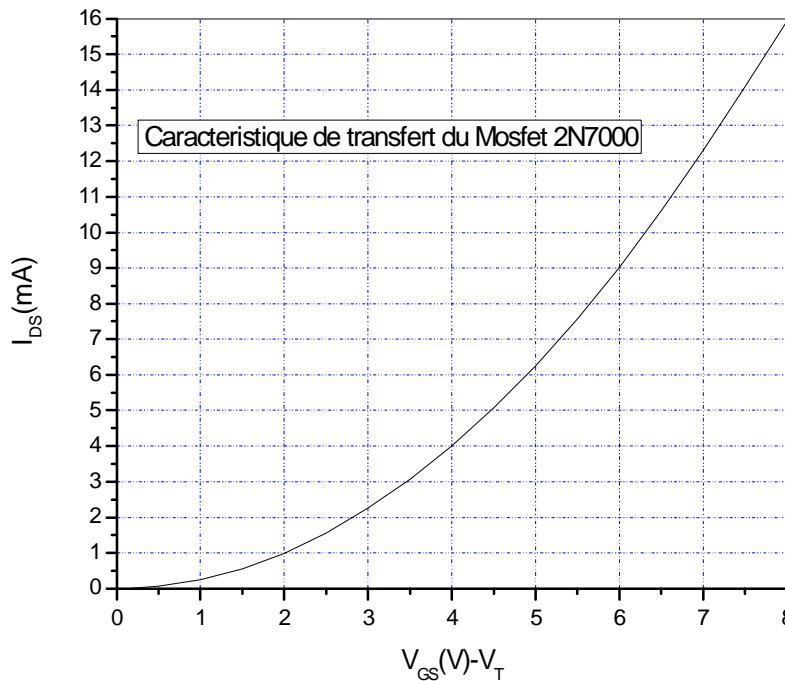


Figure (CH.I.14) : Courant  $I_{DS}$  dans la région de fonctionnement en saturation

**IV-Effets secondaires-Effet Early :**

Dans le régime de saturation, nous retrouvons un effet similaire à l'effet Early des transistors bipolaires : le courant  $I_{DS}$  augmente légèrement avec la tension  $V_{DS}$ . Ceci résulte de la diminution de la longueur du canal observée à mesure que  $V_{DS}$  augmente, et que nous avons négligés plus haut. En réalité, à mesure que  $V_{DS}$  augmente, le canal est de plus en plus court et sa résistance électrique diminue. La tension à ses bornes étant constante et égale à  $V_{DSSAT}$ , le courant  $I_{DS}$  augmente. Cet effet est modélisé en modifiant l'équation (CH.I.10), en l'expression suivante :

$$I_{DS} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_T)^2 \times \left(1 + \frac{V_{DS}}{V_A}\right) \tag{CH.I.13}$$

Ou encore,

$$I_{DS} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_T)^2 \times (1 + \lambda \times V_{DS}) \quad (\text{CH.I.14})$$

$\lambda = \frac{1}{V_A}$  et aussi donné par l'expression,  $\lambda = 0.1(\mu\text{m/V})/L$  et il est dit coefficient de modulation du canal.  $V_A$ , est une tension variante de quelques volts à une centaine de volts. Comme dans le cas des transistors bipolaires, le terme supplémentaire  $V_{DS}/V_A$  est à l'origine d'une résistance incrémentale de sortie

$$r_0 = \left( \frac{\partial i_D}{\partial v_{DS}} \right)^{-1} \Big|_{V_{GS}} \approx \frac{V_A}{I_{DS}}, \quad (\text{CH.I.15})$$

à  $V_{GS}$  constant.[3]

## V- Autre types de transistors MOSFET :

### V- 1- MOSFET à canal N à appauvrissement :[3]

Une autre variété de MOSFET à canal N (le courant est transporté par les électrons peut être obtenue avec une tension de seuil  $V_T$  négative. Par construction, ce type de transistor possède un canal native lorsque  $V_{GS} = 0$  ; il conduit donc en présence d'une tension  $V_{DS} > 0$ .

Selon la tension de grille appliquée, un MOSFET à canal N à appauvrissement peut fonctionner dans deux régimes :

#### V-1-1-Régime de déplétion :

Correspondant au domaine de tension  $V_T \leq V_{GS} \leq 0$ , dans ce cas, appliquer un potentiel de grille négatif vide le canal. Ce dernier cesse d'exister si la tension est abaissée en dessous du seuil  $V_T$  (ce cas est semblable au cas du JFET).

#### V-1-2-Régime d'Enrichissement, correspondant au domaine $V_{GS} > 0$ :

Dans ce cas, augmenter le potentiel de grille enrichit le canal. Mis à part le signe de la tension de seuil, le réseau de caractéristiques du MOSFET à canal N à appauvrissement est similaire à celui des MOSFET à canal N à enrichissement.

Les MOSFET à appauvrissement à canal P peuvent également être construits. Dans ce cas, la tension de seuil est positive.

#### Remarque :

Le MOSFET à canal N à enrichissement est dit **Normaly-Off**, car il est naturellement non passant jusqu'à la formation du canal. Alors que les MOSFET à canal N à déplétion sont dits

**Normally-ON** à cause de leur canal natif et qui peuvent véhiculer du courant même en l'absence de tension ( $V_{GS} = 0$ ). Voir figure (si bas)

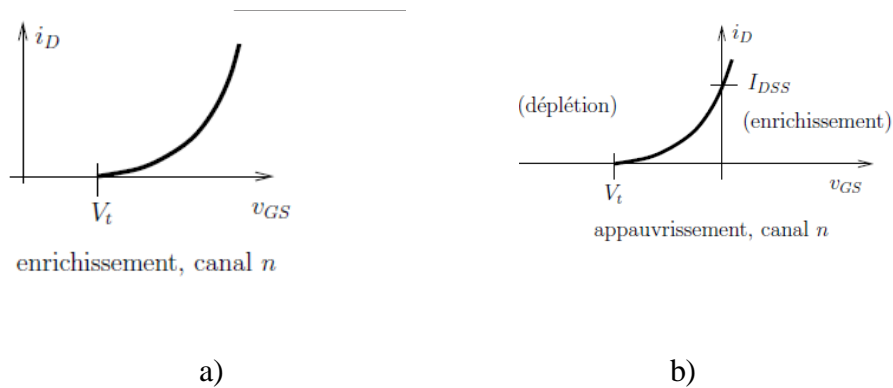


Figure. (CH.I.15) Caractéristiques  $I_{DS} = F(V_{GS})$  pour un MOSFET à canal N en saturation :[3]

- a- MOSFET à enrichissement
- b- MOSFET à appauvrissement.

**V- 2- MOSFET à canal P :**

Dans le cas d'un MOSFET à canal P, le courant  $I_{DS}$  est toujours positif, alors que les tensions  $V_{DS}$  et  $V_{GS}$  sont négatives. Pour que ce transistor commence à conduire le courant  $I_{DS}$  (formation du canal P dans le substrat N) il faut que  $|V_{GS}|$  soit supérieur à  $|V_T|$ . Le courant  $I_{DS}$  est un courant de trous caractérisés par une mobilité  $\mu_p$ . [3]

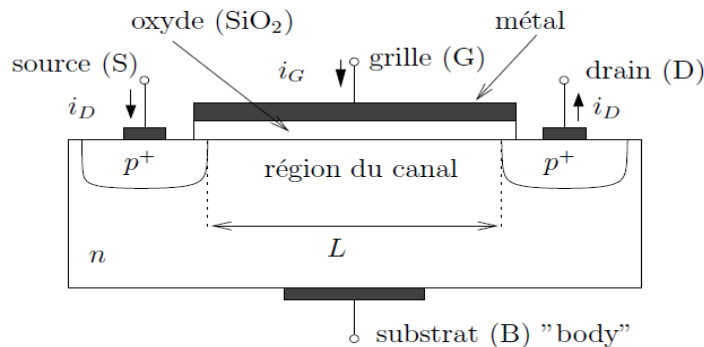


Figure (CH.I.16): Schéma de principe d'un transistor MOSFET à canal P. [3]

**VI- Grandeurs importantes caractérisant les MOSFETs :[18][19]****VI-1-La tension de seuil (Tension de Treshold) :**

De l'ordre de quelques volts, cette tension représente la limite entre le blocage et l'état passant du MOSFET. En effet c'est la tension minimale appliquée à la grille du transistor et qui induit un phénomène d'inversion de population sous la grille provoquant ainsi la formation du canal N à partir d'un S/C initialement de type P. Elle est très liée au potentiels  $V_s$  de surface du S/C sous la grille métallique. Cette tension est donnée par :

1-Cas ou le substrat est relié a la source ( $V_{SB} = 0$ ) :

$$V_T = V_{T0} = 2 \times \phi_F + V_{BP} + k_0 * \sqrt{2 \times \phi_F} \quad (\text{CH.I.16})$$

$$V_{BP} = \frac{W_m - W_s}{q} - q \times \frac{N_{ox}}{C_{ox}} \quad (\text{CH.I.17})$$

$$\text{et } k_0 = \frac{1}{C_{ox}} \sqrt{2 \times q \times \epsilon_S \times N_A} \quad (\text{CH.I.18})$$

Si l'épaisseur de l'isolant est faible, le terme  $\frac{1}{C_{ox}}$  devient négligeable et par conséquent on aura :

$$V_T = V_{T0} = 2 \times \phi_F + V_{BP} \quad (\text{CH.I.19})$$

$\Psi_I = 2 \times \phi_F$ : Potentiel d'inversion de population.

1- Cas ou le substrat n'est pas relié à la source ( $V_{SB} \neq 0$ ) :

Dans ce cas la tension de seuil  $V_T$  est donnée par :

$$V_T = V_{T0} + \sqrt{2 \times \phi_F + V_{SB}} - \sqrt{2 \times \phi_F} \quad (\text{CH.I.20})$$

$\phi_F$  : Le potentiel de Fermi du S/C de type P et est donnée par :

$$q \times \phi_F = E_{FI} - E_{FP} = kT \ln \left( \frac{N_A}{n_i} \right) \quad (\text{CH.I.21})$$

Ou,  $E_{FI}$  et  $E_{FP}$  sont les niveaux de Fermi du S/C intrinsèque et de type P respectivement.

$V_{BP}$  : est dite tension de bande plate.

$\epsilon_s$  : La permittivité relative du S/C

$N_A$  : Le dopage du S/C de type P.

$C_{ox}$  : La capacité de l'oxyde de grille.

$W_m$  : Le travail de sortie du métal.

$W_s$  : Le travail de sortie du S/C.

$N_{ox}$  : le nombre de charge stockée à l'interface isolant-S/C ( en pratique entre  $10^{10}$  et  $10^{15}$ )

Dans le cas ou on considère que le S/C est faiblement dopé et que l'épaisseur de l'oxyde est très fine on aura (ce qui représente la cas réaliste des MOSFET),  $N_A$  faible et  $C_I$  sera par contre très grande (condensateur plan) .

on aura :

$$V_T = 2 \times \phi_F \quad (\text{CH.I.21})$$

$$\text{Et } V_{DSSAT} = V_{GS} - 2 \times \phi_F = V_{GS} - V_T \quad (\text{CH.I.22})$$

### VI-2-Le paramètre k:

Le paramètre k figurant dans les expressions du courant  $I_{DS}$  est donnée par :

$$K = \frac{1}{2} \mu C_{ox} \frac{W}{L}, C_{ox} = \frac{\epsilon_{rox}}{T_{ox}} \quad (\text{CH.I.23})$$

$\mu$  : La mobilité des porteurs majoritaires du canal (des électrons pour un MOSFET à canal N, ou des trous pour un MOSFET à canal P).

$W$  : La largeur du transistor.

$L$  : La longueur du canal.

$\epsilon_{rox}$ : La permittivité relative de l'oxyde sous la grille.

$T_{ox}$  : l'épaisseur de cet oxyde.

**VI-3-La transductance  $g_m$  :**

La transductance d'un transistor FET que ce soit un Mos ou un JFET, est la pente de la caractéristique de transfert  $I_{DS}$  en fonction de  $V_{GS}$ . Ce paramètre est utilisé surtout dans le model petit signaux des circuits à FETs.

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} \text{ autours du point de repos } Q \tag{CH.I.24}$$

$$\text{Et , } g_m = \begin{cases} \mu C_{ox} \frac{W}{L} V_{DS} & \text{(CH. I. 25) dans la region de triode} \\ \mu C_{ox} \frac{W}{L} (V_{GS} - V_T) & \text{(CH. I. 26) dans la region de sturation} \end{cases}$$

**VII- Circuits de polarisation des NMOSFET à enrichissement :**

La polarisation d'un transistor consiste en son alimentation par une source de tension continue après l'avoir placé dans un circuit convenable. Le but de cette opération est la fixation des coordonnées de son point de repos et par conséquent la fixation de sa zone de fonctionnement, zone de blocage, zone linéaire ou, zone de saturation [19]. Dans le cas d'un MOSFET ces coordonnées sont :

- La tension continue  $V_{GS}$ .
- La tension continue  $V_{DS}$ .
- Le courant de sortie continu  $I_{DS}$ .

Il existe plusieurs montages de polarisation :

**VII-1- Polarisation par la grille :**

Dans ce cas la grille est polarisée directement par la tension d'alimentation du circuit  $V_{DD}$  et la tension de la source est nulle.[19]

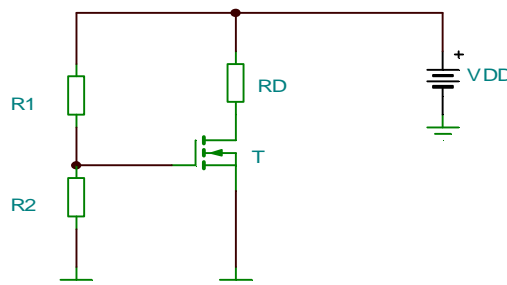


Figure (CH.I.17) : Circuit de polarisation par la grille [19]

$$V_G = \frac{R_2}{R_2+R_1} \times V_{DD} \tag{CH.I.27}$$

Et,  $I_G = 0$  (CH.I.28)

Les éléments résistifs du circuit doivent être choisis de telles sortes que  $V_G$  ( $V_{GS} = V_G$  car  $V_S = 0$ ) soit supérieur à la tension de seuil  $V_T$ . [19]

**VII-2- Polarisation par diviseur de tension :**

Dans ce cas de montage, la résistance  $R_S$  fournit une contre-réaction négative. En effet si  $I_{DS}$  augmente brusquement, alors  $V_S$  augmente elle aussi tandis que  $V_G$  est constant. [19]

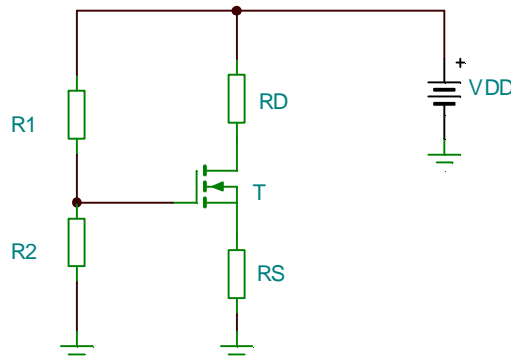


Figure (CH.I.18): Circuit de polarisation par diviseur de tension [19]

Cela pour entraine une diminution de  $V_{GS}$  et  $I_{DS}$  par conséquent aussi décroît avec  $V_{GS}$ .

$$V_G = \frac{R_2}{R_2 + R_1} \times V_{DD}$$

$$V_{GS} = V_G - R_S \times I_{DS} \tag{CH.I.29}$$

, Et  $I_G = 0$

Et semblablement au cas précédent, les éléments résistifs du circuit doivent être choisis de telles sortes que  $V_{GS}$  soit supérieur à la tension de seuil  $V_T$

**VII-3- Polarisation par la source :**

Dans ce cas de montage ;  $R_G$  met  $V_G$  à la masse et joue le rôle de charge pour la source petit signal  $V_{in}$ . [19]

$V_G = 0$  et  $I_G = 0$ , Et  $V_{GS}$  doit être supérieur à zéro

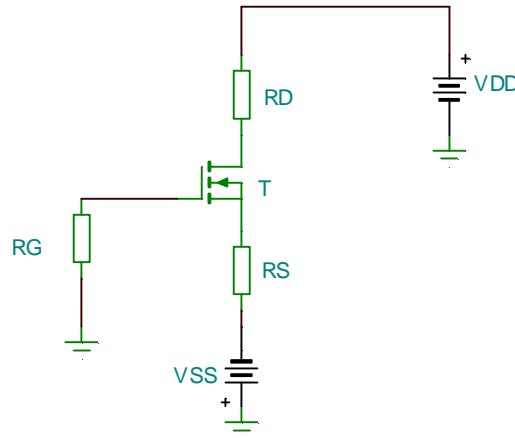


Figure (CH.I.19): Circuit de polarisation par source de tension [19]

**VII-4- Polarisation par rétroaction au drain :**

Dans ce montage,  $R_G$  fournit un chemin de “feedback” ce qui entraîne une saturation permanente du transistor. Dans les deux cas 3 et 4,  $R_G$  est une grande résistance ( $R_G > 1M$ ). [19]

$V_G = V_D$ ,  $I_G = 0$  et  $V_{DS} = V_{GS}$  (CH.I.30)

$V_{DS} = V_{GS} > V_{GS} - V_T$  (CH.I.31)

Sachant que,  $V_{GS} - V_T$  est la tension de saturation du transistor

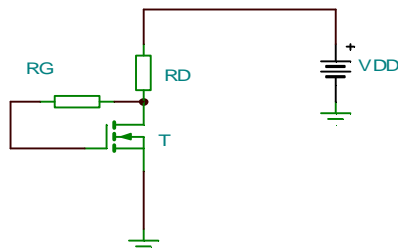


Figure (CH.I.20): Circuit de polarisation par rétroaction au drain [19]

Le montage de polarisation par diviseur de tension est le plus utilisé pour l'alimentation des transistors quelque soit leur technologie (bipolaire ou FET) car il offre une grande stabilité en vers la variation de température du milieu dans le quel opère ce composant.

**VIII-Conclusion :**

Dans ce chapitre et après une brève description des transistors FET, nous nous sommes focalisés sur étude des MOSFET à canal N à enrichissement. En effet, nous avons donnés en détail leurs structures, principes de fonctionnement et leurs différentes zones polarisations ainsi que les circuits standards utilisés pour la fixation de leurs régimes d'opération. Et en fin, nous allons posés la problématique suivante , peut-on simulés le fonctionnement de ce type de transistor très important par les techniques de l'intelligence artificiel tel que les réseaux de neurones.

**I-Introduction :**

La résolution de problèmes par la construction de systèmes capables d'apprendre à partir des entrées et des sorties, caractérise l'approche fondamentale de la théorie d'apprentissage. Le problème typique de la théorie de l'apprentissage statistique se résume dans le contexte où des données engendrées par une distribution de probabilité (phénomène physique), pour la prédiction d'une telle donnée. On désire utiliser au mieux un échantillon fini de ces données, pour construire une loi générale permettant de prédire des points nouveaux tirés selon la même distribution. Ce problème de régression supervisée de données est identifié comme une des problématiques majeures en extraction des connaissances à partir des données. Depuis des décennies de nombreux sous problèmes ont été identifiées, la sélection des données, la variété des espaces de représentations, la popularité, la complexité et toutes ces variantes du problème de la régression de données ont généré une multitude de méthodes de résolution. Pour traiter ce genre de problème, diverses méthodes ont été développées. Parmi celles-ci on retrouve les réseaux de neurones artificiels. [20]

L'histoire des réseaux de neurones commence en 1943, là où Mac Culloch et Pitts adoptèrent les affirmations de James (1890) et formalisèrent une description du neurone qui est l'élément fondamental de tous les réseaux.

En 1949 Hebb introduit la notion de « plasticité synaptique » c'est-à-dire le mécanisme de modification progressive des couplages entre neurone responsable de changement permanents leurs propriétés collectives, ce qu'on appelle « apprentissage ».

En 1969 Minsky et Papert démontrèrent, dans leur ouvrage intitulé « perceptron » un certain nombre de théorèmes sur les limitations d'un réseau monocouche et conclurent que ses limitations se généralisent pour les réseaux multicouche. Ceci a poussé de nombreux chercheurs à abandonner cette voie pour se diriger vers l'intelligence artificielle qui semblait un domaine plus prometteur.[21]

Dans le début des années 80 les travaux de Rosenblatt sur le perceptron et ceux de WIDROW et HOFF sur les algorithmes adaptatifs sont s'avèrent les plus importants.[21]

Dans ce chapitre nous allons présenter les concepts fondamentaux des réseaux de neurones artificiels, leurs propriétés, les différentes architectures neuronales possibles et les mécanismes utilisées pour leur apprentissage. Dans ce contexte nous allons traiter en détail l'algorithme de retro-propagation de l'erreur.[20][21]

## II-Présentation des réseaux de neurones artificiels (RNA) :

### II-1-Le neurone biologique :

Les neurones sont les cellules nerveuses constituant le système nerveux. Chez l'être humain, on en compte environ cent milliards  $10^{11}$ , ce qui correspond à environ  $10^{15}$  connexions [22]. La figure (CH.II.1) montre les éléments essentiels constituant le neurone biologique.

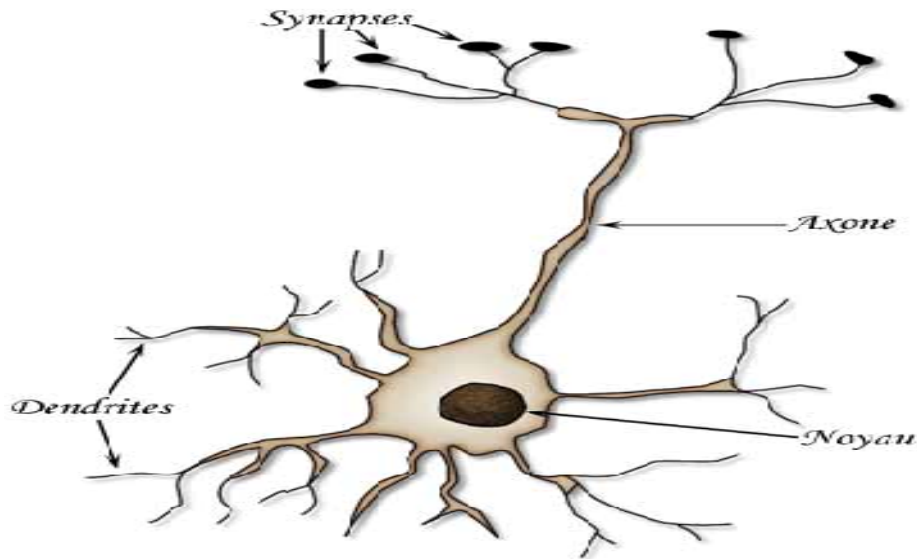


Figure (CH.II.1) : Les éléments constituant le neurone biologique [22]

Un neurone biologique est composé de trois parties essentielles :

- \* Le corps cellulaire effectue les transformations biochimiques nécessaires à la vie du neurone.

- \* Les dendrites forment une arborescence autour du corps cellulaire et permettent au neurone de capter les signaux qui parviennent de l'extérieur.

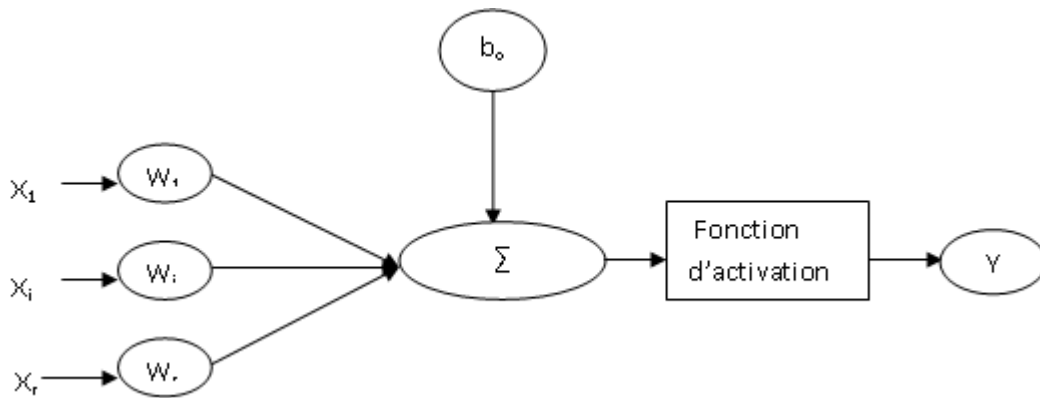
- \* L'axone est une fibre nerveuse qui transporte les signaux émis par le neurone, il se ramifie en extrémité là où il communique avec les autres neurones à travers des synapses.

L'influx nerveux se propage toujours de la dendrite vers le corps cellulaire et de celui-ci vers l'axone.

Chaque neurone reçoit des signaux excitateurs ou inhibiteurs par ses dendrites. Ces signaux pondérés sont combinés dans le corps cellulaire. Le potentiel résultant est comparé au seuil interne, s'il est supérieur à celui-ci, le neurone provoque l'émission dans l'axone d'un train d'impulsions vers les synapses, dans le cas contraire il reste inactif.[23]

## II-2- Le neurone artificiel :

Les réseaux de neurones artificiels sont des réseaux fortement connectés de processeurs élémentaires fonctionnant en parallèle. Chaque processeur élémentaire calcule une sortie unique sur la base des informations qu'il reçoit. La Figure (CH.II.2) montre la structure d'un neurone artificiel (un processeur élémentaire). Il reçoit un nombre variable d'entrée en provenance de neurone amont. A chacune de ces entrées est associé un poids «  $W_i$  » (abréviation de weight (poids en anglais) représentatif de la connexion, et d'un offset dit encore « biais ». Chaque processeur élémentaire est doté d'une fonction de transfert (fonction d'activation) qui donne une sortie unique «  $Y$  », qui se ramifie ensuite pour alimenter un nombre variable de neurone en aval [24].



.Figure (CH.II.2) : Structure d'un neurone artificiel [24]

Dans le comportement de ce neurone, on distingue deux phases : la première est le calcul de la somme pondérée des entrées «  $X_i$  », alors que la deuxième se résume par l'application d'une fonction de transfert «  $f$  » qui calcule la valeur de l'état du neurone à partir de cette somme et cela par l'expression suivante :

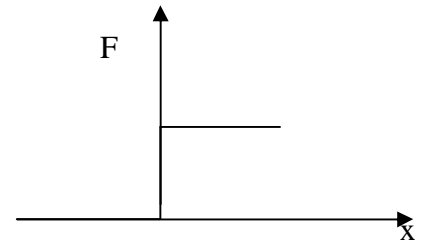
$$Y = f\left(b_0 + \sum_{i=1}^r W_i X_i\right) \quad (\text{CH.II.1})$$

$x_j$  est la valeur de la  $j^{\text{eme}}$  entrée du neurone,  $W_j$  est le poids synaptique correspondant au neurone,  $b$  désigne le biais et  $f(\cdot)$  la fonction d'activation.

**II-3-Fonction de seuil usuel :**

Fonction Seuil :  $F(x) = 0$  si  $x \leq 0$ .

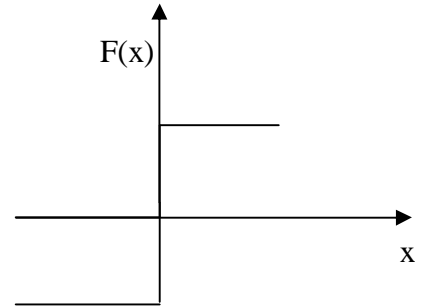
$$F(x) = 1 \text{ si } x > 0$$



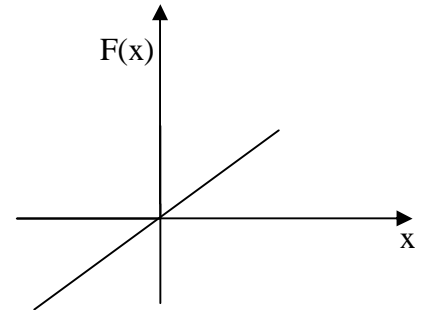
Fonction Seuil symétrique :  $F(x) = -1$  si  $x < 0$ .

$$F(x) = 1 \text{ si } x > 0$$

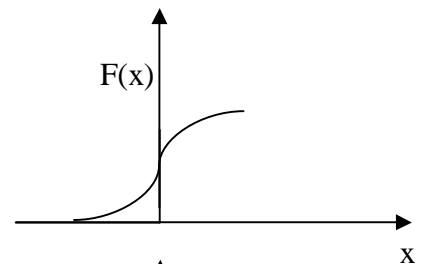
$$F(0) = 0$$



Fonction linéaire :  $F(x) = x$



Fonction Sigmoide :  $F(x) = \frac{1}{1+exp^{-ax}}$



Fonction Tangente hyperbolique :  $F(x) = \frac{1-exp^{-2x}}{1+exp^{-2x}}$

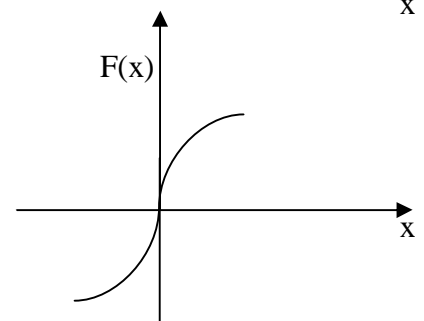


Figure (CH.II.3) : Les différents types de fonctions d'activation [24]

La fonction la plus utilisée est de type sigmoïde et elle est de la forme :

$$f(y) = \frac{1-e^{-\delta y}}{1+e^{-\delta y}} \quad (\text{CH.II.2})$$

$$f(y) \in [-1, 1]; \forall y \in \mathbb{R}.$$

Et  $\delta$  dénote le paramètre de la sigmoïde qui définit le degré de la non linéarité et est souvent pris égale à 2,

#### II-4-Correspondances entre le neurone biologique et celui artificiel :

- Le Corps cellulaire dans le neurone biologique correspond à la fonction de transfert dans le neurone artificiel.
- Le Synapse : est équivalent au poids d'un neurone artificiel.
- L'Axone c'est l'élément de sortie dans le neurone artificiel.
- La Dendrite : correspond au Signal d'entrée.

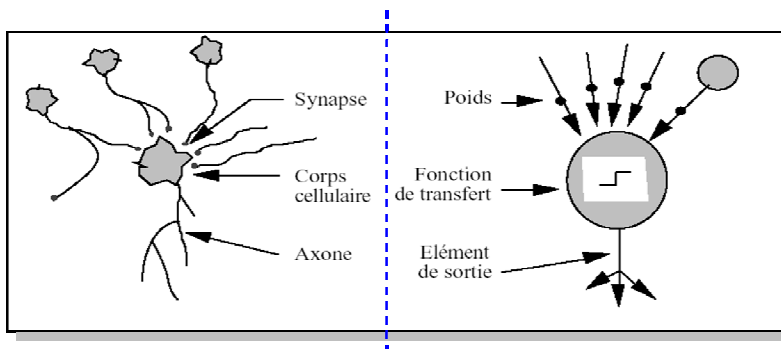


Figure (CH.II.4) : Correspondance neurone biologique /neurone artificiel [25]

#### II-5- Classification des réseaux de neurones selon leurs architectures :

L'intérêt des neurones réside dans les propriétés qui résultent de leur association en réseaux, c'est-à-dire de la composition des fonctions non linéaires réalisées par chacun des neurones. La plupart des réseaux de neurones ont une topologie définie sous forme de couches. Il existe quelques exceptions lorsque le réseau n'est pas explicitement défini sur plusieurs couches, mais elles peuvent alors être considérées comme n'ayant qu'une seule couche. L'architecture du réseau peut alors être décrite par le nombre de couches, le nombre de neurones dans chaque couche et par les connexions entre les neurones. [25]

### II-5-1- L'ADALINE ( Adaptive Linear Element ) :

Ce modèle est composé d'un seul neurone de fonction d'activation linéaire. La principale différence entre le modèle du perceptron et celui de l'Adaline se situe au niveau de la règle d'apprentissage car l'erreur dans le premier est calculée sur la sortie non linéaire alors que dans le deuxième, elle est évaluée sur la sortie linéaire [26].

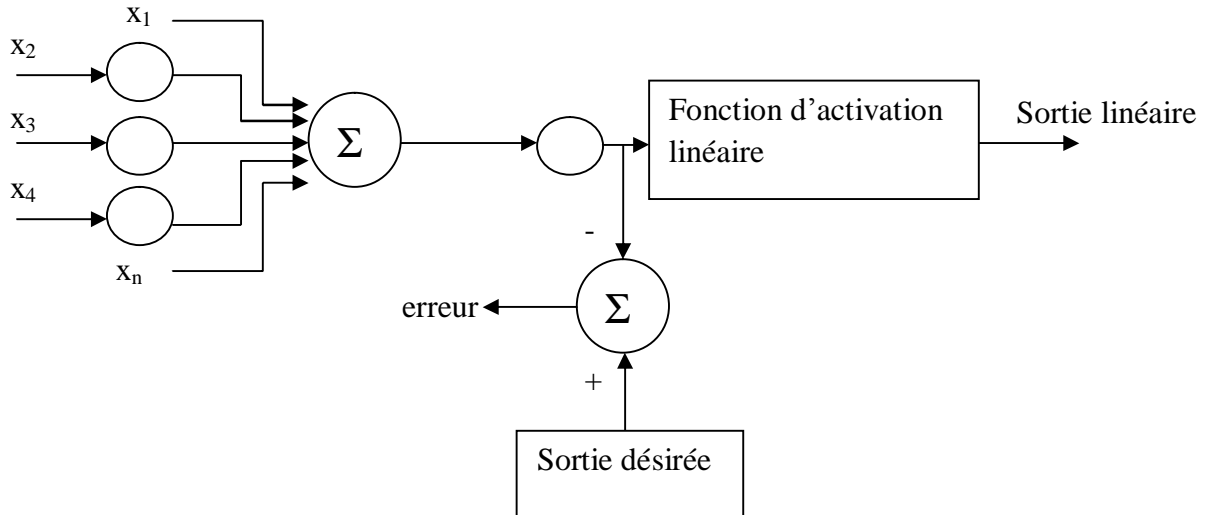


Figure (CH.II.5) : Structure d'un Adaline [26]

### II-5-2- Le perceptron multicouches (MLP) :

Rosenblatt propose le réseau de neurone multicouche [22] ce réseau (appelé aussi en anglais *MLP : Multilayer Perceptron, PMC* en abrégé) est constitué par :

Un ensemble d'entrées dont le rôle est de recevoir les signaux externes et de les diffuser aux unités de la couche suivante. Les unités d'entrées sont organisées en une couche appelée couche d'entrée. Bien que la couche d'entrée n'effectue aucune opération sur les signaux d'entrée ;

-Une couche de sortie qui produit la réponse du réseau au signal d'entrée.

-Une ou plusieurs couches cachées se trouvant entre la couche d'entrée et la couche de sortie. Elles sont appelées ainsi car elles n'ont aucune connexion avec les entrées ni avec les sorties. La fonction des unités cachées est le traitement des entrées.

Les réseaux de neurones unidirectionnels formés d'une couche d'entrée et de sortie sont appelés *Perceptron simple* (figure (CH.II.6.a)). En revanche, lorsqu'une ou plusieurs couches cachées s'interposent entre la couche d'entrée et la couche de sortie, on parle de *Perceptrons multicouches* (Figure (CH.II.6.b)) (PMC). Dans le cas de la proposition de Rosenblatt, les poids synaptiques de la première couche sont fixes ; et les poids de la deuxième couche sont modifiables

par apprentissage. Ce n'est qu'à partir de 1986 que tous les poids ont pu être modifiés avec l'algorithme de rétro propagation [27].

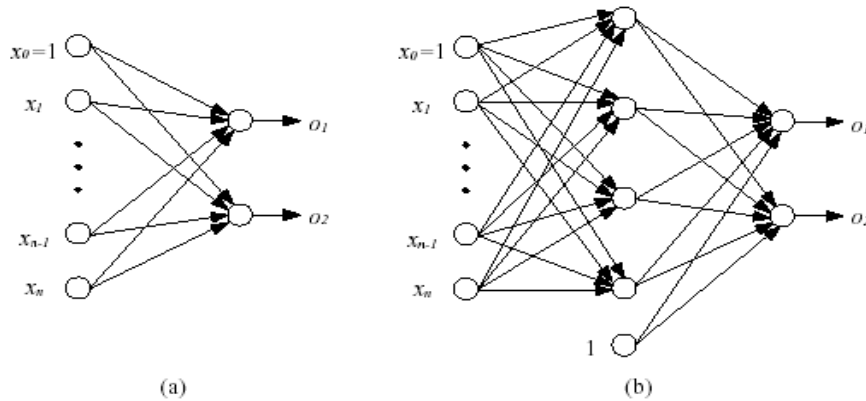


Figure (CH.II.6) : Architecture d'un perceptron : (a) d'un perceptron simple (b) et d'un perceptron multicouche avec une seule couche cachée [27]

### II-5-3- Les Réseaux RBF (Radiale base function):

Le réseau « RBF » est un réseau à trois couches ; une couche d'entrée, une cachée composée de fonction noyau (neurone noyau) et une couche de sortie dont les neurones sont généralement animés par une fonction d'activation linéaire. La Figure (CH.II.7) illustre l'architecture d'un réseau RBF. Le nombre de neurones des couches d'entrée et de sortie est choisi en fonction des données à traiter. Pour les neurones de la couche cachée, la méthode RBF prévoit en principe une fonction noyau (neurone) par point de donnée, c'est-à-dire que le nombre de neurones de la couche cachée est égal au nombre des exemples présentés au réseau, ce qui assure un comportement sans erreur pour les données connues [28].

Cependant en pratique, les données peuvent être nombreuses et redondantes, on choisit donc souvent un nombre beaucoup plus restreint de neurones, ce nombre fait donc l'objet d'un compromis entre un comportement idéal et un temps de calcul raisonnable. Chaque neurone RBF (neurone de la couche cachée) à une gaussienne comme fonction d'activation et qui est centrée sur un point de l'espace des variables d'entrées. La fonction gaussienne permet aux neurones de ne répondre qu'à une petite région de l'espace d'entrée, région sur laquelle la gaussienne est centrée.[28]

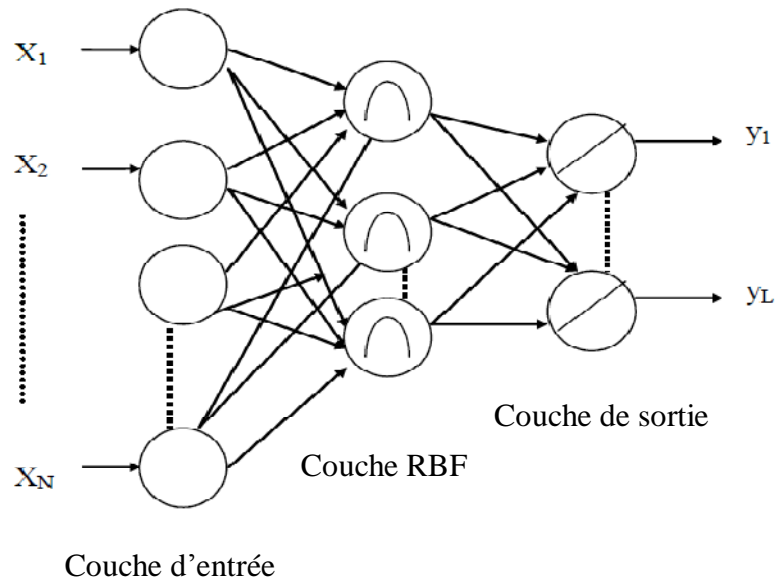


Figure (CH.II.7) : Structure d'un réseau RBF [23]

Chaque neurone RBF calcule la distance entre l'entrée et son centre qu'il passe ensuite dans une non linéarité concrétisée par la fonction d'activation gaussienne. La valeur que prend la sortie du noyau est d'autant plus grande que l'entrée est plus proche de son centre et tend vers zéro, lorsque cette distance devient importante. La sortie du réseau RBF est donnée par [ 23]:

$$y_i = \sum_{k=1}^N W_{kj} \times \phi_k(\|x - c_k\|) \quad (\text{CH.II.3})$$

$$\text{Ou : } \phi(x) = \exp\left(\frac{-x^2}{2h^2}\right)$$

Et le symbole  $\| \quad \|$  dénote la norme euclidienne,  $x$  le vecteur d'entrée,  $c_k$  est le centre associé au noyau  $k$ ,  $N$  le nombre de noyaux de la couche cachée et  $W_{kj}$  les poids associés à la couche de sortie. Le paramètre  $\eta$  permet de contrôler la vitesse de décroissance de la fonction  $\phi$ . Finalement et en résumé on peut dire qu'il y'a quatre paramètres principaux dans un réseau RBF :

- Le nombre de neurones RBF (dans l'unique couche cachée).
- La position des centres des gaussiennes de chacun des neurones.
- La largeur de ces gaussiennes.
- Les poids des connexions entre les neurones RBF et les neurones de sortie.

## II-6-Réseaux bouclés et réseaux non bouclés :

Selon leurs caractères à transféré l'information entre l'entrée et la sortie et aussi entre neurones, il existe deux types de structure de réseaux possibles :

### II-6-1 Les réseaux de neurones non bouclés

Un réseau de neurone est non bouclé Figure (CH.II.8) si son graphe ne possède pas de cycle. Dans tel réseau, l'information circule de l'entrée vers la sortie sans aucun retour. Les réseaux non bouclés réalisent des transformations non linéaires de la forme  $Y=F[X]$ , ou  $X \in R^m$  et  $Y \in R^n$ ,  $m$  et  $n$  et sont les dimensions du vecteur d'entrée  $X$  et du vecteur de sortie  $Y$  respectivement. Les neurones qui ne sont pas des sortie du système sont appelez neurones cachés (neurones invisible de la sorties). Dans l'architecteur la plus générale, l'entrée de chaque neurone est connectée à toutes les sorties des neurones précédents mais, la plupart des réseaux de neurones statiques utilisés, sont organisés en plusieurs couches de neurones, appelés réseaux multicouches [20], ou perceptrons multicouches. Un réseau multicouche comporte :

- ü une couche d'entrée.
- ü une ou plusieurs couches cachées
- ü une couche de sortie.

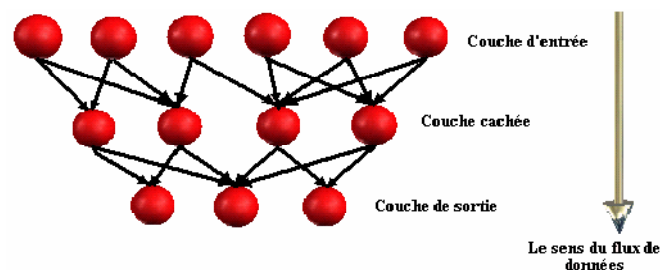


Figure (CH.II.8) : Réseau à connexions non bouclés. [29]

### II-6-2 Les réseaux de neurones bouclés

Les réseaux récurrents peuvent contenir des chemins bouclés, passant plusieurs fois par un même neurone. Ils présentent donc une dynamique complexe due aux multiples rétroactions internes. Ce type de réseau a donc des capacités théoriques supérieures à celles des réseaux non récurrents [30]. Quelque des exemples pour ce type :

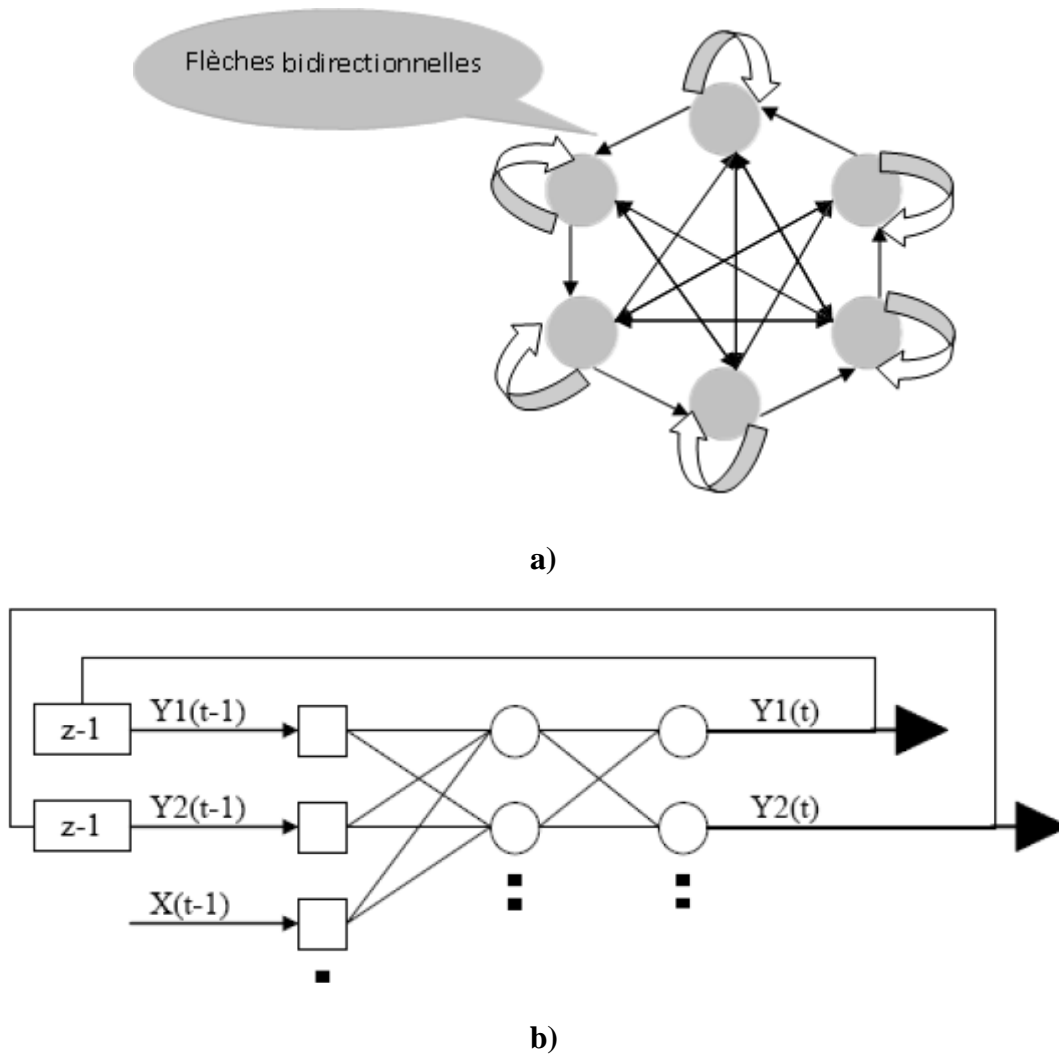


Figure (CH.II.9) : a et b: Exemples de réseau bouclé [30]

**II-7-Propriétés fondamentales des réseaux de neurones :[31]**

Les propriétés essentielles des réseaux de neurones sont :

**II-7-1-Les réseaux de neurones sont des approximateurs universels :**

Toute fonction bornée suffisamment régulière peut être approchée uniformément avec une précision arbitraire, dans un domaine fini de l'espace de ses variables, par un réseau de neurones comportant une couche de neurone cachée en nombre fini, possédant tout la même fonction d'activation et un neurone de sortie linéaire.

**II-7-2-Le parallélisme :**

Cette notion se situe à la base de l'architecteur des réseaux de neurone considérés comme ensemble d'entités élémentaire travaillant simultanément. Par l'étude du fonctionnement des réseaux de neurone on pourrait aboutir à des nouvelles techniques de formalisation de problèmes qui permettraient de les traiter en parallèle.

**II-7-3-La capacité d'adaptation :**

Celle-ci manifeste par la capacité d'apprentissage qui permet de tenir compte des nouvelles contraintes ou de nouvelles données du monde extérieur. Certains réseaux se caractérisent aussi par leur capacité d'auto-organisation qui assure leur stabilité en tant que systèmes dynamique capable de tenir compte de situation non connues.

**II-7-4-La mémorisation distribuée :**

Dans les réseaux de neurones la mémoire correspond à une carte d'activation de neurones. Cette carte est en quelque sorte un codage du fait mémorisé ce qui attribue à ces réseaux l'avantage de résister aux bruits car la perte d'un élément ne correspond pas à la perte d'un fait mémoire.

**III-Apprentissage d'un RNA :**

L'apprentissage est vraisemblablement la propriété la plus intéressante des réseaux neuronaux. La plupart d'entre eux font appel à des règles d'apprentissage sur des données pour ajuster les poids des connexions synaptiques. En d'autres termes les réseaux de neurones sont généralement élaborés à partir d'exemples. Durant cette phase d'apprentissage, l'état du réseau de neurones évolue suivant une loi de minimisation du coût de sa sortie, jusqu'à l'obtention du comportement désiré [32].

En conséquence, le but de l'apprentissage est l'estimation des poids synaptiques, pour remplir au mieux la tâche à laquelle le réseau est destiné. Généralement il existe deux grandes classes d'apprentissage.[33]

**III-1-Apprentissage supervisé :**

En déterminant des variables de sortie, on fait apprendre au réseau par itérations successives à modifier ses paramètres internes de façon à reconnaître ces variables. En quelque sorte, on propose au réseau des exemples (dit aussi observations) auxquels sont associées des réponses désirées. Dans ce type d'apprentissage, la sortie produite par le réseau en réponse à une observation donnée est comparée à la réponse désirée, cette dernière étant obtenue à partir d'un modèle mathématique ou de données expérimentales du système en cours d'étude. La différence entre la réponse désirée et la réponse du réseau est alors utilisée pour adapter les paramètres du réseau (poids et biais) de façon à corriger son comportement. Ce processus est répété de façon itérative jusqu'à obtenir le meilleur comportement (une erreur minimale). On présente en entrée du réseau de neurones chaque observation (combinaison de variables d'entrées), puis on les propage vers la sortie après interaction avec le réseau neuronal. La prédiction que l'on obtient en sortie est (très probablement, surtout au début) erronée. On calcule la valeur de l'erreur (c'est donc la différence

entre les valeurs désirées et les valeurs prédites), puis on « rétro-propage » cette erreur en remontant le réseau et en modifiant les poids proportionnellement à la contribution de chacun à l'erreur totale. On répète ce mécanisme pour chaque exemple des données jusqu'à ce que l'erreur entre les sorties désirées et soit la plus petite que possible. Ce mécanisme porte le nom de rétro-propagation de l'erreur.[34]

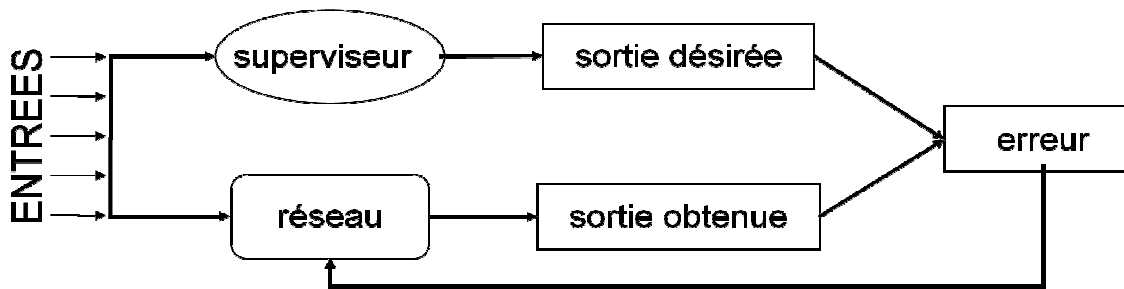


Figure (CH.II.10): Mode d'apprentissage des réseaux de neurones supervisé [34]

### III-2-Apprentissage non supervisé :

Dans l'apprentissage non supervisé, seules les valeurs d'entrée sont disponibles et le réseau est laissé libre de converger vers n'importe quel état final. La connaissance *à priori* de la sortie désirée n'est pas nécessaire, la procédure d'apprentissage est basée uniquement sur les valeurs d'entrées. [35]

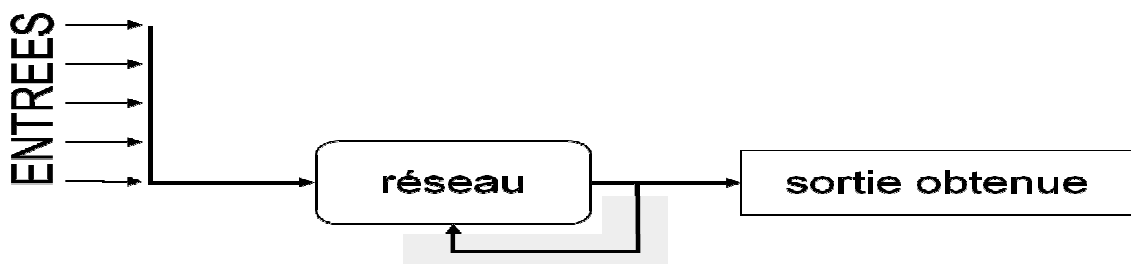


Figure (CH.II.11): Mode d'apprentissage des réseaux de neurones non supervisé [35]

### III-3- Etapes simplifiées d'un algorithme d'apprentissages :

Presque la totalité des réseaux de neurones ont en commun le même algorithme d'apprentissage. Celui-ci comporte quatre étapes :

- Ø **Etape 1** : Initialisation des poids et des biais avec des petites valeurs aléatoires.
- Ø **Etape 2** : Présentation du patron d'entrée et propagation de l'activation des neurones.
- Ø **Etape 3** : Calcul de l'erreur, dans le cas d'un apprentissage supervisé cette erreur dépend de la différence entre l'activation des neurones et le patron de référence (la sortie désirée)

Ø **Etape 4** : Calcule du vecteur de correction à partir des valeurs des erreurs, avec lequel on effectue la correction des poids synaptiques ainsi que des biais.[31]

Les étapes **2-3-4** sont répétées jusqu'à la fin de l'apprentissage.

### III-4- L'algorithme de retro-propagation de l'erreur :

La règle du gradient de l'erreur est l'une des règles les plus utilisées pour l'apprentissage de réseaux de neurones. Cette règle, initialement développée pour résoudre des problèmes de traitements adaptatifs du signal a ensuite été exploitée pour obtenir le très populaire algorithme de rétro-propagation du gradient de l'erreur (*back propagation BP*) pour réseaux de neurones multicouches. Il consiste simplement en une descente de gradient, qui est une méthode d'optimisation universelle. On cherche à minimiser une fonction d'erreur (qui représente l'erreur entre la sortie désirée et la sortie obtenue) [34]. Une fonction d'erreur rapportée à une dimension peut se représenter ainsi :

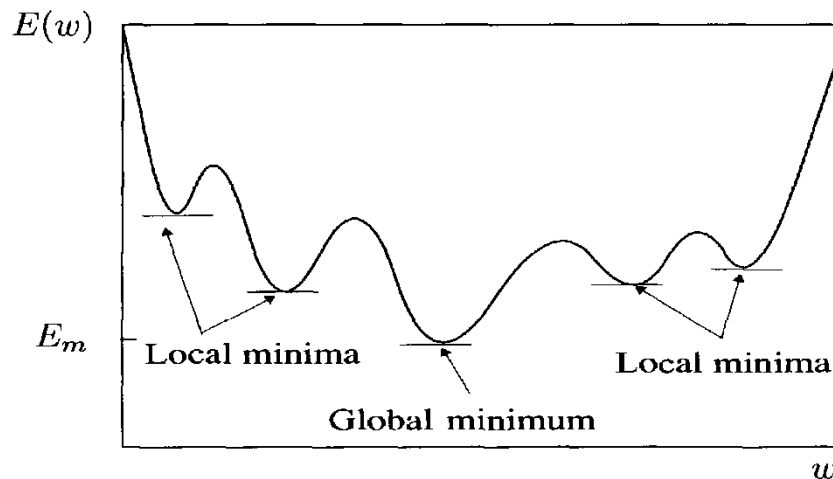


Figure (CH.II.12) : La fonction d'erreur en fonction des poids [34]

#### III-4-1- Formalisme de l'algorithme de retro-propagation de l'erreur :

Pour converger vers le minimum global de la surface d'erreur, on procède par la méthode du gradient, cette technique ajuste les poids dans la direction opposée du gradient instantané de la fonction d'erreur

$$\Delta_k = \frac{\partial J(w)}{\partial w_k} \quad (\text{CH.II.4})$$

$$e(t) = [y_d(t) - y_k^p(t)] \quad (\text{CH.II.5})$$

$$E(t) = e(t)^2 \quad (\text{CH.II.6})$$

L'équation (CH.II.6) exprime la fonction de coût à partir de l'erreur quadratique, pour un couple entrée-sortie, avec  $y_d$  la sortie désirée. Pour le neurone d'indice  $k$  et  $y_k$  la sortie obtenue par le réseau.

$$J = \frac{1}{2} \sum_{i=1}^N E(t) = \frac{1}{2} \sum_{i=1}^N [y_d(t) - y_k^p(t)]^2 \quad (\text{CH.II.7})$$

$N$  : est l'ensemble des exemples d'entraînement.

$Y_d(t)$  : Est le vecteur de sortie désiré.

$y_k^p(t)$  : Est le vecteur de sortie du neurone  $k$  de la couche  $p$ .

$W$  : vecteur des poids.

### III-4-2- Equation du réseau

Pour un réseau multicouche à  $N$  entrées et  $M$  sorties composé de  $L$  couches cachées, La somme des entrées du  $j^{\text{ème}}$  neurone caché est :

$$S_j^L(t) = \sum_{i=1}^N W_{ji}^L X_i(t) + V_j^L \quad (\text{CH.II.8})$$

$S_j^L$  : Potentiel somatique du neurone  $j$  de la  $L^{\text{ème}}$  couche cachée.

$X_i$  : Vecteur de la  $i^{\text{ème}}$  entrée.

$L$  : Indice de la couche cachée.

$W_{ji}^L$  : Coefficient synaptique (poids) de la connexion de la  $i^{\text{ème}}$  entrée du neurone  $j$  de la couche  $L$ .  
 $V_j^L$  : Valeur du seuil interne du neurone (biais).

$F$  : Fonction d'activation telle que :

$$I_j^L(t) = F_j^L(S_j^L(t)) = F_j^L(\sum_{i=1}^N W_{ji}^L X_i(t) + V_j^L) \quad (\text{CH.II.9})$$

$I_j^L$  : Sortie non linéaire du neurone  $j$  dans la couche cachée  $L$ .

La fonction d'activation  $F$  dans notre cas est non linéaire de type sigmoïde de la forme suivante :

$$F(x) = \frac{1 - e^{-ax}}{1 + e^{-ax}} \quad (-1 < F(x) < 1)$$

$a$  : est une constante.

Les équations de la couche de sortie sont :

$$S_K^p(t) = \sum_{j=1}^M W_{Kj}^p I_j(t) + V_K^p \quad (\text{CH.II.10})$$

$$y_K^p(t) = F_K^p(S_K^p(t)) \quad (\text{CH.II.11})$$

K: numéro du neurone dans la couche de sortie.

### III-4-3- Adaptation des poids

L'adaptation (ajustement, mise à jour) des coefficients synaptiques, se fait par la méthode du gradient basée essentiellement sur la formule itérative suivante :

$$W_{ji}^L(n+1) = W_{ji}^L(n) + \Delta W_{ji}^L(n) \quad (\text{CH.II.12})$$

$$\text{Ou : } \Delta W_{ji}^L(n) = -\mu \frac{\partial J(w)}{\partial W_{ji}^L(n)} \quad (\text{CH.II.13})$$

Tel que :

n : Numéro de l'itération.

$\mu$  : Pas d'apprentissage dit encore taux d'apprentissage désignant la vitesse de convergence, sa valeur est généralement choisie expérimentalement entre 0 et 1.

Le coefficient d'apprentissage  $\mu$  joue un rôle important puisqu'il règle la vitesse avec laquelle se fait la descente de gradient trop petit, il ne permet d'atteindre une valeur suffisamment faible de l'erreur qu'au bout d'un très grand nombre d'itérations, et même fait encourir le risque d'un minimum local (insatisfaisant) duquel il est impossible de sortir, trop grand il peut conduire à s'éloigner du minimum d'erreur recherché et donc peut empêcher une solution acceptable d'être atteinte. La dérivée partielle de la fonction de coût par rapport aux poids  $W_{ji}^L$  représente la vitesse de variation de l'erreur en fonction de la vitesse de variation des poids. Dans ce qui suit nous allons considérer un RNA à une seule couche cachée.

- **Pour la couche de sortie**

D'après l'équation (CH.II.7) on a :

$$J = \frac{1}{2} \sum_{i=1}^N E(t) = \frac{1}{2} [y_d(t) - y_K^p(t)]^2$$

La dérivée de l'erreur E(t) par rapport au poids  $W_{Kj}^p$  nous donne :

$$\frac{\partial E(t)}{\partial W_{Kj}^P(n)} = \frac{\partial E(t)}{\partial y_K^P(t)} \frac{\partial y_K^P(t)}{\partial S_K^P(t)} \frac{\partial S_K^P(t)}{\partial W_{Kj}^P(n)}$$

$$\frac{\partial E(t)}{\partial W_{Kj}^P(n)} = - \left( Y_K(t) - y_K^P(t) \right) \frac{\partial y_K^P(t)}{\partial S_K^P(t)} \frac{\partial S_K^P(t)}{\partial W_{Kj}^P(n)} \quad (\text{CH.II.14})$$

Le dernier facteur de (CH.II.14) est :

$$\frac{\partial S_K^P(t)}{\partial W_{Kj}^P(n)} = \frac{\partial}{\partial W_{Kj}^P(n)} \left[ \sum_{i=1}^M W_{Ki}^P(n) I_j^L(t) + V_K^P \right] = I_j^L(t) \quad (\text{CH.II.15})$$

En combinant (CH.II.14) et (CH.II.15), on a pour l'opposé du gradient :

$$-\frac{\partial E(t)}{\partial W_{Kj}^P(n)} = \left( Y_K(t) - y_K^P(t) \right) \dot{F}_K^P(S_K^P(t)) I_j^L(t) \quad (\text{CH.II.16})$$

La règle d'adaptation est donnée par :

$$W_{Kj}^P(n+1) = W_{Kj}^P(n) + \Delta W_{Kj}^P(n) \quad (\text{CH.II.17})$$

$$\text{Avec : } \Delta W_{Kj}^P(n) = - \mu \frac{\partial J(W)}{\partial W_{Kj}^P(n)} \quad (\text{CH.II.18})$$

Alors :

$$\Delta W_{Kj}^P(n) = - \mu \frac{\partial J(W)}{\partial W_{Kj}^P(n)} = \mu \sum_{t=1}^T \left( Y_K(t) - y_K^P(t) \right) \dot{F}_K^P(S_K^P(t)) I_j^L(t) \quad (\text{CH.II.19})$$

$$\text{Où } \dot{F}(x) = \frac{2ae^{-ax}}{(1+e^{-ax})^2}$$

En définissant la quantité  $\delta_K^P(t)$  telle que

$$\delta_K^P(t) = \left( Y_K(t) - y_K^P(t) \right) \dot{F}_K^P(S_K^P(t)) \quad (\text{CH.II.20})$$

$$\text{Alors on a : } W_{Kj}^P(n+1) = W_{Kj}^P(n) + \mu \sum_{t=1}^T \delta_K^P(t) I_j^L(t) \quad (\text{CH.II.21})$$

- Pour les couches cachées

$$J = \frac{1}{2} \sum_{i=1}^N E(t) = \frac{1}{2} \sum_{i=1}^{NT} (Y_K(t) - y_K^P(t))^2$$

$$J = \frac{1}{2} \sum_{i=1}^N (Y_K(t) - F_K^P(S_K^P(t)))^2$$

D'après les équations (CH.II.8) et (CH.II.9) nous savons que  $I_j$  dépend des poids de la couche cachée, nous pouvons exploiter ce fait pour calculer le gradient de J.

$$\begin{aligned} \frac{\partial E(t)}{\partial W_{ji}^L(n)} &= \frac{\partial}{\partial W_{ji}^L(n)} (Y_K(t) - y_K^P(t))^2 \\ &= -\sum_{K=1}^M (Y_K(t) - y_K^P(t)) \frac{\partial y_K^P(t)}{\partial S_K^P(t)} \frac{\partial S_K^P(t)}{\partial I_j^L(t)} \frac{\partial I_j^L(t)}{\partial S_j^L(t)} \frac{\partial S_j^L(t)}{\partial W_{ji}^L(n)} \end{aligned} \quad (\text{CH.II.22})$$

Les facteurs de l'équation (22) peuvent être calculés à partir des équations précédentes (8), (CH.II.9) pour donner :

$$\frac{\partial E(t)}{\partial W_{ji}^L(n)} = -\sum_{K=1}^M (Y_K(t) - y_K^P(t)) \hat{F}_K^P(S_K^P(t)) W_{Kj}^P(n) \hat{F}_j^L(S_j^L(t)) X_i(t) \quad (\text{CH.II.23})$$

$$\Delta W_{ji}^L(n) = \sum_{i=1}^N \mu \hat{F}_j^L(S_j^L(t)) X_i(t) \sum_{K=1}^M (Y_K(t) - y_K^P(t)) \hat{F}_K^P(S_K^P(t)) W_{Kj}^P(n) \quad (\text{CH.II.24})$$

D'après l'équation (CH.II.20) :

$$\Delta W_{ji}^L(n) = \sum_{i=1}^N \mu \hat{F}_j^L(S_j^L(t)) X_i(t) \sum_{K=1}^M \delta_{Kj}^P(n) \quad (\text{CH.II.25})$$

$$\Delta W_{ji}^L(n) = \sum_{i=1}^N \mu \delta_j^L(t) X_i(t)$$

$$\text{Avec : } \delta_j^L(t) = \hat{F}_j^L(S_j^L(t)) \sum_{K=1}^M \delta_K^P(t) W_{Kj}^P(n) \quad (\text{CH.II.26})$$

L'équation d'adaptation des poids dans ce cas est :

$$W_{ji}^L(n+1) = W_{ji}^L(n) + \mu \sum_{i=1}^N \delta_j^L(t) X_i(t) \quad (\text{CH.II.27})$$

### III-4-4- Accélération de l'algorithme avec le momentum :

La convergence du réseau par rétro-propagation est un problème crucial car il requiert de nombreuses itérations. Pour pallier à ce problème, un paramètre est souvent rajouté pour accélérer la convergence et ce paramètre est appelé «Le momentum ». Le momentum est un moyen efficace

pour accélérer l'apprentissage et aussi pour pouvoir sortir des minimums locaux. La figure (CH.II.13) résume l'effet du taux d'apprentissage et du terme momentum sur la convergence de l'algorithme de retro propagation du gradient d'erreur [26]. La règle de mise à jour des poids devient alors :

$$W_{ji}^L(n+1) = W_{ji}^L(n) + \mu \sum_{t=1}^T \delta_j^L(t) X_i(t) + \Omega [W_{ji}^L(n) - W_{ji}^L(n-1)] \quad (\text{CH.II.28})$$

$\Omega$  : est la constante du momentum.

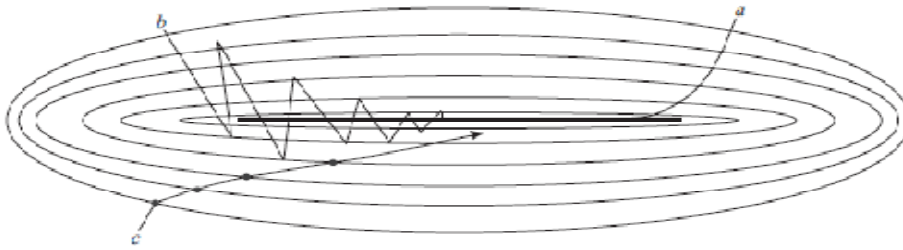


Figure (CH.II.13) : Descendance du gradient d'erreur dans l'espace des poids:[26]

Pour une faible valeur du taux d'apprentissage

- a- Pour une grande valeur du taux d'apprentissage
- b- Pour une grande valeur du taux d'apprentissage et en présence du terme momentum

-Un organigramme détaillé montrant les différents calculs effectués dans un réseau lors du processus d'apprentissage est représenté dans la figure (CH.II.14).

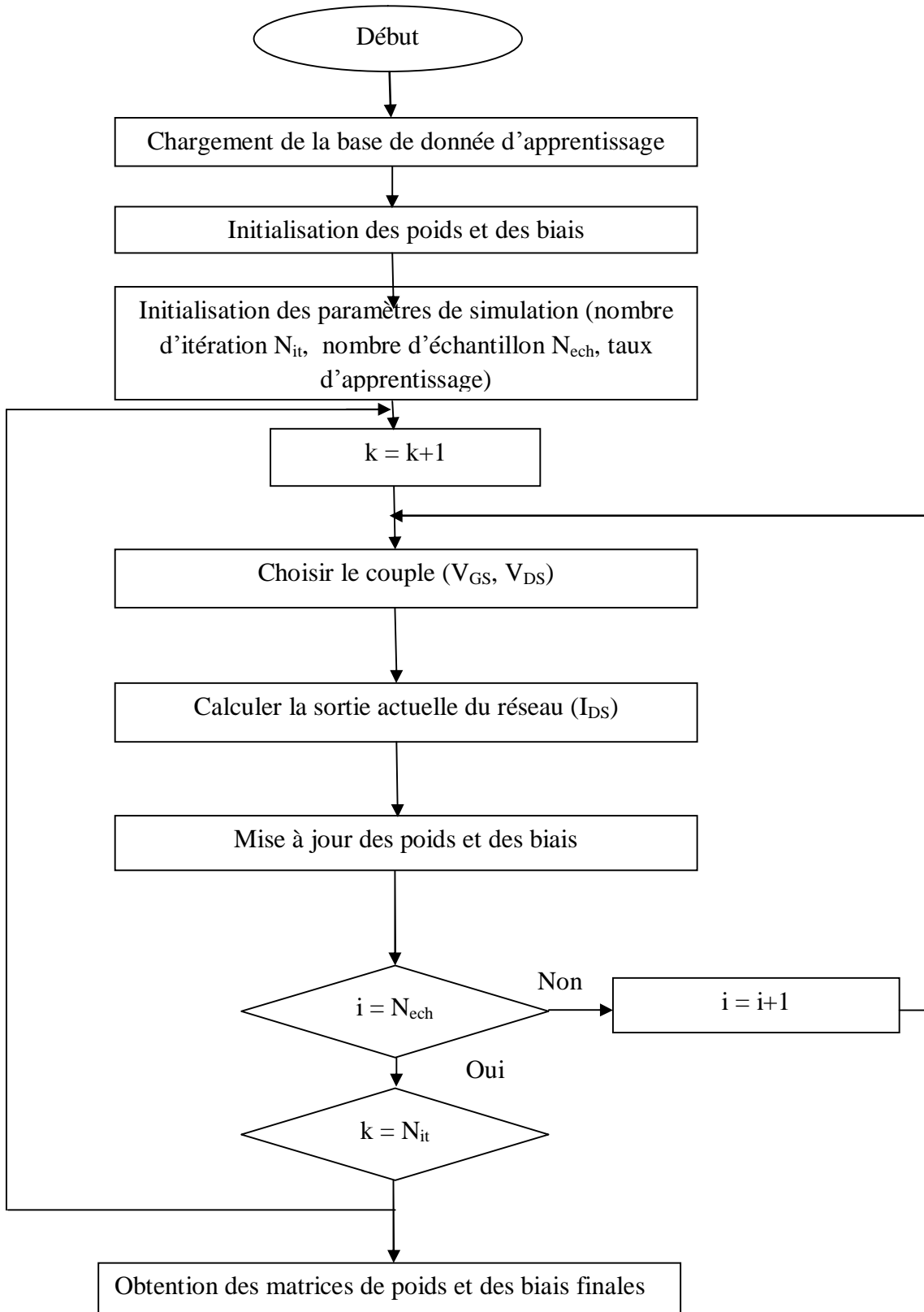


Figure (CH.II.14) : organigramme de l'algorithme d'apprentissage par retro-propagation de l'erreur

### III-4-5- Considérations pratiques pour le choix du RNA

Avant de procéder à l'apprentissage d'un réseau de neurones artificiels, un certain nombre de paramètres doivent être fixés (dimensionnement du réseau, pas d'apprentissage..., etc.), au risque d'engendrer et de compromettre le processus d'entraînement dans le cas d'un mauvais choix [36].

#### - Choix et dimensionnement d'un réseau

D'une manière générale, il n'existe pas de méthodes systématiques pour la détermination du nombre de couches dans le réseau ou le nombre de neurones par couche. Néanmoins, il existe dans ce sens des règles pratiques tirées à partir de l'expérience, parmi lesquelles nous pouvons citer:

**Règle 1 :** le nombre de neurones par couche doit être d'autant plus élevé que la relation entre les données en entrée et les sorties désirées est complexe.

**Règle 2 :** pour les réseaux à une seule couche cachée, le nombre de neurones dans cette couche doit être égal à :

$$h = \frac{c}{10 \times (M+N)} \quad (\text{CH.II.29})$$

Avec :

$c$  : le nombre de vecteurs dans le fichier d'exemples.

$M$ : nombre de neurones dans la couche de sortie.

$N$  : nombre d'entrées du réseau.

**Règle 3 :** le nombre de couches cachées doit être égal au nombre de relations qui existent entre les neurones de la couche d'entrée et ceux de la couche de sortie.[36]

#### - Paramètre d'apprentissage ou pas de correction $\mu$

Le choix du paramètre d'apprentissage  $\mu$  a un effet important sur les performances du réseau. Généralement, il prend des valeurs petites de l'ordre de 0.05 à 0.25, afin d'assurer une convergence certaine. Ce paramètre présente en réalité un dilemme : s'il est trop grand, il peut entraîner des oscillations, s'il est trop petit, le temps d'apprentissage devient infini. Par conséquent, ce paramètre  $\mu$  est choisi variable à partir d'une valeur grande qu'on diminue progressivement [36].

#### - Poids initiaux

Les poids initiaux sont choisis aléatoirement entre -0.5 et 0.5. Par ailleurs, il est recommandé de ne pas initialiser les poids synaptiques d'une même valeur.[36]

**- Minimums locaux**

L'algorithme d'apprentissage peut éventuellement, converger vers un minimum local du critère d'erreur. Dans ce cas, l'erreur stagnera autour d'une valeur relativement grande, et les performances requises ne seront jamais atteintes. Pour remédier à ce problème, il existe plusieurs alternatives à savoir : changer le pas de correction, changer les poids initiaux, changer la fonction d'activation, augmenter le nombre de couches cachées ou bien augmenter le nombre de neurones par couche.[36]

**- Saturation du réseau**

Etant donné que, les fonctions d'activation dans un réseau de neurones sont généralement bornées, et fournissent des sorties entre 0 et 1 ou entre -1 et 1, il est de ce fait nécessaire de mettre à l'échelle les données présentées en entrée.[36]

**IV-Domains d'application des réseaux neurones :[37]**

Les propriétés d'apprentissage et d'approximation des réseaux de neurones ont permis une importante application de ces derniers dans les différents domaines pratiques, notamment, les domaines suivants :

**IV-1 Identification des processus**

Identifier un processus, c'est essayer de donner un modèle plus proche au processus réel qui permet de reproduire avec la précision voulue, la sortie en fonction des entrées des processus, c'est typiquement un problème d'approximation qui peut être résolu par un réseau de neurones.

**IV-2- Contrôle des processus**

Contrôler un système c'est donner un ensemble d'entrées adéquats qui permettent d'avoir la sortie désirée (position, vitesse, etc...), et comme étant la fonction liant la sortie du système avec l'ensemble de commande est non linéaire, cette fonction peut être approchée avantageusement par un réseau de neurones.

**IV-3- Classification des signaux**

Classer des signaux dans des catégories différents en fonction des caractéristiques de forme (amplitude, fréquence, phase, etc.), peut être réalisé par l'utilisation d'un réseau de neurones. Supposant qu'on a deux catégories de signaux A et B et qu'on souhaite classer des formes dans ces deux catégories en fonction des caractéristiques de ces formes.

On peut simplement définir la fonction non linéaire  $F$  qui vaut  $+1$  pour les formes de la classe  $A$  et  $-1$  pour celle de la classe  $B$ , le problème de classification revient à l'approximation de la fonction non linéaire  $F$  qui peut être résolue par un réseau de neurones qui possède des entrées et une seule sortie pour fournir la décision.

#### IV- 4- Mémoires associatives

Dans ce type de mémoires, l'accès à une donnée se fait par l'association d'une autre donnée (mémoire adressable par contenu), cette mémoire peut être réalisée par un modèle de HOPFIELD, dans lequel chaque neurone reçoit et communique de et à tous les neurones. La sortie correspondante sera utilisée comme une donnée suivante pour le réseau et ainsi de suite. Le fonctionnement de ce type de mémoires est complètement différent de celui des mémoires classiques (RAM, ROM, etc.)

#### V- Amélioration de l'algorithme de retro-propagation de l'erreur- Algorithme FEBP :[38]

L'algorithme « Fast Error Back propagation », diffère de celui du EBP classique dans le terme d'erreur retro propagée. En effet dans ce cas l'erreur d'estimation qui sera retro-propagée en arrière étage par étage jusqu'à l'entrée du réseau est écrite de la façon suivante :

$$\varepsilon_{p,k} = I \times (y_{p,k} - \hat{y}_{p,k}) + (1 - I) \times \text{Tanh}(\beta \times (y_{p,k} - \hat{y}_{p,k})) \quad (\text{CH. II. 30})$$

Pour le cas d'un réseau à sortie analogique (continue) et :

$$\varepsilon_{p,k} = (y_{p,k} - \hat{y}_{p,k}^2) \times (y_{p,k} - I \times \hat{y}_{p,k}) \quad (\text{CH.II.31})$$

dans le cas d'un réseau à sortie binaire (discontinue).

La mise à jour des poids est semblable à celle de l'algorithme de BP classique dans le cas L'algorithme fast error back propagation tel qu'il figure sur la publication de et est illustré sur la figure suivante.

**-Etapes détaillées du Fast Error Back Propagation pour un réseau Multicouches à une seule couche cachée[38]**

Start Initialize Randomly W,V

Select  $\mu$

$\lambda=1$

K=0

$k = 0$  ( $k$  : number of association)

E=0

$K \leftarrow K+1$

$k = 0$  ( $k$  : number of association)

$k \leftarrow k + 1$

$x = x_k$

$y = y_k$

$\lambda = \rho(\sum_{j=1}^{n_i} v_j z_j)$

$\hat{y}_i = \sigma(\sum_{j=1}^{n_i} w_{ij} \lambda_j)$

$C_i^0(\lambda) = \lambda[(y_i - \hat{y}_i) + (1-\lambda) \tanh\beta (y_i - \hat{y}_i)]$

$C_i^0(\lambda) = (1 - \hat{y}_i^2)(1 - \lambda \hat{y}_i)$

$w_i \leftarrow w + \mathbf{a}e^0(\lambda)\mathbf{x}$

$\hat{y}_i = \sigma(\sum_{j=1}^{n_i} w_{ij} z_j)$

$E = E + \left(\frac{1}{2}\right) \sum_{i=1}^{n_i} (y - \hat{y}_i)^2$

if  $k < m_i$  then :go to 2

$\lambda = \exp(-\mu/E^2)$

If  $E > E_{0i}$  then :go to 1

**Stop**

L'algorithme au-dessus est monté pour faire entrainer un réseau à une seule couche cachée. Mais sous cette forme il n'a pas été suffisant pour entrainer un réseau tel que celui que nous avons utilisé pour la simulation des Transistors MOS. Pour cette raison nous l'avons étendu à une structure à deux couches cachées. Ce la est faisable car, la mise à jour des poids et des biais reste la même que pour le cas du BP classique.

On remarque clairement que pour  $\lambda=1$ , on revient au cas du BP classique. Et dans ce cas l'adaptation des poids et dans biais se fera avec l'erreur simple :

$$\varepsilon_{p,k} = (y_{p,k} - \hat{y}_{p,k}) \quad (\text{CH.II.32})$$

Les paramètres  $\beta$  et  $\mu$  sont utilisés pour faire varier la cadence et la vitesse d'entraînement des réseaux supervisé.

### VI- Conclusion :

Dans ce chapitre, nous avons fait un rappel sur les réseaux de neurones artificiels et on a présenté les différentes architectures des RNAs, ainsi que leurs méthodes d'apprentissage. Il est clair que les RNAs sont connus pour leur caractéristique d'approximation universelle. Ainsi, ils sont bien placés pour approximer des fonctions non linéaires, ce qui cerne bien notre problématique, à savoir la modélisation de composant électronique tel que les transistors MOSFET.

## I- Introduction :

Dans ce troisième chapitre nous allons appliquer la notion des réseaux de neurones artificiels pour l'élaboration de modèle équivalent au transistor MOSFET canal N à enrichissement. Nous avons choisis comme types de MOSFET ; le **2N7000** et le **2N7008** chacun caractérisé par des grandeurs électriques qu'on donnera plus tard au cours de ce chapitre.

En premier lieu nous allons et pour chacun de c'est deux transistors ; tracés les caractéristiques statiques  $I_{DS} = F(V_{DS})$  à  $V_{GS}$  fixé par le formalisme correspondant et que nous avons donnés au chapitre 1, puis ces mêmes caractéristiques seront tracés par prédiction grâce à un RNA, constitué de deux couches cachées dont chacune contient  $N_i$  neurones.

En second lieu, nous avons placés ces deux modèles dans des circuits très utilisés que qu'on trouve souvent en littérature. Pour ces modèles nous avons injectés des tensions calculées théoriquement à partir des lois de **Kirchov** (KVL) appliquée à ces circuits et, nous avons comparés les valeurs des courants drain-source obtenus par les deux méthodes.

## II- Caractéristiques statiques des MOSFET 2N7000-2N7008 :

### II-1- Caractéristiques statiques du MOSFET 2N7000 :

Ce transistor est caractérisé par une constante  $k = 0.25 \text{ mA/V}^2$  et une tension de seuil  $V_T = 2\text{V}$ . Le tracer de ces caractéristiques est donné en figure (CH.III.1).

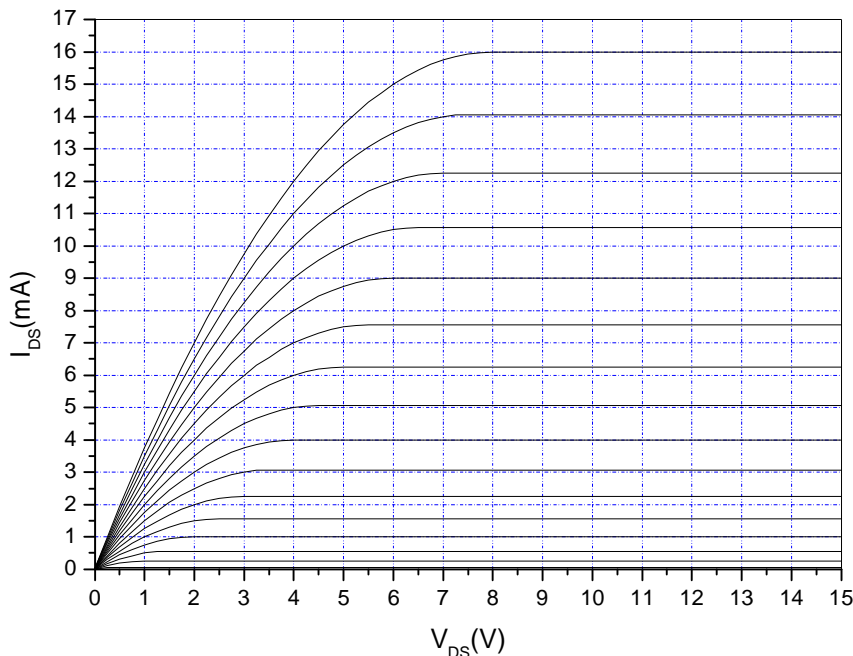


Figure (CH.III 1): Caractéristiques statique du 2N7000 tracés sous Matlab pour  $k = 0.25 \text{ mA/V}$

Ces courbes sont obtenues pour un vecteur de tension grille-source  $V_{GS}$  allons de 0V à 10V avec un pas de 0.5V. La courbe suivante donne la variation de  $I_{DS}$  en fonction de  $V_{GS}$  c'est-à-dire sa caractéristique de transfert dans la zone de saturation (zone active du transistor)

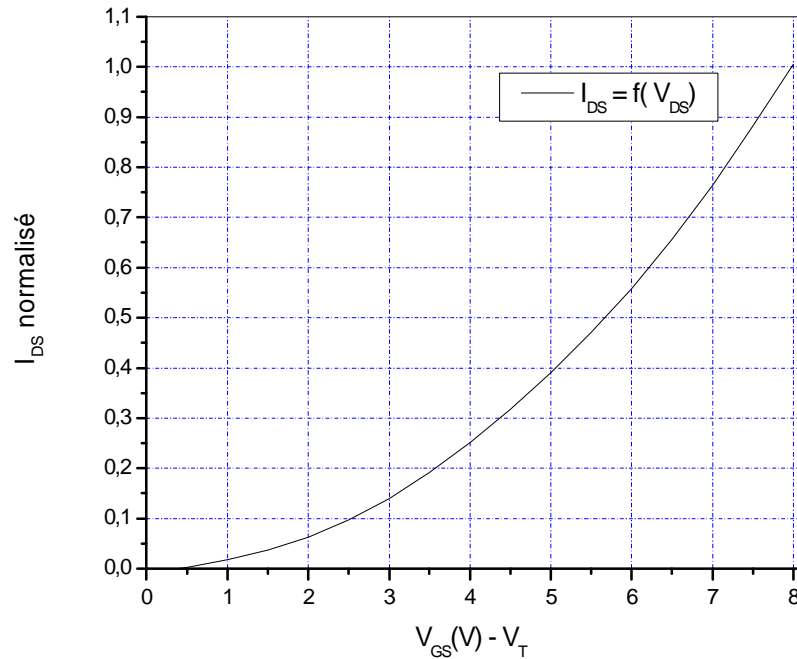


Figure (CH.III.2): Caractéristiques de transfert du 2N7000 tracés sous Matlab pour

$$k = 0.25 \text{ mA/V}$$

Les tensions figurants sur l'axe des abscisses ; correspondent aux tensions de début de la saturation  $V_{GS} - V_T$  allons de 0V à 8V ce qui correspond aux tensions  $V_{GS}$  allons de 0V à 10V.

## II-2- Caractéristiques statiques du MOSFET 2N7008 :

Le transistor 2N7008 est caractérisé par une constante  $k = 0.5 \text{ mA/V}^2$  et une tension de seuil  $V_T = 2V$ . Le tracer de ces caractéristiques est donné en figure (CH.III.3).

Et de la même façon que pour le 2N7000, ces courbes sont obtenues pour un vecteur de tension grille-source  $V_{GS}$  allons de 0V à 10V avec un pas de 0.5V

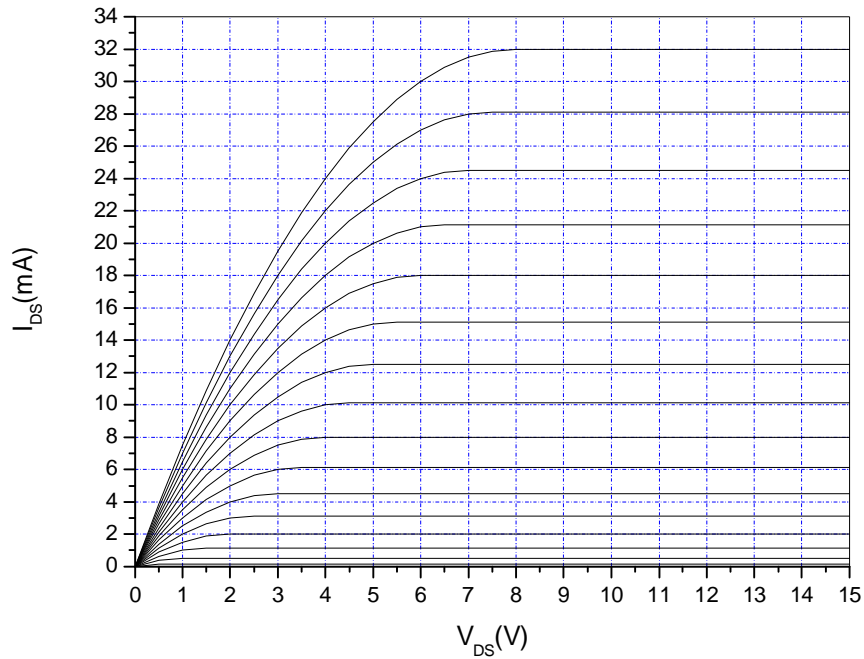


Figure (CH.III.3): Caractéristiques statique du 2N7008 tracés sous Matlab pour  $k = 0.25 \text{ mA/V}$

La courbe suivante donne la variation de  $I_{DS}$  en fonction de  $V_{GS}$  dans la zone de saturation (zone active du transistor).

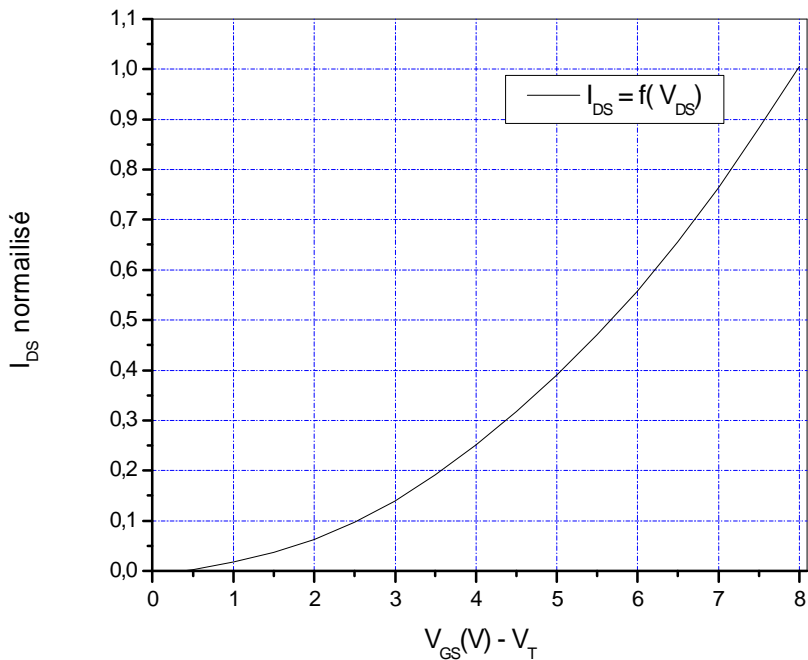


Figure (CH.III.4) : Caractéristiques de transfert du 2N7008 tracés sous Matlab pour  $k = 0.5 \text{ mA/V}$

Dans les courbes de  $I_{DS} = F(V_{GS})$  relative aux deux types de transistors, on remarque qu'elles démarrent toutes les deux de  $V_{GS} = 2.5V$  ( $V_{GS} - V_T = 0.5V$ ), ce la est du au faite que les

tensions de seuils sont de 2V pour les deux transistors et la première tension de saturation pour les deux cas  $V_{DSSAT} = V_{GS} - V_T$  est de 0.5V. Pour les tensions  $V_{GS}$  inférieurs à 2.5V, les transistors sont bloqués.

### Remarque :

Dans courbes des caractéristiques transferts, le courant  $I_{DS}$  est normalisé par sa valeur maximale et qui est de 32 mA et 16 mA respectivement pour les deux transistors.

### II-3- Modélisation par les réseaux de neurones artificiels :

La structure que nous avons adoptée est un réseau à deux entrées qui correspondent aux tensions  $V_{GS}$  et  $V_{DS}$ , deux couches cachées de 10 et 5 neurones respectivement et d'une seule sorties qui correspond au courant de sortie du transistor  $I_{DS}$  (le courant drain-source). Cette structure est illustrée sur la figure (CH.III.5) qui suit.

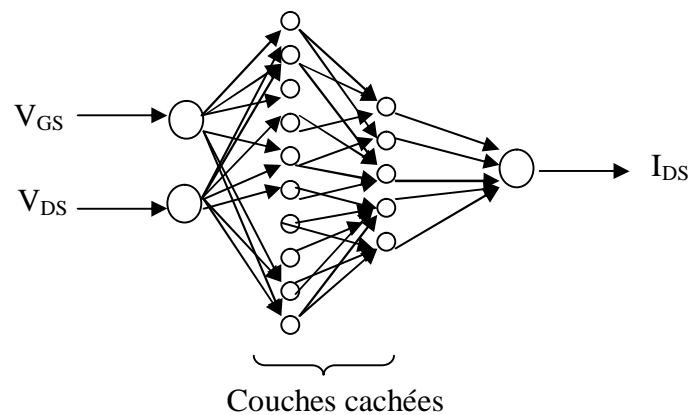


Figure (CH.III.5): Structure du réseau utilisé ; 2 couches cachées contenant respectivement 10 et 5 neurones

Pour les fonctions d'activation, les meilleurs résultats que nous avons obtenus étés pour des fonctions d'activations du type sigmoïdes pour les couches cachée et une fonction linéaire pour la couche de sortie. Pour les fonctions sigmoïdes nous avons pris un coefficient exponentiel de 0.5, et pour assurer la convergence rapide du processus d'entraînement nous avons pris un taux d'apprentissage de 0.3 et en ce qui concerne les valeurs de  $\beta$  et  $\mu$ , les meilleurs résultats obtenus été pour  $\beta = 1$ , et  $\mu = 2$ . Les tensions  $V_{DS}$  et  $V_{GS}$  qui ont été utilisés en apprentissage sont :

Pour  $V_{DS}$  : on a pris un vecteur allons de 0V à 15V par pas de 0.5V

Pour  $V_{GS}$  : on a pris un vecteur allons de 0V à 10V par pas de 0.5V

Ces transistors supportent des tensions beaucoup, plus importantes que celle-ci mais on s'est limité à ce rang de  $V_{GS}$  et  $V_{DS}$  pour minimiser le temps d'entraînement. Finalement l'entraînement des deux réseaux est effectué après 150.000 itérations. Les résultats que nous avons obtenus sont les suivants :

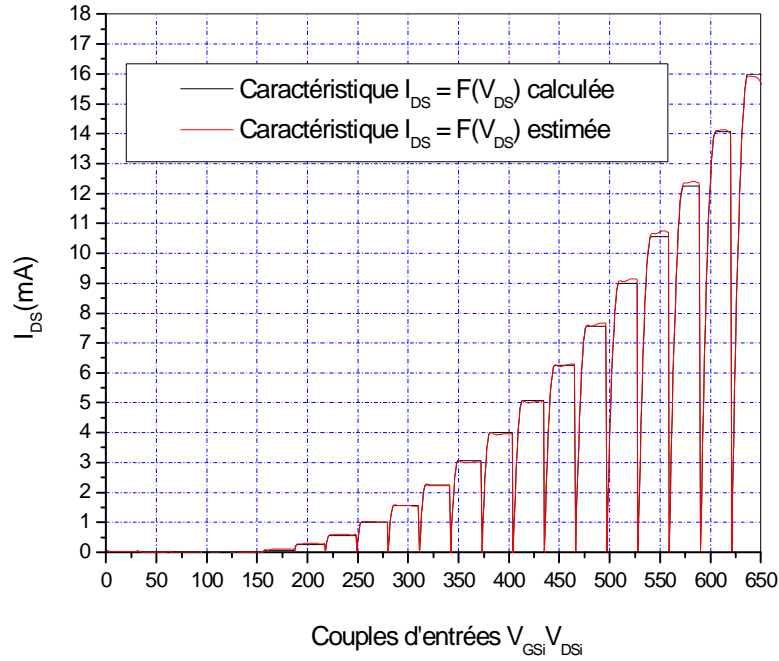


Figure (CH.III.6): Caractéristiques  $I_{DS} = F(V_{DS})$  du 2N7000 estimés et théoriques en fonction du nombre de couple du vecteur d'apprentissage

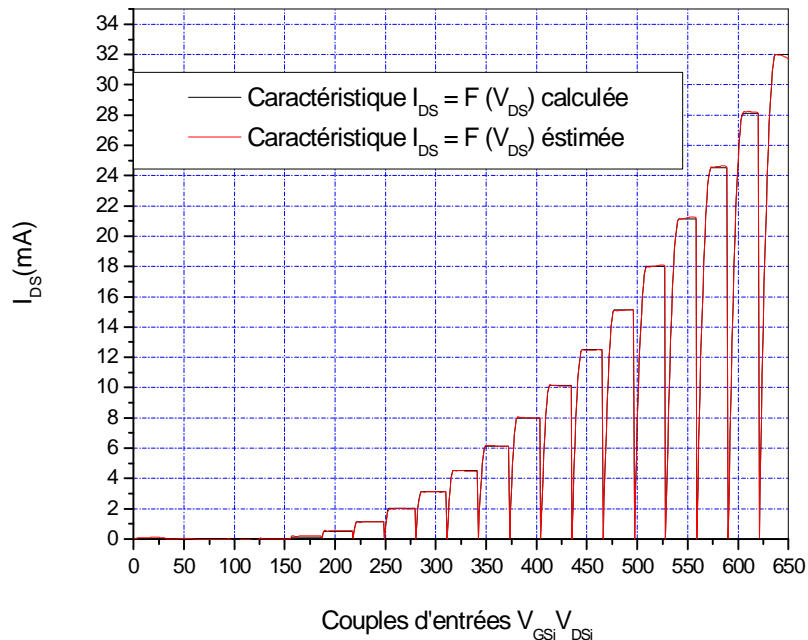


Figure (CH.III.7): Caractéristiques  $I_{DS} = F(V_{DS})$  du 2N7008 estimés et théoriques en fonction du nombre de couple du vecteur d'apprentissage

Ces courbes (figures CH.III. ( 6,7)) représentent les caractéristiques  $I_{DS} = F(V_{DS})$  issues du modèle théorique et du modèle neuronale. Sur l'axe des abscisses sont présentés les couples d'entrées d'apprentissage ( $V_{GSi}$ ,  $V_{DSi}$ ) . On remarque que les deux model sont identiques à de faibles erreurs près cela veut dire que les paramètres du réseau adoptés sont bonnes.

### II-3-1- Validation du réseau :

L'operation de validation du réseau de neurone construit, consiste en son test par les données d'entrée qui ont servis à son apprentissage. Cette operation est par conséquent un premier jugement de l'efficacité du mécanisme d'entraînement. Les données qui ont servis à la validation sont :

- $V_{DS}$  : allons de 0V à 15V par pas de 0.5V
- $V_{GS}$  : allons de 0V à 10V par pas de 0.5V

Et les courbes correspondantes à la phase de validation sont les suivantes.

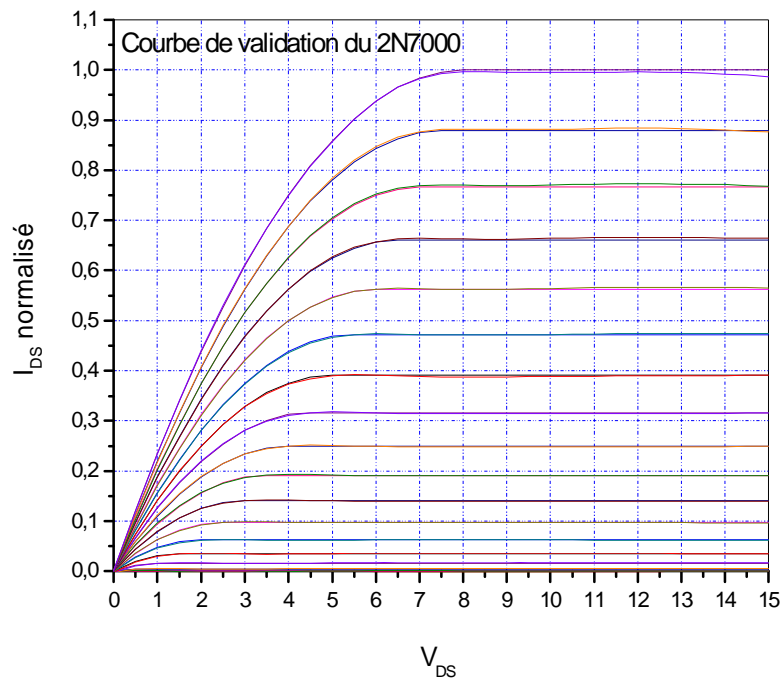


Figure (CH.III.8): Caractéristiques  $I_{DS} = F(V_{DS})$  théorique et estimées du 2N7000 tracé à partir des données de la validation.

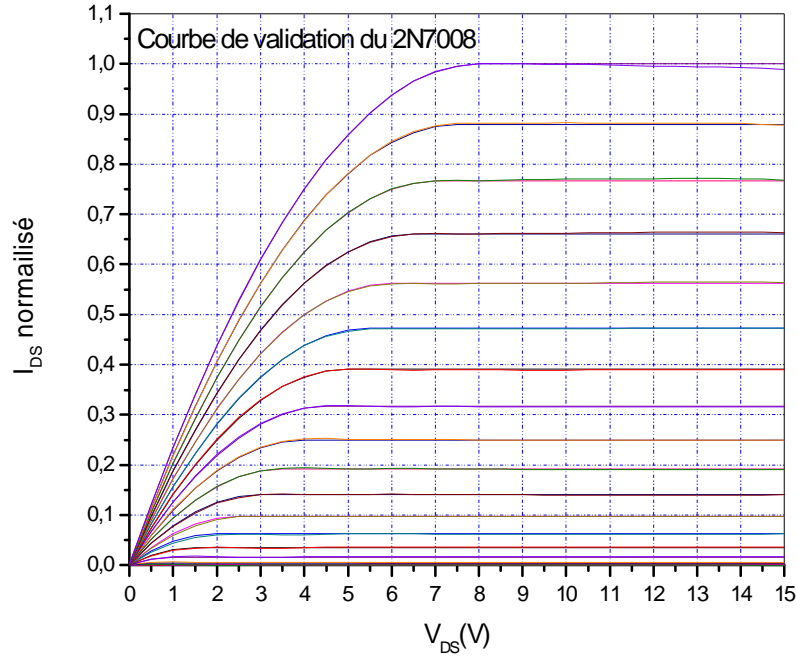


Figure (CH.III.9): Caractéristiques  $I_{DS} = F(V_{DS})$  théorique et estimées du 2N7008 tracé à partir des données de la validation.

Ces courbes sont tracées pour des valeurs différentes de  $V_{GS}$  (ce sont dernières ne figurent pas sur ces courbes à cause de leurs faibles dimensions). On remarque bien que pour le 2N7000 comme pour le 2N7008, les courbes sont très closes pour les différentes valeurs de  $V_{GS}$  et cela veut dire le modèle obtenu reproduit fidèlement les caractéristiques statiques MOSFETs

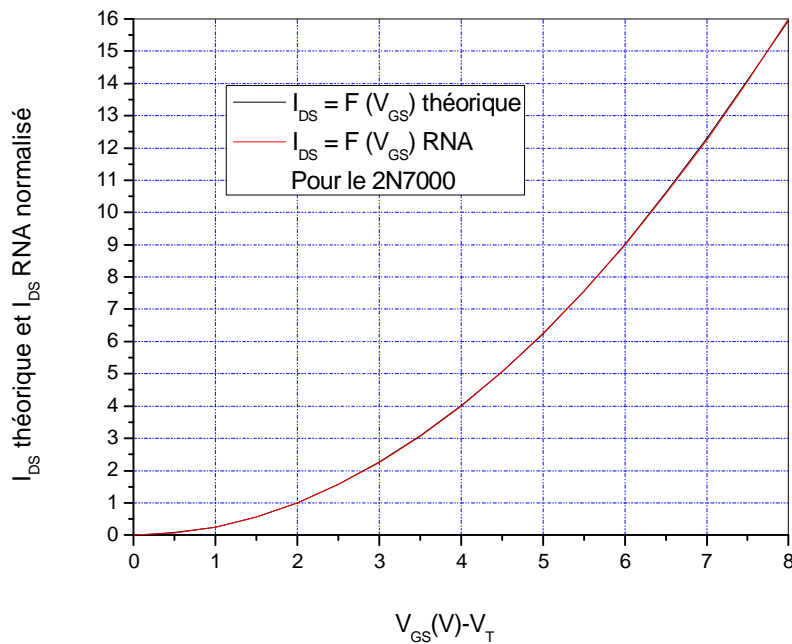
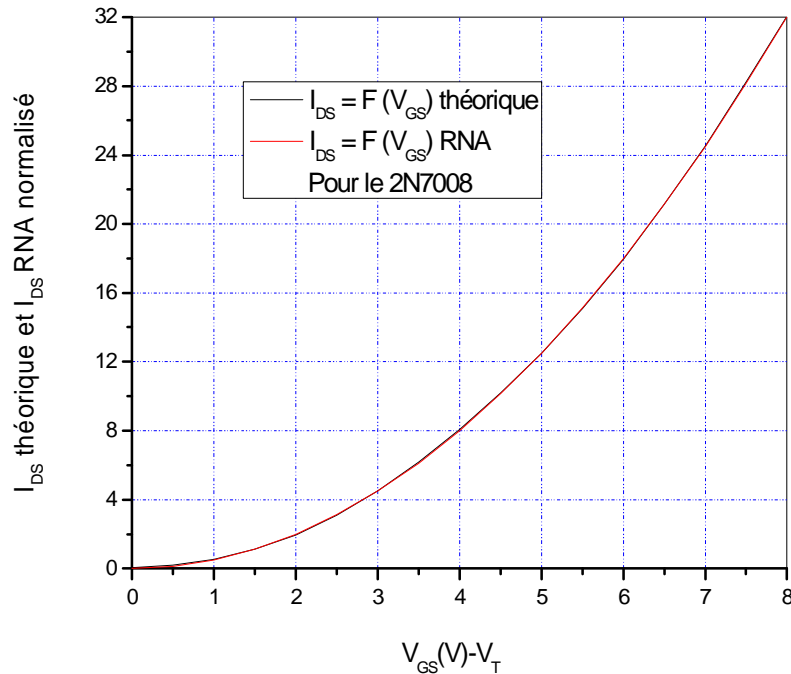


Figure (CH.III.10): Caractéristiques  $I_{DS} = F(V_{GS}-V_T)$  théorique et estimées du 2N7000 tracé à partir des données de la validation.

Cela peut être constaté nettement sur les courbes de la caractéristique de transfert

$I_{DS} = F(V_{GS})$ . En effet en observant les courbes de les figures ( CH.III.:10,11), qui donnent en réalité la variation de  $I_{DS}$  en fonction de  $V_{GS}-V_T$  on constate que les deux modèles sont identiques pour les deux types de transistors.



Figure(CH.III.11): Caractéristiques  $I_{DS} = F(V_{GS}-V_T)$  théorique et estimées du 2N7008 tracé à partir des données de la validation.

Et pour plus de détails, nous avons pris des échantillons de courbes à partir des figures(CH.III. (8,9)) pour les valeurs de  $V_{GS}$  suivantes :

$V_{GS} = 4.5$  et  $10V$  pour le 2N7000,

$V_{GS} = 4.5$  et  $10V$  pour le 2N7008,

Les résultats sont les suivants :

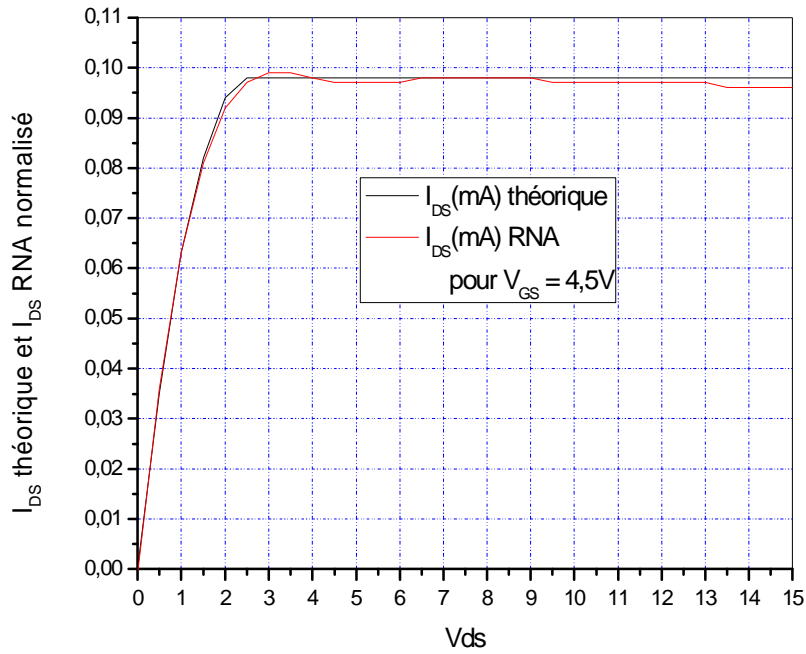


Figure (CH.III.12) : Caractéristiques  $I_{DS} = F(V_{DS})$  théorique et estimées du 2N7000 correspondante à  $V_{GS} = 4.5V$ .

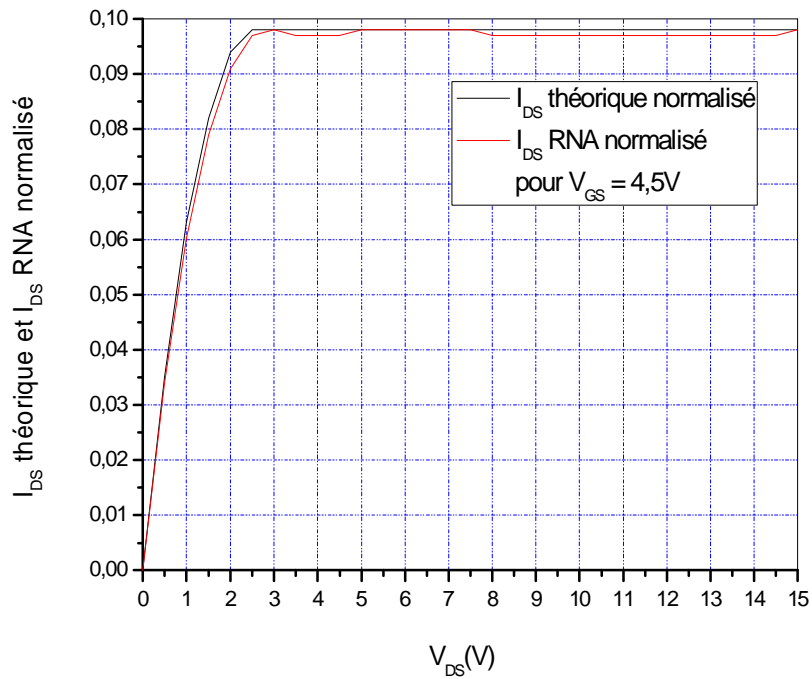


Figure (CH.III.3): Caractéristiques  $I_{DS} = F(V_{DS})$  théorique et estimées du 2N7008 correspondante à  $V_{GS} = 4.5V$ .

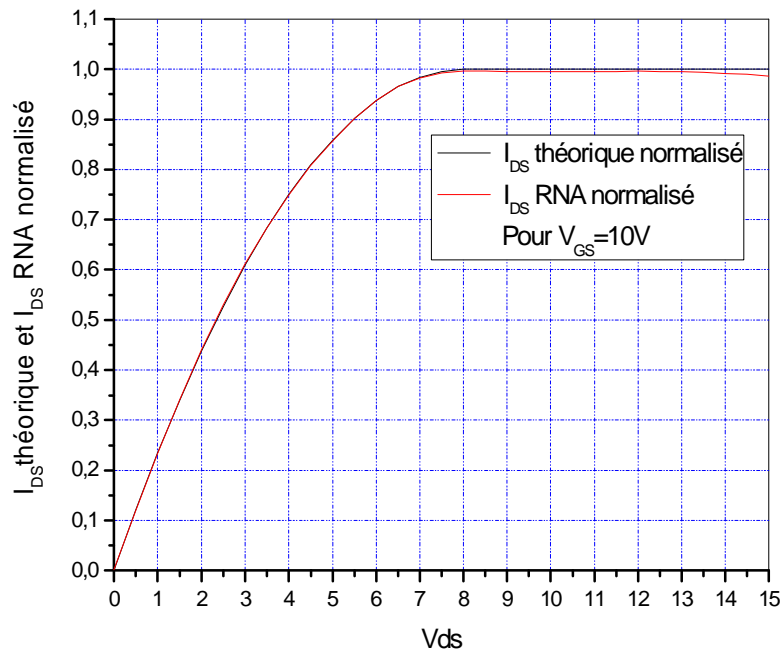


Figure (CH.III.14): Caractéristiques  $I_{DS} = F(V_{DS})$  théorique et estimées du 2N7000 correspondante à  $V_{GS} = 10V$ .

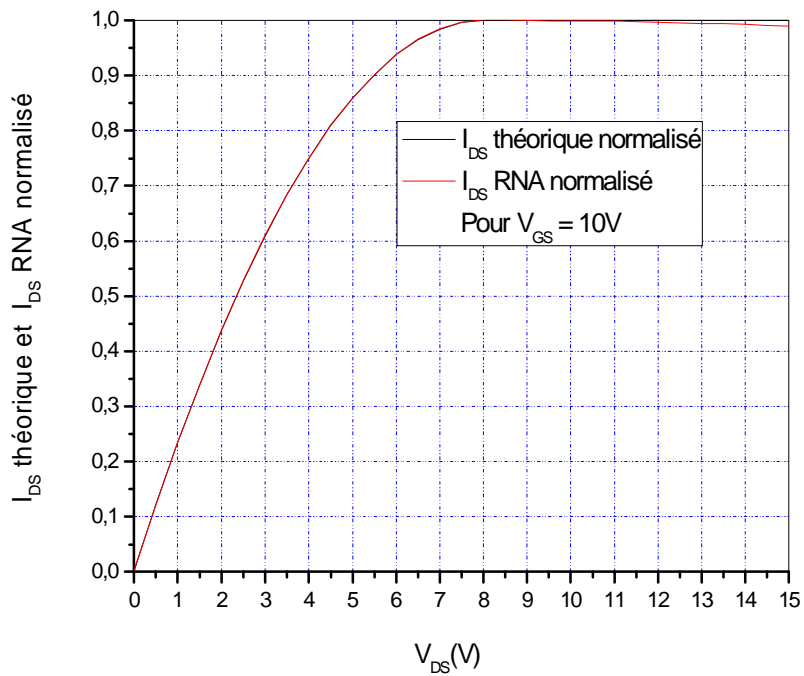


Figure (CH.III.15): Caractéristiques  $I_{DS} = F(V_{DS})$  théorique et estimées du 2N7008 correspondante à  $V_{GS} = 10V$ .

### II-3-2- Test du réseau :

Le test proprement dit du réseau, consiste à exciter la structure de poids et de biais obtenus après la phase d'apprentissage par des couples d'entrée autres que ceux qui ont servis à son entraînement. Cette opération représente l'ultime juge de l'efficacité du processus d'entraînement. Dans notre cas nous avons utilisés les vecteurs de test suivants :

$V_{DS}$  : allons de 2.25 à 6.25 par pas de 0.5V.

$V_{GS}$  : allons de 5.1 à 7 par pas de 0.1V

Les résultats obtenus sont représentés sur les courbes suivantes les suivants

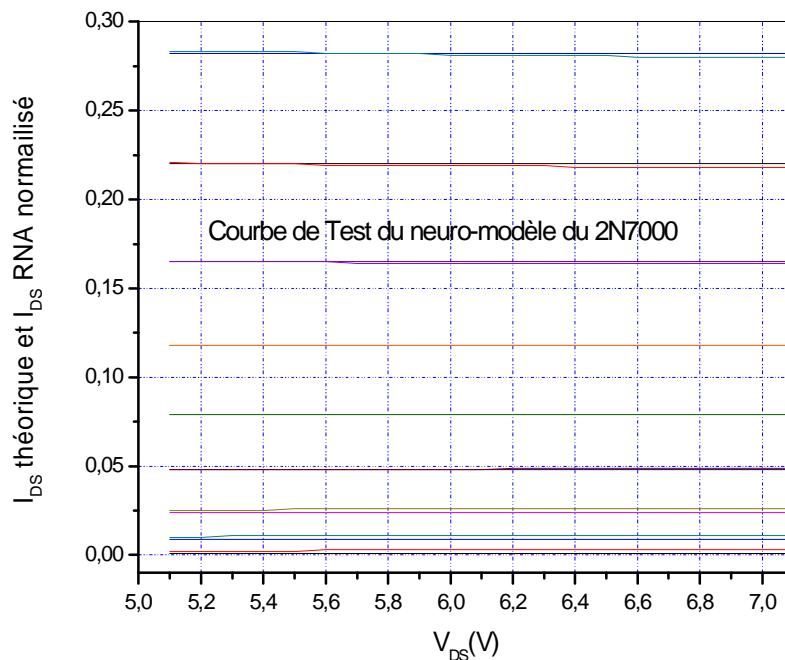


Figure (CH.III.16) : Caractéristiques  $I_{DS} = F(V_{DS})$  théorique et estimées du 2N7000 tracé à partir des données de test.

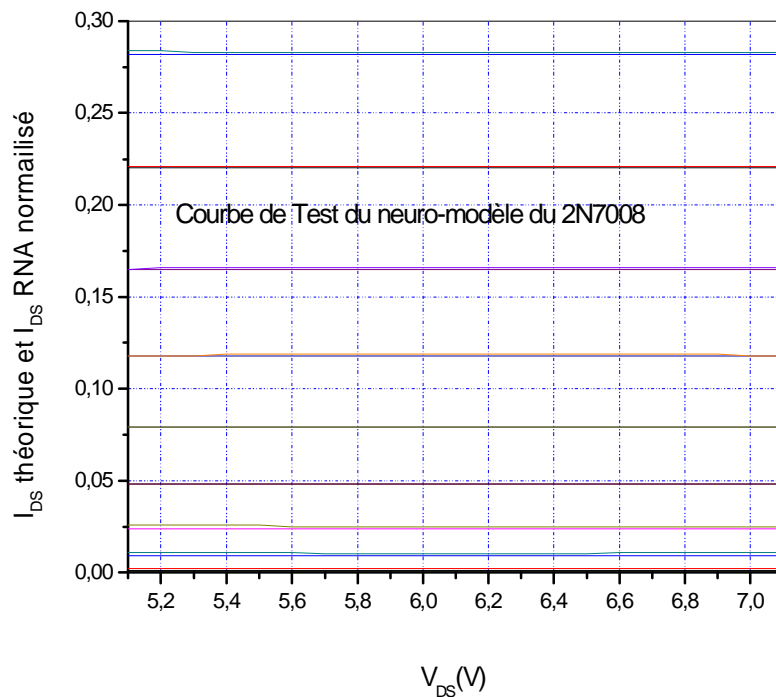


Figure (CH.III.17): Caractéristiques  $I_{DS} = F(V_{DS})$  théorique et estimées du 2N7008 tracé à partir des données de test.

Pour le test, on sait beaucoup plus intéressées à zone active du transistor ; la zone de saturation et c'est pour cette raison qu'on remarque que ces courbes sont pratiquement situées dans cette région. On constate dans les deux cas, pour le 2N7000 ou pour le 2N7008 que les courbes sont presque identiques. Cela bien entendu réfléchi la bonne qualité des poids et des biais de la structure neuronale que nous avons obtenus.

Les courbes si bas sont tirés à partir de ceux des figures (CH.III.16) et (CH.III.17). Elles représentent des échantillons de résultats pris pour mieux visualiser l'erreur entre les résultats obtenus théoriquement cela d'une par et à par les résultats test du réseau d'un autre coté.

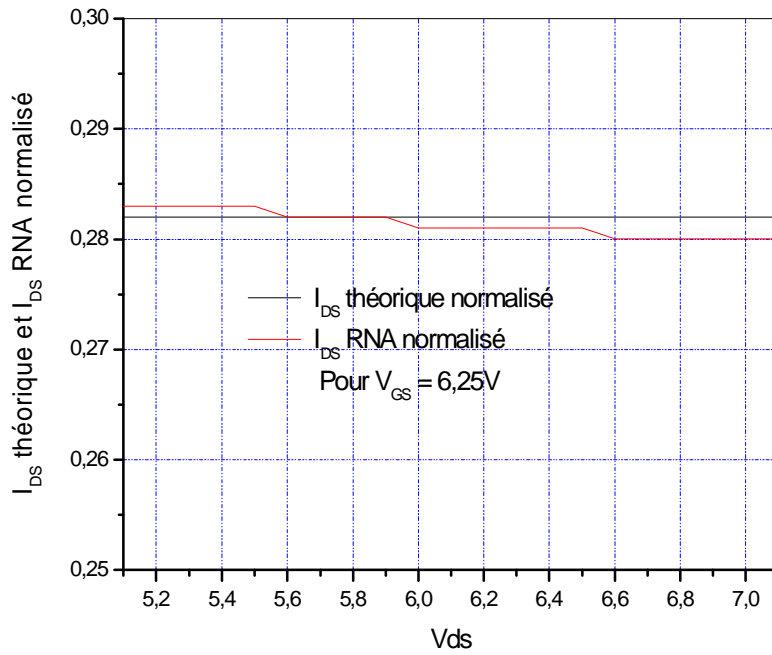


Figure (CH.III.18): Caractéristiques  $I_{DS} = F(V_{DS})$  théorique et estimées du 2N7000 tracé à partir des données de test pour  $V_{GS} = 6.25V$ .

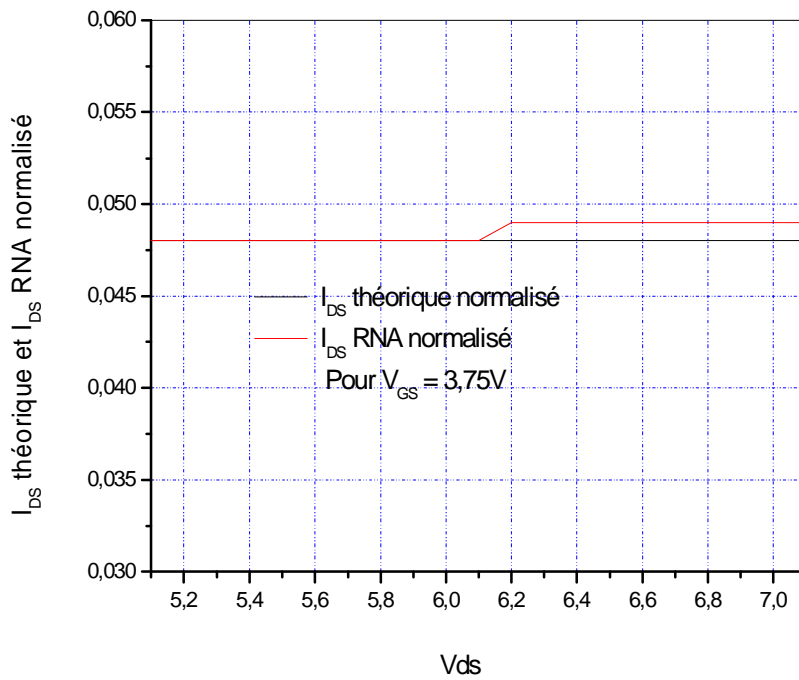


Figure (CH.III.19): Caractéristiques  $I_{DS} = F(V_{DS})$  théorique et estimées du 2N7000 tracé à partir des données de test pour  $V_{GS} = 3.75V$ .

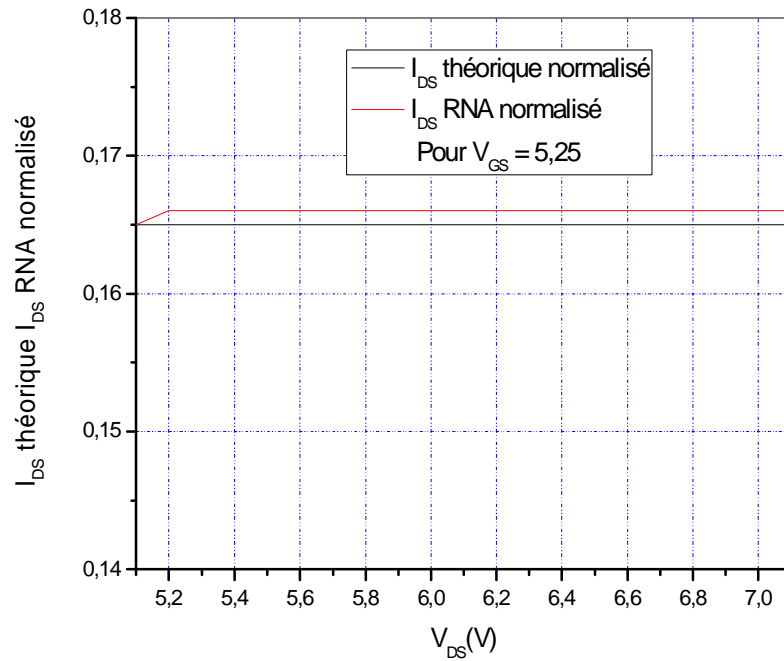


Figure (CH.III.20): Caractéristiques  $I_{DS} = F(V_{DS})$  théorique et estimées du 2N7008 tracé à partir des données de test pour  $V_{GS} = 5.25V$ .

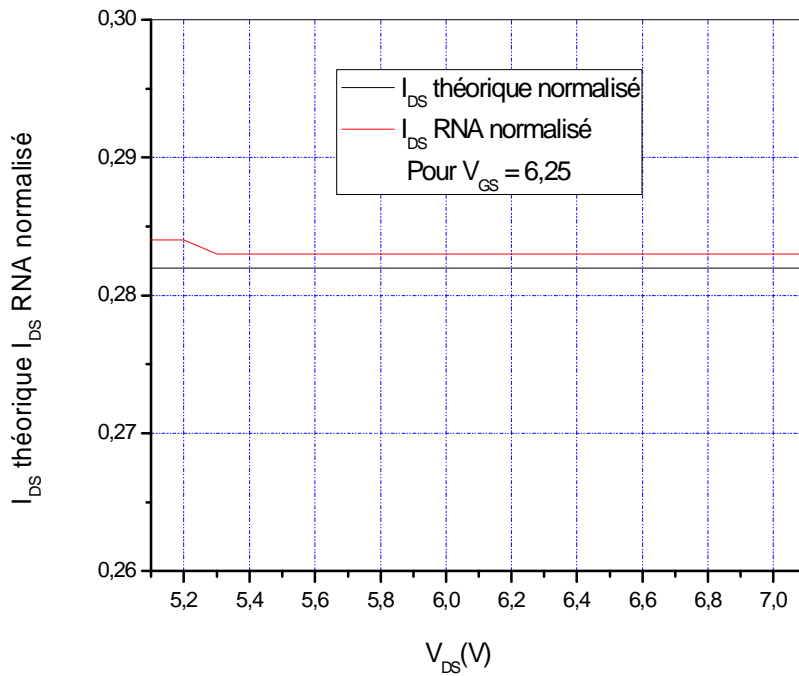


Figure (CH.III.21): Caractéristiques  $I_{DS} = F(V_{DS})$  théorique et estimées du 2N7008 tracé à partir des données de test pour  $V_{GS} = 6.25V$ .

### II-3-3- Discussion :

Les figures (CH.III. (18,19)) et (CH.III. (20,21)) représentent des échantillons de courbes tirés à partir des courbes des figures (CH.III. (16) et (17)). Le choix de ces échantillons pour les deux type de transistors été au hasard du fait que pour l'ensemble des valeurs de  $V_{GS}$  présent lors du test, les deux modèles sont presque identiques à des erreurs près et qui sont comme on peut voir sur ces courbes très faibles de l'ordre de  $10^{-3}$ .

### III- Implantation du modèle neuronale du MOSFET en circuits :

Dans cette partie du mémoire nous allons placés les modèles neuronales que nous avons conçus dans des circuits utiles à transistors MOSFETs pris de la littérature. Le premier montage est monté autour d'un **2N7008**, et le deuxième est un montage à base de transistor **2N7000**.

#### III-1- Première application :

Dans cette première application on désire calculer les coordonnées du point de fonctionnement du transistor 2N7008 implanté dans le montage de la figure (CH.III.21). Le calcul se fera en un premier temps par les lois standard d'électricité et en second lieu par le modèle obtenu par réseaux de neurones. L'étude se limitera alors seulement à l'étude statique (circuit alimenté par tension continu seulement).

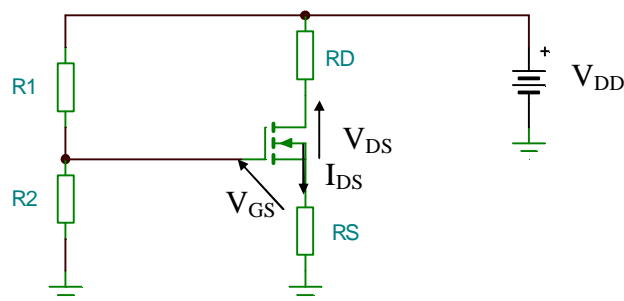


Figure (CH.III.22): Circuit électronique utilisé dans la première application.

Les résistances sont de valeurs respectives :  $R_1$ ,  $R_2$ ,  $R_D$ ,  $R_S$  :  $1M\Omega$ ,  $2M\Omega$ ,  $1k\Omega$  et  $5k\Omega$  et  $V_{DD}$  est de 12V. Le schéma équivalent avec le modèle neural du montage est le suivant :

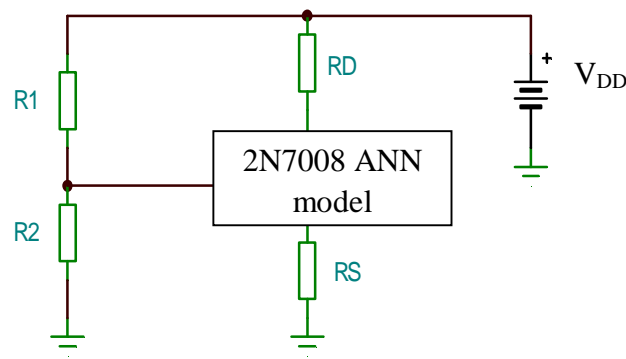


Figure (CH.III.23): Le modèle neuronale implanté dans le circuit à la place du 2N7008

Dans ce qui suit nous allons comparer les grandeurs  $V_{DS}$ ,  $V_{GS}$  et  $I_{DS}$  obtenu à partir des lois standards de traitement de circuit de la figure (CH.III.22), avec ceux obtenus à partir du modèle neuronal développé plus haut et représenté en figure (CH.III.23). Mais avant tout en donnera un algorithme montrant les différentes étapes d'études d'un circuit à MOSFET.

### III-1-1- Etape de calcul d'un circuit à MOSFET :

En général les circuits à transistor sont traités conformément à l'algorithme suivant :

- 1- Ecrire la loi de **Kirchov** du circuit contenant  $V_{GS}$  quand appellera **GS-KVL**.
- 2- Ecrire la loi de **Kirchov** du circuit contenant la tension  $V_{DS}$  et quand appellera **DS-KVL**.
- 3- On suppose que le transistor est polarisé de façon à fonctionner dans sa zone active,

Et en calcul  $I_{DS}$  par la relation :

$$I_{DS} = k \times (V_{GS} - V_T)^2 \quad (\text{CH.III.1})$$

On calculera  $V_{GS}$  de **GS-KVL**.

3-1- si  $V_{GS} < V_T$ , le transistor NMOS est bloqué et  $I_{DS} = 0$ , quelque soit  $V_{DS}$ .

3-2- si c'est le cas contraire alors, on passe à l'étape suivante c.-à-d. 4.

- 4- Puis on utilisera **DS-KVL** pour calculer  $V_{DS}$ .

4-1- si la valeur de  $V_{DS}$  calculée est supérieur à  $V_{DSSAT} = V_{GS} - V_T$ , (CH.III.2)

alors notre hypothèse est bonne et les grandeurs  $V_{DS}$  et  $I_{DS}$  calculer sont les vrais.

4-2- si non on passe à l'étape 5.

- 5- L'étape 4-2, nous montre que le NMOSFET travail dans la zone linéaire (zone ohmique). En remplaçant l'expression d' $I_{DS}$  correspondante dans celle de **DS-KVL**, en trouvera une

équation du second ordre en fonction de  $V_{DS}$ . La résolution de cette équation nous fournira  $V_{DS}$ . La valeur de  $V_{DS}$  acceptée sera celle la plus logique, et qui vérifiera :

$$V_{DS} < V_{GS} - V_T \quad (\text{CH.III.3})$$

En remplaçant  $V_{DS}$  dans l'expression d' $I_{DS}$  en trouvera ce dernier.

### III-1-2- Calcul du Circuit :

En appliquant les étapes de l'algorithme plus haut on écrira :

- 1- On suppose que ce transistor travaille en régime de saturation c.-à-d. dans sa région active.

Dans ce cas on écrit alors:

$$I_{DS} = k \times (V_{GS} - V_T)^2 .$$

- 2- On trouve l'équation du circuit donnant la tension  $V_{GS}$  et elle est dans la plus part des cas du second ordre :

A partir du circuit d'entrée on peut écrire :

$$V_{GS} = V_G - V_S = \frac{R_2}{R_1 + R_2} \times V_{DD} - R_S \times I_{DS} \quad (\text{CH.III.4})$$

On aura donc après l'application numérique :

$$V_{GS} = 8 - R_S \times k \times (V_{GS} - 2)^2 , \text{ où } k = 0.5 \cdot 10^{-3} \text{ A/V}^2$$

A la fin l'équation de  $V_{GS}$  tirée à partir du circuit sera :

$$2.5 \times V_{GS}^2 - 9 \times V_{GS} + 2 = 0 \quad (\text{CH.III.5})$$

- 3- On résolve cette équation pour avoir la valeur de  $V_{GS}$ .

La résolution de cette équation nous fournit les solutions suivantes :

$$V_{GS1} = 0.2 \text{ V} . \quad (\text{CH.III.6})$$

$$V_{GS2} = 3.4 \text{ V} . \quad (\text{CH.III.7})$$

- 4- On gardera la valeur de  $V_{GS}$  la plus logique.

Pour  $V_{GS} = V_{GS1} = 0.2 \text{ V} < V_T$ , cela veut dire que ce transistor est bloqué ce qui n'est pas le cas. On prendra alors la valeur:

$$V_{GS} = V_{GS2} = 3.4V,$$

5- On calcul à présent la tension de saturation  $V_{DSSAT}$ .

$$\text{La tension } V_{DSSAT} = V_{GS} - V_T = 3.4 - 2 = 1.4V.$$

6- On calcul en suite le courant de sortie  $I_{DS}$ .

$$I_{DS} = 0.5 \times 10^{-3} \times (1.4)^2 = 0.98 \times 10^{-3} = 0.98 \text{ mA}$$

7- Finalement on calcul la tension drain source  $V_{DS}$ .

La valeur de cette tension est très importante car elle définit la vraie zone de fonctionnement du transistor. En effet si  $V_{DS}$  calculée est supérieur ou égale à  $V_{DSSAT}$  alors l'hypothèse faite au début de l'algorithme de calcul est correcte et le transistor est vraiment en saturation. Si non et dans le cas contraire, le transistor est polarisé dans la zone de fonctionnement linéaire et le courant  $I_{DS}$  doit être recalculé en se servant de la relation (CH.III.8) puis a la fin on trouvera la valeur de  $V_{DS}$ .

Calcul de  $V_{DS}$  :

A partir du circuit on peut écrire :

$$V_{DS} = V_{DD} - (R_S + R_D) \times I_{DS} \quad (\text{CH.III.8})$$

On aura donc :

$$V_{DS} = 6.12 \text{ V} > V_{DSSAT} \text{ ce qui est en accord avec notre premier hypothèse.}$$

Donc, les coordonnées du pont de polarisation noté Q de ce transistor sont Q

$$(V_{GSQ}, V_{DSQ}, I_{DSQ}) = (3.4V, 6.12V, 0.98 \text{ mA}).$$

### III-1-3- Résultats de la simulation du circuit sous Matlab:

- $V_{GS} = [V_{GS1} \ V_{GS2}] = [0.2380V \ 3.3620V]$
- $I_{DS} = [I_{DS1} \ I_{DS2}] = [0.001552 \ 0.000928] \text{ (A)}$
- $V_{DS} = [V_{DS1} \ V_{DS2}] = 2.685540V \ = 6.434460V]$

On note ici que la légère différence entre les valeurs de  $I_{DS}$  et de  $V_{DS}$  données précédemment est du à la précision imposée par le logiciel **Matlab**.

En choisissant,  $V_{GS} = 3.362050V$ ,  $V_{DS} : 6.434460V$  on aura :

- Le courant drain source calculé à partir du circuit est :  $I_{DS} = 0.92759010 \text{ mA}$ ,
- Le courant drain source calculé à partir du circuit est :  $I_{DS} = 0.95911361 \text{ mA}$ ,

Soit une erreur de prédiction de  $0.0315235042 \text{ mA}$ .

**III-1-4- Discussion :**

L'erreur entre les valeurs calculer et prédite  $I_{DS}$  est de  $0.03\text{mA}$ , cette valeur étant faible et est très acceptable. Cela indique que le modèle que nous avons obtenu est fidèle au modèle théorique du MOSFET

**III-2- Deuxième application :**

Cette deuxième application consiste en un circuit amplificateur à base de transistor 2N7000 (figure (24) ). Dans ce montage on injecte directement des tensions de commande  $V_{GS}$  par la grille et on calcule le courant  $I_{DS}$  correspondant.

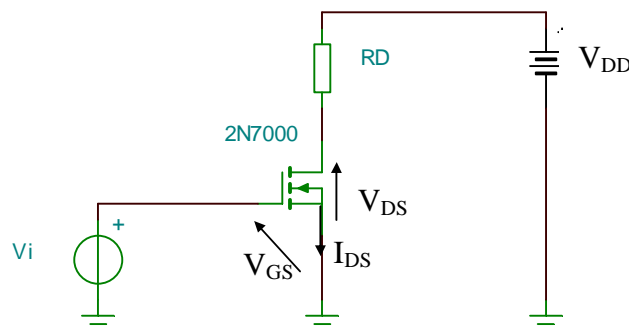


Figure (CH.III.24): Circuit électronique utilisé dans la deuxième application

La résistance  $R_D$  est de  $1\text{k}\Omega$ ,  $V_{DD} = 12\text{V}$  et comme valeurs de  $V_i$  en prendra pour le calcul théorique  $0, 6$  et  $12\text{V}$ . Le modèle neuronal obtenu plus haut au de but de ce chapitre sera placé dans le circuit à la place du transistor comme montré sur la figure qui suit.

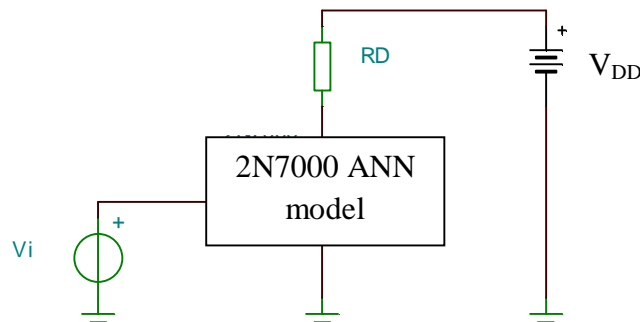


Figure (CH.III.25) : Le modèle neuronale implanté dans le circuit à la place du 2N7000

L'application directe des étapes de l'algorithme plus haut dans ce cas de circuit nous donne.

$$V_{GS} = V_i \quad (\text{CH.III.10})$$

$$V_{DS} = V_{DD} - R_D \times I_{DS} \quad (\text{CH.III.11})$$

### III-2-1- Exemple de calcul théorique :

#### 1- Pour $V_i = 0$ :

$V_i = 0V$  cela veut dire que  $V_{GS} = 0$ , et dans ce cas on  $V_{GS} < V_T$ . Le transistor par conséquent est bloqué et  $I_{DS} = 0$  ; quelque soit  $V_{DS}$ .

#### 2- Pour $V_i = 6V$ :

$V_{GS} = V_i = 6V > V_T$  donc le transistor est en statut On.

Pour trouver  $I_{DS}$  et  $V_{DS}$  on suppose d'abord que ce transistor travail en régime de saturation. La tension  $V_{DS}$  de saturation est de :

$$V_{DSSAT} = V_{GS} - V_T = 6 - 2 = 4V$$

$$I_{DS} = k \times (V_{GS} - V_T)^2.$$

$$I_{DS} = 410^{-3} A = 4 \text{ mA}.$$

Ce qui veut dire que :

$$V_{DS} = V_{DD} - R_D \times I_{DS} = 8V.$$

$V_{DS} > V_{DSSAT}$  cela veut dire que le transistor travail réellement en saturation et que notre supposition été vrais.

La tension de sortie  $V_O = V_{DS} = 8V$ .

#### 3- Pour $V_i = 12V$ .

$V_{GS} = V_i = 12V > V_T$  donc le transistor est en statut On. On trouvera  $I_{DS}$  et  $V_{DS}$  de la même façon que plus haut.

La tension  $V_{DS}$  de saturation est de :

$$V_{DSSAT} = V_{GS} - V_T = 12 - 2 = 10V$$

$$I_{DS} = k \times (V_{GS} - V_T)^2.$$

$$I_{DS} = 0.2510^{-1} \text{A} = 25 \text{ mA.}$$

Ce qui veut dire que :

$$V_{DS} = V_{DD} - R_D \times I_{DS} = 9.5 \text{V}$$

$V_{DS} < V_{DSSAT}$  alors le transistor n'est pas polarisé pour fonctionner en saturation mais dans la zone ohmique. Donc pour le calcul de la vraie valeur de  $I_{DS}$  en utilisera alors les formules du régime ohmique.

$$I_{DS} = k \times [2 \times (V_{GS} - V_T)^2 \times V_{DS} + V_{DS}^2] \quad (\text{CH.III.12})$$

Cela d'un coté, et d'un autre coté on a :

$$I_{DS} = \frac{V_{DD} - V_{DS}}{R_D}$$

En mettant en égalité les deux formules et en faisant l'application numérique en aura :

$$V_{DS}^2 - 24 \times V_{DS} + 48 = 0$$

Il est clair que pour déterminer  $V_{DS}$  on doit résoudre cette équation du second ordre.

On obtiendra :

$$V_{DS1} = 2.2 \text{V} \text{ et } V_{DS2} = 21.79 \text{V.}$$

Semblablement au premier cas d'application, On gardera la solution la plus logique. Les solutions obtenues sont :

La deuxième solution est refusée du faite qu'elle est supérieure même à la tension d'alimentation du circuit.

Donc on aura comme solution  $V_{DS} = V_{DS1} = 2.2 \text{ V} < V_{DSSAT}$ .

Par conséquent :

$$I_{DS} = \frac{V_{DD} - V_{DS}}{R_D} \quad (\text{CH.III.13})$$

Donc :

$$I_{DS} = 0.95 \text{mA} \text{ et } V_O = V_{DS} = 2.2 \text{V.}$$

### III-2-2- Résultats de la simulation du circuit sous Matlab :

Pour la simulation nous avons pris différentes valeurs de  $V_i$ . Nous avons alors calculer  $I_{DS}$  à partir du circuit pour chaque couple d'entrée ( $V_{GS}, V_{DS}$ ), puis nous avons refait les mêmes calculs en utilisant le modèle le réseaux de neurone. Les résultats obtenus sont représentés sur la figure (CH.III.26). En ce qui est des résultats numérique, nous donnerons ici seulement ceux correspondant aux valeurs de  $V_i$  pris plus haut lors du calcul théorique.

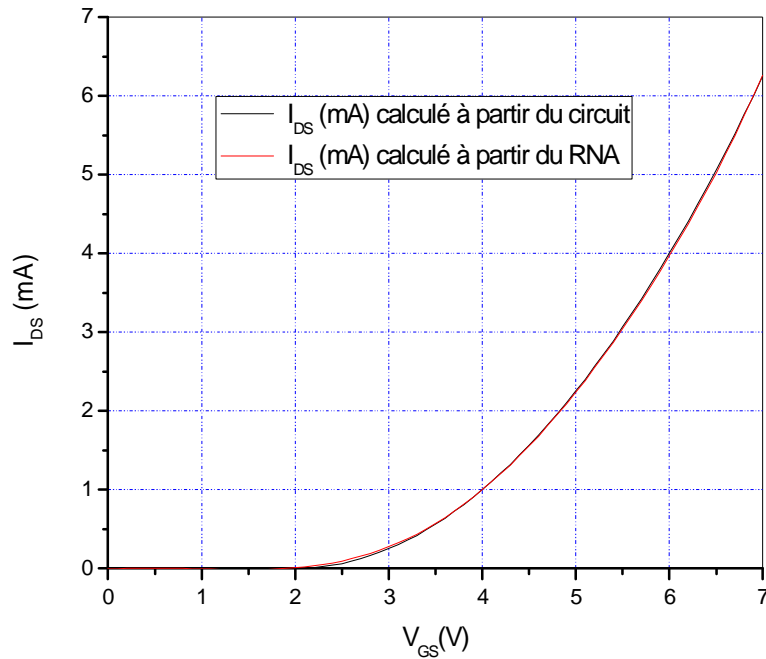


Figure (CH.III.26) : Le courant  $I_{DS}$  calculé théoriquement et celui prédit par le RNA en fonction de  $V_{GS}$

#### Résultat numérique :

- Pour  $V_{GS} = 0.000000$

$$V_{DSSAT} = -2.000000$$

$$V_{DS} = 12.000000$$

$$I_{DSTH} = 0.000000$$

$$I_{DSRNA} = -0.009804$$

L'erreur de prédiction est : -0.009804

- Pour  $V_{GS} = 6.000000$

$$V_{DSSAT} = 4.000000$$

$$V_{DS} = 8.000000$$

$$I_{DSTH} = 4.000000$$

$$I_{DSRNA} = 3.966963$$

L'erreur de prédiction est : -0.033037

- Pour  $V_{GS} = 12.000000$

$$V_{DSSAT} = 10.000000$$

$$V_{DS} = 2.202041$$

$$I_{DSTH} = 0.009798$$

$$I_{DSRNA} = 0.009803$$

L'erreur de prédiction est : 0.000005

### III-2-3-Discussion :

Les courbes de la figure (CH.III.26), donnant la variation de  $I_{DS}$  en fonction de  $V_{GS}$  ont les mêmes allures des courbes des caractéristiques de transferts cela d'un côté. D'un autre côté on remarque que les courbes théoriques et les courbes obtenus à partir du réseau de neurone sont identiques. Cela veut dire que le modèle prédit par RNA est celui théorique du 2N7000 sont parfaitement closes.

### III-2-4- Droite de charge statique du circuit :

La droite de charge statique d'un circuit est l'ensemble des couples  $V_{DS}$ ,  $I_{DS}$  que peuvent prendre les courants et les tensions du transistor implanté dans ce circuit. Le tracé de la droite de charge statique d'un circuit est très important, car elle aide à connaître l'emplacement du point de fonctionnement (dans d'autre littérature de repos) du transistor. Dans ce qui suit, nous allons tracer les droites de charges statiques du circuit, par deux méthodes. La première à partir des équations standard de traitement de circuit (**Kirchov**) et la deuxième à partir du modèle neuronale du MOSFET déterminé plus haut.

### III-2-4-1- Tracé de la droite de charge statique à partir du circuit :

En théorie l'équation de la droite de charge statique est la suivante :

$$I_{DS} = \frac{V_{DD} - V_{DS}}{R_D}$$

En faisant varier  $V_{GS}$  dans le circuit de la deuxième application on fera aussi varier  $I_{DS}$  et  $V_{DS}$ . Donc le principe de calcul est simple. On fera varier  $V_{GS}$  de 0V à 12V par pas de 0.5V et on calculera  $I_{DS}$  et  $V_{DS}$  en appliquant l'algorithme de calcul vu plus haut. Le résultat est montré sur la figure (CH.III.26).

### III-2-4-2- Tracé de la droite de charge statique à partir du modèle neuronale :

Le tracé de la droite de charge statique dans ce cas est basé sur l'utilisation des paramètres du réseau de neurone ; les poids et les biais pour le calcul du courant estimé. Les couples d'entrées du réseau  $V_{GS}$  et  $V_{DS}$  sont obtenus semblablement au cas précédent. Les résultats de la simulation sont donnés sur la figure (CH.III.28).

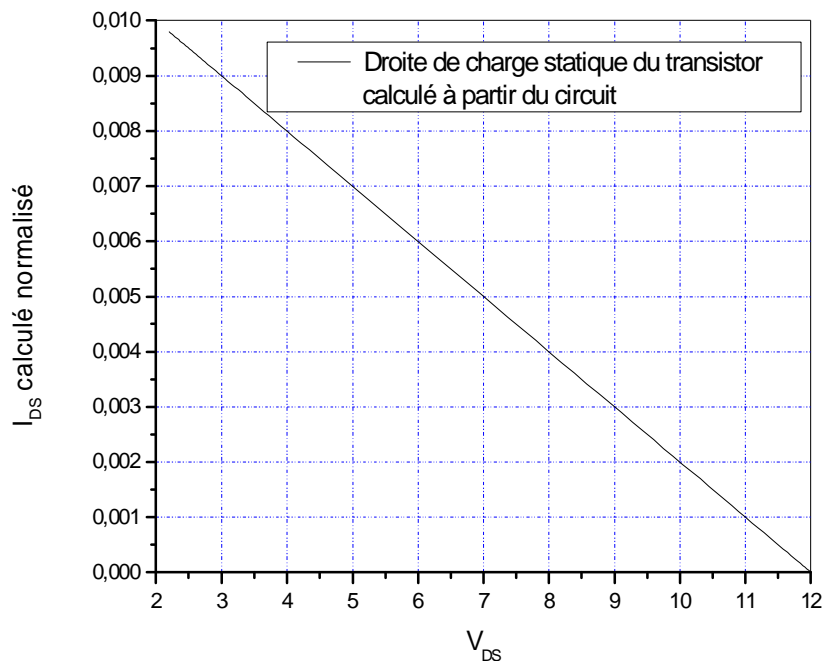


Figure (CH.III.27) : La droite de charge du circuit tracée théoriquement

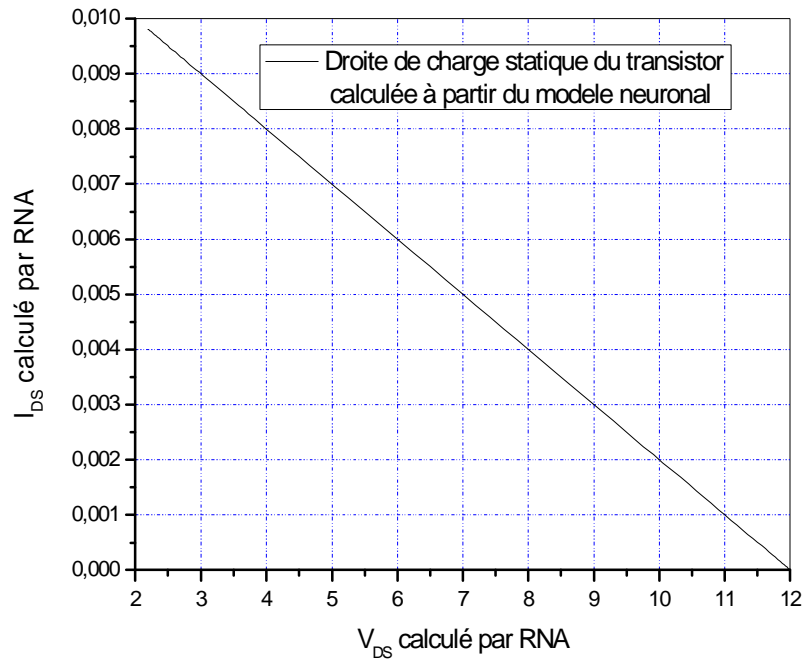
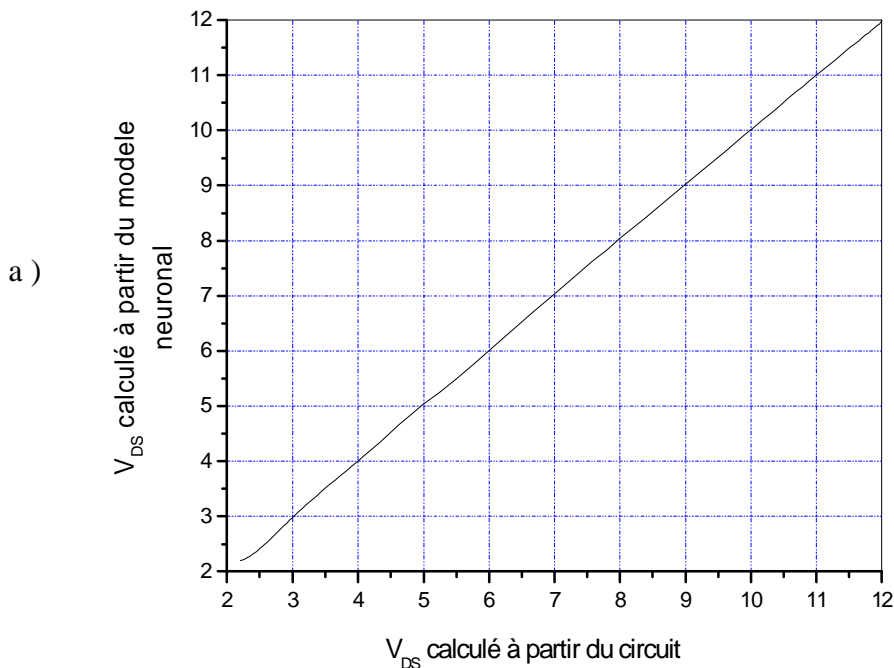


Figure (CH.III.28) : La droite de charge du circuit prédite par RNA.

**II-2-5- Discussion :**

Les courbes obtenues montrent une très grande similitude entre les résultats obtenus par calcul ou par prédiction à partir du modèle neuronale. Cela est montré avec certitude sur les deux figures (CH.III.29-a) et (CH.III.29-b) suivante. En effet en remarque que comme pour les courants, les tensions obtenues par les deux approches sont identiques et cela peut être vu par les pentes des courbes qui sont égal à l'unité.



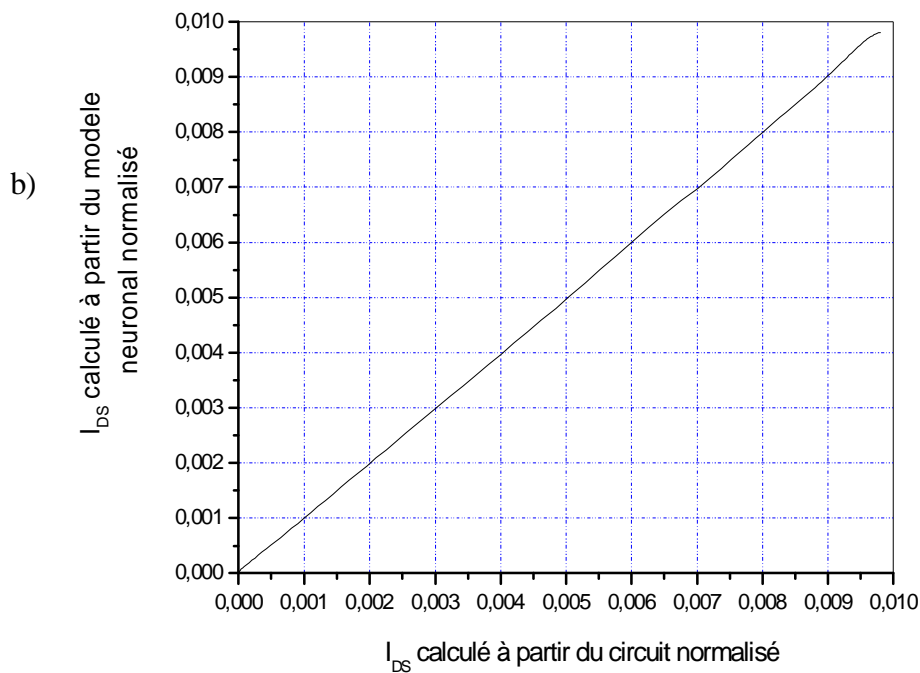


Figure (CH.III.29): Comparaison entre les valeurs prédites et théoriques du :

- a- La tension  $V_{DS}$ .
- b- Le courant  $I_{DS}$

#### IV- Conclusion :

Pour aboutir à notre but déjà tracé en deuxième chapitre, nous avons divisé ce chapitre en deux grandes parties.

La première partie consiste en la réalisation d'un réseau de neurones artificiel constitué de deux couches cachées contenant 10 et 5 neurones respectivement.

La deuxième partie de ce chapitre a été consacrée à l'application proprement dite du modèle issu du RNA du MOSFET dans des circuits réels, connus et utiles choisis de la littérature électronique.

Les résultats obtenus dans les différentes applications que nous avons faites, montrent que le modèle du MOSFET obtenu par l'entraînement d'un réseau de neurones artificiels est très clos au modèle théorique défini par le formalisme standard relatif à ce type de composant. En effet l'ordre de erreur entre les deux approches de calcul du courant drain-source du MOSFET est acceptable et rend l'implantation du modèle neuronal très rassurant surtout dans les applications où par exemple le changement d'un transistor défectueux est quasiment impossible.

### CONCLUSION GENERALE :

Le but que nous avons tracé au début de notre travail été de réaliser un model à base de réseau de neurone artificiels d'un transistor MOSFET à canal N à enrichissement. Ce modèle devait prédire le comportement de ce composant électronique très important dans la fabrication des circuits intégrés moderne, quand il est placé dans des circuits utiles. Pour aboutir à ce but nous avons suivis des étapes logiques qui nous ont à la fin menées directement à notre but.

En effet, notre travail été réalisé en trois chapitres. Le premier chapitre, été une présentation générale de la théorie des MOSFETs et en particulier les NMOSFETs à enrichissement, et à ce niveau nous avons posé la problématique suivante ; peut-on modéliser le comportement de ce composant par la technique des réseaux de neurones artificiels. Cette question nous a menée à consacrer le deuxième chapitre en totalité à l'étude de cette méthode, et en particulier à l'étude du mécanisme d'apprentissage de ces réseaux par l'algorithme de rétro-propagation de l'erreur de prédiction (**EBP**). Puis nous avons donné une formule plus sophistiquée exprimant l'erreur rétro-propagée par cet algorithme, et cette amélioration devait assurer une convergence plus rapide par rapport à celle de l'algorithme EBP classique ; ce que nous avons constatés nous même durant notre travail.

Après cette étape nous avons fait la modélisation proprement dite. En effet dans le dernier chapitre nous avons proposés deux modélisations réalisées par RNAs pour deux types de transistors que nous avons choisis, le 2N7000 et le 2N7008.

Les résultats que nous avons obtenus été très bonnes et les deux modèles prédis ont convergés rapidement et efficacement vers le formalisme théorique donnant les courants drain-source des deux transistors, ce qui est bien montrés par la faible erreur obtenus après les différentes opérations de test que nous avons effectués sur les deux modèles.

A la fin de notre travail nous avons implantés les modèles prédictives du 2N7000 et du 2N7008 obtenus par RNAs dans des circuits connus en littérature de l'électronique, pour mieux les jugers. Dans ce cadre nous avons choisis deux circuits simples pour réaliser l'implantation et les résultats que nous avons obtenus dans les deux cas été très bonnes et cela peut être constaté aisément à partir des différentes courbes et résultats numériques obtenus et donnés après chaque simulation.

En perspectives, et comme notre travail reste ouvert en temps que travail de recherches, nous voudrions bien que nos collègues des proportions à venir continuent assurent sa continuité, en exploitant d'autre méthode de prédictions comme les algorithmes génétique et la logique flue pour l'élaboration de modèle plus robuste, pouvant cerner le comportement dynamique (en basse et en haute fréquences) en plus de celui statique du MOSFET et pour quoi pas d'autre composant électroniques plus compliqué et sophistiqué.

**BIBLIOGRAPHIE**

- [1] D .Foty . “ MOSFET modeling circuit simulation “,IEEE circuits and devices ,vol14 NO4 JULY 1998,pp 26-31.
- [2] Journal of automatic control, University of BELGRAD ,vol.13(1):31-37,2003. Electronic circuits modeling using artificial neural networks.
- [3] Chapitre N :6 :transistors a effet de champ .ELEN075 :Electronique analogique Par : Markus Liniger 2000/01
- [4] T. Skotnicki, “Transistor MOS et sa technologie de fabrication”, Techniques de l'ingénieur
- [5] THÈSE :Présentée à l'Université des Sciences et Technologies de Lille Analyse du comportement petit signal du transistor MOS : contribution à une nouvelle approched'extraction et de modélisation pour des applications RF par Emmanuel Bouhana
- [6] MEMOIRE : Présenté au département Electronique –Université de Batna thème : Modélisation et simulation du transistor DGMOSFET en utilisant les Algorithmes Génétiques Fait par : Toufik BENDIB.
- [7] Site d'internet : [www.epsic.ch/electronique/techn99/elnthcircuit/ciatstxt.html](http://www.epsic.ch/electronique/techn99/elnthcircuit/ciatstxt.html). Cour 3 : les transistors a effet champ (FET ou MOSFET) en amplification
- [8] Mohamed Amir ABDI. "Modélisation de l'inverse de la pente sous seuil des transistor FETs nanométriques" Mémoire de magister, Université de Batna, 2006
- [9] Dispositifs Electroniques et optiques a semi-conducteurs, science et génie de matériaux 2006.par ROMUALD HOUDRE
- [10] R. van Langevelde, “Surface-potential versus charge based approaches to MOSFET compact modeling”, 2005 International Conference on Modeling and Simulation of Microsystems, Workshop on Compact Models, May 2005.
- [11] THÈSE :présenté l'UNIVERSITE DE LILE .science et technologies. Réalisation et caractérisation de dispositifs MOSFET anometriques a base De reseaux denses.fait par :Xiang LEIHAN.2011.

- [12] cours 9 :régime du transistors MOS par :Dimitri GALAYKO. unité d'enseignement.  
Elec.info pour master ACSI a l'UPMC 2005.
- [13] P. Masson, *Etude par pompage de charge et par mesures de bruit basse fréquence de transistors MOS à oxynitruure de grille ultra-minces*, Thèse de Doctorat, INSA Lyon, France, 1999.
- [14 ] J.P. Colinge and C.A. Colinge, *Physics of semiconductor devices*, , Springer publishers, New York, USA, 2005.
- [15] Chapitr 7 :ELEC283. Electronique appliquée. MIEL 2003
- [16] Composant actif discrets 2.Michel GIRARD,1990 Edi science international .Paris, ISISN  
2-84074-069-9.  
ISSN :0985-9039.Publie précédemment par Megraw-HILL.inc .Paris.  
ISBN-2-7042-1205-8
- [17]Physique des semi-conducteurs composant électronique P 369.Tome II .A.SAIDANE, des publications universitaire
- [18] Physique des S/C et des composant électronique+composant actifs discrets 2 P277+P20
- [19] Cours d'électronique ,les composants ,Bevuand BOITTIAUX, semi conducteur .Lavoisier-tec & DOC,1991
- [20] W. S. McCulloch And W. Pitts, «A Logical Calculus Of Ideas Immanent In Nervous Activity », Bull. Mathematical Bio-physics, Vol. 5, 1943, PP. 115-133.
- [21] M. Minsky And S. Papert, «Perceptrons: An Lntroduction To Computational Geometry» MIP Press, Cambridge, Mass., 1969.
- [22] E. Davalo et P. Naïm, Des réseaux de neurones, 2eme ed, Paris : Eyrolles, 1993.
- [23] Z .ZERDOUMI, «Application des réseaux de neurones artificiels à la poursuite des non Linéarités fluctuantes des système satellitaires», mémoire de magistère en électronique ; Université de M'sila, 21 / 06 / 2006.

[24] A Al-Fawal « Conception Et Réalisation De Réseaux D'antennes Pour Les Mesures Propagation Et De Transmission ».Mémoire De Fin D'étude, Université De Libanaise 2001.

[25] G.DREYFUS, « Réseaux de neurones, méthodologie et applications », 2e édition EYROLLES, 416p, 2004.

[26] Chennakesava R.Alavala, Fuzzy Logic and Neural Networks Basic Concepts & Application, New age international publishers.

[27] N.Valentin, « Construction d'un capteur logiciel pour le contrôle automatique du procédé de coagulation en traitement d'eau potable », Thèse doctorat, Laboratoire des eaux UTC, 2000.

[28] K.CHEIKH, 'Analyse des détecteurs CFAR en utilisant les réseaux de neurones et la logique floue'. Thèse de doctorat en science en électronique option : traitement du signal, de l'université Mentouri, Constantine.

[29] B. MOHAMED, « Identification et contrôle avec réseaux de neurones ». *Thèse de Magister. Université SETIF. juin 1993*

[30] C.TOUZET, « Les réseaux de neurones artificiels, introduction au connexionisme», PARIS, Juillet 1992.

[31] S. MELIANI -H.CHENIH, « Evaluation de la fréquence de résonance complexe ones»; mémoire d'ingénieur, Unived'un Antenne rectangulaire par la méthode des réseaux de neurrsité de M'sila JUIN 2010

[32] Claude Touzet. *Les réseaux de neurones artificiels «introduction au connexionisme»*. Laboratoire d'Etudes et Recherche en Informatique', ISBN 2 -906 899 - 78X. Juillet 1992

[33] Isabelle Rivals. *Modélisation et commande de processus par réseaux de neurones : Application au pilotage d'un véhicule autonome*. Thèse doctorat de l'université paris 06/01/95.

[34] Benoît Virole, «Réseaux de neurones et psychométrie, étude prospective des applications possibles des réseaux de neurones formels dans le traitement des données psychométriques ». Editions du Centre de Psychologie Appliquée, le Juin 2001

[35] D.ANDERSON and G. Mc NEILL, « Artificial neural network technology », C.N F30602-89-C-0082, 87 p, NEW YORK, 1992.

[36] L.Barazane, Application des systèmes émergents à la commande d'un moteur asynchrone, Thèse de doctorat, ENP, 2003.

[37] thème :identification et contrôle par réseaux de neurones Université de M'sila. *Présenté par* : Saïfi AOUICHAT et Fatima Zohra AIOUAZ. Juin 2006.

[38] IEEE transaction on circuits and systems-II:analog and digital signal processing vol.39,NO.7,JULY 1992.Autorized licensed use limited to :University of Newcassle.

## Annexe 1 : Caractéristiques techniques des transistors :

### Le 2N7008 :

**Supertex inc.**
**2N7008**


## N-Channel Enhancement-Mode Vertical DMOS FETs

### Ordering Information

BV <sub>DSS</sub> / BV <sub>DGS</sub>	R <sub>DS(ON)</sub> (max)	I <sub>D(ON)</sub> (min)	Order Number / Package
			TO-92
60V	7.5Ω	500mA	2N7008

### Features

- Free from secondary breakdown
- Low power drive requirement
- Ease of paralleling
- Low C<sub>ISS</sub> and fast switching speeds
- Excellent thermal stability
- Integral Source-Drain diode
- High input impedance and high gain
- Complementary N- and P-channel devices

### Applications

- Motor controls
- Converters
- Amplifiers
- Switches
- Power supply circuits
- Drivers (relays, hammers, solenoids, lamps, memories, displays, bipolar transistors, etc.)

### Absolute Maximum Ratings

Drain-to-Source Voltage	BV <sub>DSS</sub>
Drain-to-Gate Voltage	BV <sub>DGS</sub>
Gate-to-Source Voltage	± 30V
Operating and Storage Temperature	-55°C to +150°C
Soldering Temperature*	300°C

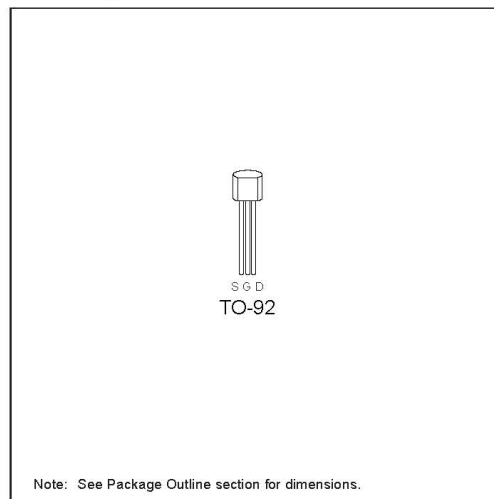
\* Distance of 1.6 mm from case for 10 seconds.

### Advanced DMOS Technology

These enhancement-mode (normally-off) transistors utilize a vertical DMOS structure and Supertex's well-proven silicon-gate manufacturing process. This combination produces devices with the power handling capabilities of bipolar transistors and with the high input impedance and positive temperature coefficient inherent in MOS devices. Characteristic of all MOS structures, these devices are free from thermal runaway and thermally-induced secondary breakdown.

Supertex's vertical DMOS FETs are ideally suited to a wide range of switching and amplifying applications where high breakdown voltage, high input impedance, low input capacitance, and fast switching speeds are desired.

### Package Option



01/06/03

Supertex Inc. does not recommend the use of its products in life support applications and will not knowingly sell its products for use in such applications unless it receives an adequate "products liability indemnification insurance agreement." Supertex does not assume responsibility for use of devices described and limits its liability to the replacement of devices determined to be defective due to workmanship. No responsibility is assumed for possible omissions or inaccuracies. Circuitry and specifications are subject to change without notice. For the latest product specifications, refer to the Supertex website: <http://www.supertex.com>. For complete liability information on all Supertex products, refer to the most current databook or to the Legal/Disclaimer page on the Supertex website.

## Thermal Characteristics

Package	$I_D$ (continuous)*	$I_D$ (pulsed)	Power Dissipation @ $T_C = 25^\circ\text{C}$	$\theta_{JC}$ $^\circ\text{C/W}$	$\theta_{JA}$ $^\circ\text{C/W}$	$I_{DR}^*$	$I_{DRM}$
TO-92	230mA	1.3A	1W	125	170	230mA	1.3A

\*  $I_D$  (continuous) is limited by max rated  $T_J$ .

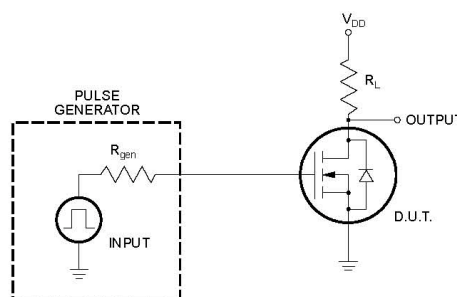
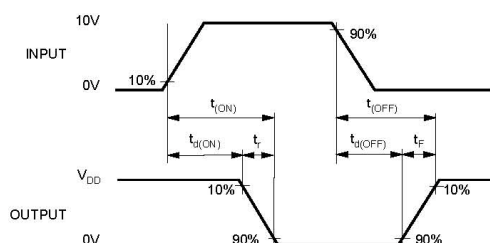
## Electrical Characteristics (@ 25°C unless otherwise specified)

Symbol	Parameter	Min	Typ	Max	Unit	Conditions
$BV_{DSS}$	Drain-to-Source Breakdown Voltage	60			V	$I_D = -10\mu\text{A}$ , $V_{GS} = 0\text{V}$
$V_{GS(th)}$	Gate Threshold Voltage	1		2.5	V	$V_{GS} = V_{DS}$ , $I_D = 250\mu\text{A}$
$I_{GSS}$	Gate Body Leakage			100	nA	$V_{GS} = \pm 30\text{V}$ , $V_{DS} = 0\text{V}$
$I_{DSS}$	Zero Gate Voltage Drain Current			1	$\mu\text{A}$	$V_{GS} = 0\text{V}$ , $V_{DS} = 50\text{V}$
				500	$\mu\text{A}$	$V_{GS} = 0\text{V}$ , $V_{DS} = 50\text{V}$ $T_A = 125^\circ\text{C}$
$I_{D(ON)}$	ON-State Drain Current	500			mA	$V_{GS} = 10\text{V}$ , $V_{DS} \geq 2V_{DS(ON)}$
$R_{DS(ON)}$	Static Drain-to-Source ON-State Resistance			7.5	$\Omega$	$V_{GS} = 5\text{V}$ , $I_D = 50\text{mA}$
				7.5		$V_{GS} = 10\text{V}$ , $I_D = 500\text{mA}$
$G_{FS}$	Forward Transconductance	80			mS	$V_{DS} = 10\text{V}$ , $I_D = 0.2\text{A}$
$C_{ISS}$	Input Capacitance			50	pF	$V_{GS} = 0\text{V}$ , $V_{DS} = 25\text{V}$ $f = 1\text{MHz}$
$C_{OSS}$	Common Source Output Capacitance			25		
$C_{RSS}$	Reverse Transfer Capacitance			5		
$t_{(ON)}$	Turn-ON Time			20	ns	$V_{DD} = 30\text{V}$ , $I_D = 200\text{mA}$ , $R_{GEN} = 25\Omega$
$t_{(OFF)}$	Turn-OFF Time			20		
$V_{SD}$	Diode Forward Voltage Drop			1.5	V	$I_{SD} = 150\text{mA}$ , $V_{GS} = 0\text{V}$

### Notes:

- All D.C. parameters 100% tested at 25°C unless otherwise stated. (Pulse test: 300 $\mu\text{s}$  pulse, 2% duty cycle.)
- All A.C. parameters sample tested.

## Switching Waveforms and Test Circuit




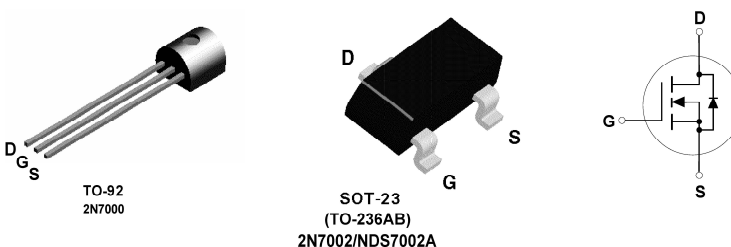
01/06/03

**Supertex inc.**

©2003 Supertex Inc. All rights reserved. Unauthorized use or reproduction prohibited.

1235 Bordeaux Drive, Sunnyvale, CA 94089  
 TEL: (408) 744-0100 • FAX: (408) 222-4895  
 www.supertex.com

## Le 2N7000 :

					November 1995
<b>2N7000 / 2N7002 / NDS7002A</b> <b>N-Channel Enhancement Mode Field Effect Transistor</b>					
<b>General Description</b>			<b>Features</b>		
<p>These N-Channel enhancement mode field effect transistors are produced using Fairchild's proprietary, high cell density, DMOS technology. These products have been designed to minimize on-state resistance while provide rugged, reliable, and fast switching performance. They can be used in most applications requiring up to 400mA DC and can deliver pulsed currents up to 2A. These products are particularly suited for low voltage, low current applications such as small servo motor control, power MOSFET gate drivers, and other switching applications.</p>			<ul style="list-style-type: none"> <li>▪ High density cell design for low <math>R_{DS(ON)}</math>.</li> <li>▪ Voltage controlled small signal switch.</li> <li>▪ Rugged and reliable.</li> <li>▪ High saturation current capability.</li> </ul>		
					
<b>Absolute Maximum Ratings</b> $T_A = 25^\circ\text{C}$ unless otherwise noted					
Symbol	Parameter	2N7000	2N7002	NDS7002A	Units
$V_{DSS}$	Drain-Source Voltage	60			V
$V_{DGR}$	Drain-Gate Voltage ( $R_{GS} \leq 1\text{ M}\Omega$ )	60			V
$V_{GSS}$	Gate-Source Voltage - Continuous	$\pm 20$			V
	- Non Repetitive ( $t_p < 50\mu\text{s}$ )	$\pm 40$			
$I_D$	Maximum Drain Current - Continuous	200	115	280	mA
	- Pulsed	500	800	1500	
$P_D$	Maximum Power Dissipation	400	200	300	mW
	Derated above $25^\circ\text{C}$	3.2	1.6	2.4	
$T_J, T_{STG}$	Operating and Storage Temperature Range	-55 to 150		-65 to 150	$^\circ\text{C}$
$T_L$	Maximum Lead Temperature for Soldering Purposes, 1/16" from Case for 10 Seconds	300			$^\circ\text{C}$
<b>THERMAL CHARACTERISTICS</b>					
$R_{\theta JA}$	Thermal Resistance, Junction-to-Ambient	312.5	625	417	$^\circ\text{C}/\text{W}$

Electrical Characteristics $T_A = 25^\circ\text{C}$ unless otherwise noted							
Symbol	Parameter	Conditions	Type	Min	Typ	Max	Units
<b>OFF CHARACTERISTICS</b>							
$BV_{DSS}$	Drain-Source Breakdown Voltage	$V_{GS} = 0\text{ V}, I_D = 10\ \mu\text{A}$	All	60			V
$I_{DSS}$	Zero Gate Voltage Drain Current	$V_{DS} = 48\text{ V}, V_{GS} = 0\text{ V}$	2N7000			1	$\mu\text{A}$
		$T_J = 125^\circ\text{C}$				1	mA
		$V_{DS} = 60\text{ V}, V_{GS} = 0\text{ V}$	2N7002 NDS7002A			1	$\mu\text{A}$
		$T_J = 125^\circ\text{C}$				0.5	mA
$I_{GSSF}$	Gate - Body Leakage, Forward	$V_{GS} = 15\text{ V}, V_{DS} = 0\text{ V}$	2N7000			10	nA
		$V_{GS} = 20\text{ V}, V_{DS} = 0\text{ V}$	2N7002 NDS7002A			100	nA
$I_{GSSR}$	Gate - Body Leakage, Reverse	$V_{GS} = -15\text{ V}, V_{DS} = 0\text{ V}$	2N7000			-10	nA
		$V_{GS} = -20\text{ V}, V_{DS} = 0\text{ V}$	2N7002 NDS7002A			-100	nA
<b>ON CHARACTERISTICS</b> (Note 1)							
$V_{GS(th)}$	Gate Threshold Voltage	$V_{DS} = V_{GS}, I_D = 1\text{ mA}$	2N7000	0.8	2.1	3	V
		$V_{DS} = V_{GS}, I_D = 250\ \mu\text{A}$	2N7002 NDS7002A	1	2.1	2.5	
$R_{DS(on)}$	Static Drain-Source On-Resistance	$V_{GS} = 10\text{ V}, I_D = 500\text{ mA}$	2N7000		1.2	5	$\Omega$
		$T_J = 125^\circ\text{C}$			1.9	9	
		$V_{GS} = 4.5\text{ V}, I_D = 75\text{ mA}$			1.8	5.3	
		$V_{GS} = 10\text{ V}, I_D = 500\text{ mA}$	2N7002		1.2	7.5	
		$T_J = 100^\circ\text{C}$			1.7	13.5	
		$V_{GS} = 5.0\text{ V}, I_D = 50\text{ mA}$			1.7	7.5	
		$T_J = 100^\circ\text{C}$			2.4	13.5	
		$V_{GS} = 10\text{ V}, I_D = 500\text{ mA}$	NDS7002A		1.2	2	
		$T_J = 125^\circ\text{C}$		2	3.5		
		$V_{GS} = 5.0\text{ V}, I_D = 50\text{ mA}$		1.7	3		
		$T_J = 125^\circ\text{C}$		2.8	5		
$V_{DS(on)}$	Drain-Source On-Voltage	$V_{GS} = 10\text{ V}, I_D = 500\text{ mA}$	2N7000		0.6	2.5	V
		$V_{GS} = 4.5\text{ V}, I_D = 75\text{ mA}$			0.14	0.4	
		$V_{GS} = 10\text{ V}, I_D = 500\text{ mA}$	2N7002		0.6	3.75	
		$V_{GS} = 5.0\text{ V}, I_D = 50\text{ mA}$			0.09	1.5	
		$V_{GS} = 10\text{ V}, I_D = 500\text{ mA}$	NDS7002A		0.6	1	
		$V_{GS} = 5.0\text{ V}, I_D = 50\text{ mA}$			0.09	0.15	

---

**Annexe 2 : Quelques résultats tirés à partir de la simulation de la deuxième application :****Entre le nom du transistor : '2N7000'**

VGS = 0.000000 ;

VDS\_Sat = -2.000000 ;

VDS = 12.000000 ;

Ids = 0.000000 ;

Ids\_RNA:-0.000010 ;

l'erreur est:-0.000010 ;

VGS = 0.500000 ;

VDS\_Sat = -1.500000 ;

VDS = 12.000000 ;

Ids = 0.000000 ;

Ids\_RNA:0.000004 ;

l'erreur est:0.000004 ;

VGS = 1.000000 ;

VDS\_Sat = -1.000000 ;

VDS = 12.000000 ;

Ids = 0.000000 ;

Ids\_RNA:-0.000005 ;

l'erreur est:-0.000005 ;

VGS = 1.500000 ;

VDS\_Sat = -0.500000 ;

VDS = 12.000000 ;

Ids = 0.000000 ;

---

Ids\_RNA:-0.000015 ;

l'erreur est:-0.000015 ;

VGS = 2.000000 ;

VDS\_Sat = 0.000000 ;

VDS = 12.000000 ;

Ids = 0.000000 ;

Ids\_RNA:0.000007 ;

l'erreur est:0.000007 ;

VGS = 2.500000 ;

VDS\_Sat = 0.500000 ;

VDS = 11.937500 ;

Ids = 0.000063 ;

Ids\_RNA:0.000093 ;

l'erreur est:0.000030 ;

VGS = 3.000000 ;

VDS\_Sat = 1.000000 ;

VDS = 11.750000 ;

Ids = 0.000250 ;

Ids\_RNA:0.000274 ;

l'erreur est:0.000024 ;

VGS = 3.500000 ;

VDS\_Sat = 1.500000 ;

---

VDS = 11.437500 ;  
Ids = 0.000563 ;  
Ids\_RNA:0.000573 ;  
l'erreur est:0.000010 ;

VGS = 4.000000 ;  
VDS\_Sat = 2.000000 ;  
VDS = 11.000000 ;  
Ids = 0.001000 ;  
Ids\_RNA:0.000999 ;  
l'erreur est:-0.000001 ;

VGS = 4.500000 ;  
VDS\_Sat = 2.500000 ;  
VDS = 10.437500 ;  
Ids = 0.001563 ;  
Ids\_RNA:0.001554 ;  
l'erreur est:-0.000008 ;

VGS = 5.000000 ;  
VDS\_Sat = 3.000000 ;  
VDS = 9.750000 ;  
Ids = 0.002250 ;  
Ids\_RNA:0.002237 ;  
l'erreur est:-0.000013 ;

VGS = 5.500000 ;

---

VDS\_Sat = 3.500000 ;

VDS = 8.937500 ;

Ids = 0.003063 ;

Ids\_RNA:0.003042 ;

l'erreur est:-0.000021 ;

VGS = 6.000000 ;

VDS\_Sat = 4.000000 ;

VDS = 8.000000 ;

Ids = 0.004000 ;

Ids\_RNA:0.003967 ;

l'erreur est:-0.000033 ;

VGS = 6.500000 ;

VDS\_Sat = 4.500000 ;

VDS = 6.937500 ;

Ids = 0.005063 ;

Ids\_RNA:0.005027 ;

l'erreur est:-0.000036 ;

VGS = 7.000000 ;

VDS\_Sat = 5.000000 ;

VDS = 5.750000 ;

Ids = 0.006250 ;

Ids\_RNA:0.006262 ;

l'erreur est:0.000012 ;

VGS = 7.500000 ;

---

VDS\_Sat = 5.500000 ;

VDS = 2.202041 ;

Ids = 0.009798 ;

Ids\_RNA:0.004832 ;

l'erreur est:-0.004966 ;

VGS = 8.000000 ;

VDS\_Sat = 6.000000 ;

VDS = 2.202041 ;

Ids = 0.009798 ;

Ids\_RNA:0.005374 ;

l'erreur est:-0.004424 ;

VGS = 8.500000 ;

VDS\_Sat = 6.500000 ;

VDS = 2.202041 ;

Ids = 0.009798 ;

Ids\_RNA:0.005929 ;

l'erreur est:-0.003869 ;

VGS = 9.000000 ;

VDS\_Sat = 7.000000 ;

VDS = 2.202041 ;

Ids = 0.009798 ;

Ids\_RNA:0.006497 ;

l'erreur est:-0.003301 ;

---

VGS = 9.500000 ;  
VDS\_Sat = 7.500000 ;  
VDS = 2.202041 ;  
Ids = 0.009798 ;  
Ids\_RNA:0.007075 ;  
l'erreur est:-0.002723 ;

VGS = 10.000000 ;  
VDS\_Sat = 8.000000 ;  
VDS = 2.202041 ;  
Ids = 0.009798 ;  
Ids\_RNA:0.007656 ;  
l'erreur est:-0.002142 ;

VGS = 10.500000 ;  
VDS\_Sat = 8.500000 ;  
VDS = 2.202041 ;  
Ids = 0.009798 ;  
Ids\_RNA:0.008229 ;  
l'erreur est:-0.001569 ;

VGS = 11.000000 ;  
VDS\_Sat = 9.000000 ;  
VDS = 2.202041 ;  
Ids = 0.009798 ;  
Ids\_RNA:0.008784 ;

---

l'erreur est:-0.001014 ;

VGS = 11.500000 ;

VDS\_Sat = 9.500000 ;

VDS = 2.202041 ;

Ids = 0.009798 ;

Ids\_RNA:0.009312 ;

l'erreur est:-0.000486 ;

VGS = 12.000000 ;

VDS\_Sat = 10.000000 ;

VDS = 2.202041 ;

Ids = 0.009798 ;

Ids\_RNA:0.009803 ;

l'erreur est:0.000005 ;

VGS = 12.500000 ;

VDS\_Sat = 10.500000 ;

VDS = 2.202041 ;

Ids = 0.009798 ;

Ids\_RNA:0.010249 ;

l'erreur est:0.000451 ;

VGS = 13.000000 ;

VDS\_Sat = 11.000000 ;

VDS = 2.202041 ;

Ids = 0.009798 ;

Ids\_RNA:0.010646 ;

l'erreur est:0.000848 ;

## **Résumé :**

Le transistor MOS (Metal-Oxide-Semiconductor) est le dispositif élémentaire des circuits intégrés. Jusqu'à présent, la réduction des dimensions des transistors MOSFET s'est effectuée de façon continue et très rapide et cette évolution technologique fulgurante est en grande partie due à une maîtrise accrue des technologies du silicium, semi-conducteur constituant le cœur des dispositifs MOS.

Mais ces dispositifs, pour pouvoir être maîtrisés par les concepteurs de circuits intégrés, ont besoin d'être modélisés sous la forme de modèles compacts capables de décrire le plus exactement possible le comportement électrique de ces dispositifs. La simulation des composants microélectroniques a donc besoin de nouvelles théories et techniques de modélisation (les techniques de l'intelligence artificielle) améliorant la compréhension physique des dispositifs de taille micro et nanométrique.

Le domaine de la modélisation et la simulation des composants de la microélectronique peut être considéré comme un champ important d'applications des techniques de l'intelligence artificielle. Par conséquent, l'étude de la possibilité d'utilisation des réseaux de neurones artificiels dans le domaine de la microélectronique, notamment sous forme de prédicteurs et de simulateurs des composants nanométriques (MOSFETs), s'avère nécessaire.

Notre travail entre dans ce cadre, car il présente pour nous un premier pas dans l'exploitation des principes fantastiques des techniques de l'intelligence artificielle dans le domaine de la modélisation et la simulation des composants électroniques tel que les MOSFETs

**Mots clé :** MOSFETs, intelligences artificiels, réseaux de neurones artificiels, algorithme de fast back propagation error, modélisation de composants électroniques

## **Abstract**

Transistor MOS (Metal-Oxide-Semiconductor) is the elementary device of the integrated circuits. Until now, the reduction of dimensions of transistors MOSFET was carried out continuously and very rapid and this fulgurating technological development are mainly due to an increased control of technologies of silicon, semiconductor constituting the heart of devices MOS.

But these devices, to be able to be manipulated by the originators of integrated circuits, need to be modelled in the form of compact models able to describe the most exactly possible electric behavior of these devices. The simulation of the components micro-electronics thus has need for new theories and technics of modeling (technics of the artificial intelligence) improving physical comprehension of the devices of micro and nanometric size.

The field of modeling and the simulation of the components of micro-electronics can be regarded as a significant field of applications of the technics of the artificial intelligence. Consequently, the study of the possibility of the use potential of the networks of artificial neurons in the field of micro-electronics, particularly in the form of preachers and of simulators of the components nanometric (MOSFETs), proves to be necessary.

Our work enters within this framework, because it presents for us a first step in the exploitation of the fantastic principles of the technics of the artificial intelligence in the field of modeling and the simulation of the electronic components such as MOSFETs

**Key words:** Artificial MOSFETs, intelligences, networks of artificial neurons, algorithm of fast back propagation error, modeling of electronic components.

**MEMOIR DE MASTER EN GENIE ELECTRIQUE**  
**OPTION :INSTRUMENTATION ET MAINTENANCE INDUSTRIEL**

**Proposé et dirigé par** : Mr. ZOUACHE Tarek

**Présenté par** :FRIDJA Djamel

**Thème : ENTRAINEMENT DES RESEAUX DE NEURONES ARTIFICIEL PAR**  
**L'ALGORITHME FAST ERROR BACK PROPAGATION, APPLICATION A LA**  
**MODELISATION DES NMOSFET A ENRICHISSEMENT**

**Résumé** :

Le transistor MOS (Metal-Oxide-Semiconductor) est le dispositif élémentaire des circuits intégrés. Jusqu'à présent, la réduction des dimensions des transistors MOSFET s'est effectuée de façon continue et très rapide et cette évolution technologique fulgurante est en grande partie due à une maîtrise accrue des technologies du silicium, semi-conducteur constituant le cœur des dispositifs MOS.

Mais ces dispositifs, pour pouvoir être maîtrisés par les concepteurs de circuits intégrés, ont besoin d'être modélisés sous la forme de modèles compacts capables de décrire le plus exactement possible le comportement électrique de ces dispositifs. La simulation des composants microélectroniques a donc besoin de nouvelles théories et techniques de modélisation (les techniques de l'intelligence artificielle) améliorant la compréhension physique des dispositifs de taille micro et nanométrique.

Le domaine de la modélisation et la simulation des composants de la microélectronique peut être considéré comme un champ important d'applications des techniques de l'intelligence artificielle. Par conséquent, l'étude de la possibilité d'utilisation des réseaux de neurones artificiels dans le domaine de la microélectronique, notamment sous forme de prédicteurs et de simulateurs des composants nanométriques (MOSFETs), s'avère nécessaire.

Notre travail entre dans ce cadre, car il présente pour nous un premier pas dans l'exploitation des principes fantastiques des techniques de l'intelligence artificielle dans le domaine de la modélisation et la simulation des composants électroniques tel que les MOSFETs

**Mots clé** : MOSFETs, intelligences artificiels, réseaux de neurones artificiels, algorithme de fast back propagation error, modélisation de composants électroniques