

SOMMAIRE

INTRODUCTION GENERALE.....	01
----------------------------	----

CHAPITRE I L'IDENTIFICATION DE PLAQUE MINE'RALOGIQUE

I.1. INTRODUCTION.....	02
I.2. HISTORIQUE.....	02
I.3. LES DIFFERENTES FORMES D'IMMATRICULATION.....	03
I.4. PRINCIPES DE DETECTION DE PLAQUE MINERALOGIQUE.....	03
I.4.1 Détection de bord et filtrage luxuriant.....	03
I.4.2 Détection de bord et filtrage luxuriant.....	04
I.4.2.1 Algorithme Projection horizontale	05
I.4.2.2 Algorithme Projection verticale	05
I.4.3 ANALYSE D'IMAGE STATISTIQUE DE DOUBLE-PHASE.....	05
I.4.4 CORRECTION DE BIAIS.....	07
I.4.5 SEGMENTATION DE PLAQUE.....	08
I.4.6 RECONNAISSANCE DE CARACTÈRE.....	09
I.5 RESULTATS SIMULATION	11
I.6 APPLICATIONS TYPIQUE	12
I.7 CONCLUSIONS	14

CHAPITRE II LES RESEAUX DE NEURONES

II.1.INTRODUCTION.....	15
II.2. HISTORIQUE	15
II.3. LE MODELE NEUROPHYSIOLOGIQUE.....	16
II.4. LE MODEL MATHEMATIQUE(NEURAL ARTIFICIEL).....	17
II.4.1 Principe de fonctionnement.....	18
II.4.2 La fonction d'activation ou de seuillage.....	19

II.4.3 Les réseaux de neurones artificiels	19
II.4.4 Mise en oeuvre des réseaux neuronaux	20
II.4.5 Les propriétés des réseaux de neurones	21
II.4.5.1 Les réseaux de neurones sont des approximateurs universels.....	21
II.4.5.2 Sous apprentissage, généralisation et sur apprentissage	21
II.4.5.3 Le parallélisme	22
II.4.5.4 La capacité d'adaptation	22
II.4.5.5 La mémoire distribuée	22
II.5. LES ARCHITECTURES NEURONALES.....	23
II.5.1 Les réseaux de neurones non bouclés	23
II.5.1.1 LE PERCEPTRON	23
II.5.1.2 L'ADALINE (ADaptative LINear Element).....	24
II.5.1.3 LE PERCEPTRON MULTI-COUCHES (MLP).....	24
II.5.1.4 LES RESEAUX RBF (Fonctions Radiales de Base).....	26
II.5.2 Les réseaux de neurones bouclés	26
II.6. L'APPRENTISSAGE DES RESEAUX DE NEURONES	27
II.6.1 L'apprentissage non supervisé	28
II.7. DOMAINES D'APPLICATION DES RESEAUX DE NEURONES.....	28
II.7.1 Identification des processus.....	28
II.7.2 Contrôle des processus	28
II.7.3 Classification des signaux	28
II.7.4 Mémoires associatives	29
II.8. CONCLUSIONS	29

CHAPITRE III LES CARTE A PUCE

III.1. INTRODUCTION.....	30
III.2. STRUCTURE MATE'RIELLE.....	30
III.3. LES CARTES A' PUCE.....	30
III.3.1 Historique et Definition.....	30
III.3.1.1 Historique.....	30
III.3.1.2 Définition.....	31
III.4. UNE NORMALISATION PARFAITE.....	31
III.4.1 Normes.....	31

III.4.1.1 des paramètres physiques.....	31
III.4.1.2 des paramètres électriques.....	32
III.4.1.3 des paramètres logiciels.....	32
III.4.2 Normes principales.....	33
III.4.2.1 la norme ISO 7816-1.....	33
III.4.2.2 la norme ISO 7816-2.....	34
III.4.2.3 la norme ISO 7816-3.....	35
III.4.2.4 la norme ISO 7816-4.....	35
III.4.2.4.A Le protocole APDU.....	35
III.4.2.4.A.1 La commande et reponse APDU est constituée par.....	36
III.4.2.4.A.2 Le protocole d'échange d'information.....	36
III.4.2.4.B Le système de fichiers des cartes à puce.....	36
III.5. LES DIFFERENTS TYPES DE CARTES.....	38
III.5.1 Les cartes à mémoire ou cartes synchrones.....	38
III.5.1.1 Les cartes mémoire (sous-entendu simples).....	38
III.5.1.2 Les cartes mémoire protégées.....	39
III.5.2 Les cartes microcontrôleur ou cartes asynchrones.....	39
III.5.3 Les cartes à puce "vierges" ou "spécifiques".....	40
III.5.3.1 La carte Gold ou carte Wafer 1.....	40
III.5.3.2 La carte Silver ou carte Wafer 3.....	42
III.5.3.3 La carte Fun ou Purple ou encore Wafer 4.....	42
III.5.3.4 La carte Jupiter ou Pink ou encore Wafer 5.....	43
III.6. LES PIC.....	44
III.6.1 Structure d'un PIC.....	44
III.6.2 Identification d'un PIC.....	46
III.6.3 Le microcontrôleur PIC 16F877A.....	46
III.6.4 Brochage du 16F877A.....	46
III.6.5 Les particularités électriques.....	47
III.6.6 Organisation du 16F877A.....	47
III.6.7 Les ports entrée/sortie.....	47
III.6.8 Les interruptions.....	48
III.6.9 Le TIMER.....	49
III.6.10 Le module USART en mode série synchrone.....	50
III.6.10.A le registre TXSTA.....	51

III.6.10.B Le registre RCSTA.....	51
III.6.10.C Le registre SPBRG.....	52
III.7. LE PORT PARALLE'LE DE L' ORDINATEUR PC.....	52
III.7.1 Description du port parallèle.....	52
III.7.2 Géométrie du port parallèle.....	53
III.7.3 Affectation physique des broches.....	53
III.7.4 Description du registre de données.....	54
III.7.5 Adresse du port parallèle.....	54
III.8.REALISATION D'UN SYSTEME DE SECURITE PAR LA CARTE PUCE	55
III.8.1 Algorithme de transmission du message de la carte a puce.....	55
III.8.2 Algorithme de Lecture du code de la carte puce.....	55
III.9. APPLICATION.....	56
III.10. CONCLUSION.....	57
CONCLUSION GENERALE.....	58
ANNEXE	59
BIBLIOGRAPHIE.....	62