

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE  
MINISTERE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA RECHERCHE  
SCIENTIFIQUE

UNIVERSITE MOHAMED BOUDIAF - M'SILA

FACULTE : TECHNOLOGIE  
DEPARTEMENT : GENIE ELECTRIQUE  
N° : CSE 08



DOMAINE : SCIENCES ET  
TECHNOLOGIES  
FILIERE : ELECTROTECHNIQUE  
OPTION : COMMANDE  
ELECTRIQUES

Mémoire présenté pour l'obtention  
du Diplôme de Master Académique

Par : FAID Ahlam

FERHAT Noor Elhouda

Intitulé

**Commande DTC du moteur asynchrone par  
réseaux de neurones artificiels implémenté  
sur FPGA**

Soutenu devant le jury composé de:

**BENYETTOU Loutfi**      Université Mohamed Boudiaf - M'sila      **Président**  
**KHODJA Djalal eddine**      Université Mohamed Boudiaf - M'sila      **Encadreur**  
**AIB Abdelghani**      Université Mohamed Boudiaf - M'sila      **Examineur**

Année universitaire : 2021/2022

## *Remerciement*

*Nous Tenons à remercier avant tout Dieu tout puissant qui nous a donné la volonté, la force et la patience pour élaborer notre travail.*

*Nos vifs remerciements particulièrement à notre encadreur*

*Mr. Djalal Eddine KHODJA pour son aide précieuse, ses conseils constructifs et ses orientations bénéfiques et objectives et*

*surtout sa confiance durant les moments d'efforts pour la réalisation de notre projet.*

*Nos remerciements vont aussi à tous les enseignants du département*

*Génie électrique qui ont contribué à notre formation*

*Nos remerciements vont aussi aux membres de jury qui ont*

*Accepté de juger ce travail et d'y apporter leurs contributions.*

*En fin, nous tenons à exprimer notre reconnaissance à tous nos amis et*

*Collègues pour le soutien moral.*

# إهداء

(وَأَخِرُ دَعْوَاهُمْ أَنْ الْحَمْدُ لِلَّهِ رَبِّ الْعَالَمِينَ)

الحمد لله ما تم من حمد ولا ختم سعى إلا بفضلته وما تخطى العبد من عقبات وصعوبات إلا بتوفيقه ومعونته بفضل من الله أتممت مسيرتي الدراسية من جامعة محمد بوضياف في تخصص التحكم الكهربائي مهداة إلى مصدر سعادتي وأمانتي، إلى من تعبت وسهرت وضحت أمني "شريد سليمة" حفظها الله ورعاها إلى ركيزة عمري وسندي في الحياة، صدر كرامتي وكبريائي أبي "فايد فايد" أطال الله في عمره إلى من ربنتي ودعمتني إلى من يحينني صوتها، إلى مسك البيت جدتي "عوامري خرفية" رزقها الله الصحة والعافية إلى من وقف وساند ودعم جدي "شريد احمد" أطال الله في عمره إلى عيني الثانية ونسختي الوحيدة إلى بئر أسراري وتوأم روحي، جنتي في دنياي إلى قطعة من قلبي توأمني "عبير" إلى فاكهة الحياة إلى من يجمعنا دم واحد قبل أن يجمعنا سقف واحد إخوتي "إكرام، خلود، دعاء، بدر الدين، علاء الدين" دمننا سندا لبعضنا البعض إلى جرعة السعادة وأنيسة الروح إلى صديقة بنكهة أخت "سفار منال" إلى أحسن من عرفني بها القدر إلى خليلتي ورفيقتي "غمري شفاء عائشة" إلى من قاسمتني مقاعد الدراسة حلوها ومرها وكانت خير جليس إلى من عملنا وسهرنا على إعداد هاته المذكرة "فرحات نور الهدى" إلى أول صديقة عرفتني بها مقاعد الجامعة إلى اصدق وأطيب قلب "نويوة أسيل" إلى كل من يذكرهم قلبي ونسيهم قلبي اهدي مذكرتي.

فايد أحلام

# إهداء

الحمد لله وكفى وصلاة على الحبيب المصطفى وأهله ومن وفى أما بعد الحمد لله الذي وفقني لتثمين هذه الخطوة في مسيرتي الدراسية بمذكرتي هذه ثمرة الجهد والنجاح بفضلته تعالى مهداة إلى والوالدين الكريمين قوتي وعزتي ودعوتي فرحات صديق وفرحات وردة حفظهما الله وأدامهما نور لدربي

لكل إخوة وأخوات رعاكم الله مسعودة عمار لينة وزكريا إلى سندي حسام إلى خالد إلى رفيقة الدرب التي قاسمتني لحظاتي أميرة

إلى كل قسم هندسة كهرباء وجميع دفعة 2022

إلى كل من كان لهم أثر على حياتي وإلى كل من أحبهم قلبي ونسأهم قلبي

نور الهدى

## ملخص:

الغرض الرئيسي من هذا العمل هو تحسين وتحسين أداء التحكم في الآلة غير المتزامنة باستخدام تنفيذ الشبكات العصبية الاصطناعية على *FPGA*، وتوفر هذه الدائرة مزايا وهي: إعادة برمجة هذه الدوائر، وأداة برمجية مرنة، وجيدة أداء.

علاوة على ذلك، تعد دوائر *FPGA* مثالية للتنفيذ الأمثل لنظام التحكم في *MAS*، لأنها تتميز بتكلفة منخفضة وتتميز بكثافة عالية من التكامل ومرونة كبيرة مع هيكل قابل لإعادة التكوين تمامًا. أخيرًا، التحقق من صحته، تم تنفيذ البنى المقترحة من خلال عملية محاكاة الأجهزة بين لوحة *ML402* المجهزة بدائرة *Virtex-4* *FPGA* من نوع *Xilinx* و *XSG* تحت *Matlab / Simulink*. الكلمات الدالة: تقنيات الذكاء الاصطناعي، *FPGA* (مصفوفة البوابة القابلة للبرمجة الميدانية)، أمر *DTC*، جهاز غير متزامن (*MAS*)، جهاز محاكاة.

## RÉSUMÉ :

Le but principal de ce travail est l'amélioration et l'optimisation des performances de la commande de la machine asynchrone en utilisant l'implémentation des réseaux de neurones artificiels sur FPGA, ce circuit fournit des avantages à savoir: la reprogrammation de ces circuits, outil logiciel souple, et le bon rendement.

Par ailleurs, Les circuits FPGA conviennent parfaitement à une implémentation optimale du système de la commande des MAS, du fait qu'ils ont un coût réduit et qu'ils sont caractérisés par une grande densité d'intégration et une grande flexibilité avec une structure totalement reconfigurable. Enfin, La validation des architectures proposées a été effectuée par un processus de hardware Co-Simulation entre la carte ML402 dotée d'un circuit FPGA Virtex-4 de type Xilinx et XSG sous Matlab/ Simulink.

### Mots clés:

Les techniques d'intelligence artificielle, FPGA (Field Programmable Gate Array), La commande DTC, Machine Asynchrone (MAS), Co-Simulation hardware.



# **SOMMAIRE**

# SOMMAIRE

Table des Notifications et Symboles.....	III
Liste des Figures .....	IV
Liste des tableaux.....	V
Introduction générale .....	1
<b>Chapitre I : Etat de l'art de la commande de la MAS par intelligence artificiel</b>	
I.1 Introduction : .....	5
I.2 Commande du MAS :.....	5
I.2.1 Avantage de commande DTC : .....	5
I.2.2 Inconvénient de commande DTC : .....	6
I.3 Evolution et amélioration de la commande DTC de MAS :.....	6
I.3.1 la commande DTC basée sur intelligence artificielle :.....	6
I.4 Les réseaux de neurones :.....	7
I.4.1 Définition et principe des réseaux de neurones artificiels :.....	7
I.4.2 Les applications de réseau de neurones dans la DTC :.....	8
I.5 Implémentation des RNA sur les circuits configurables (Les contraintes d'implémentation) :.....	9
I.6 Conclusion:.....	10
<b>ChapitreII: Commande directe du couple de la machine asynchrone en utilisant les RNA</b>	
II.1 Introduction :.....	12
II.2 Principe de la commande DTC : .....	12
II.3 Présentation de la structure de contrôle.....	13
II.3.1 Sélection du vecteur tension.....	13
II. 4 Élaboration de la table de commande .....	14
II.4.1 Table de commande du flux statorique .....	14
II.4.2 Table de commande du couple.....	14
II.5 Structure générale du contrôle direct de couple .....	15
II.6 Présentation générale de RNA : .....	16
II.7Architecteurs d'un réseau de neurones : .....	16
II.7.1 Le perceptron : .....	16
II.7.2 Le perceptron multicouche:.....	17
II.8 Notion d'apprentissage :.....	18
II.8.1 L'apprentissage supervisé .....	18
II.8.2 L'apprentissage non supervisé :.....	18
II.9 Conception d'un réseau de neurones :.....	18
II.9.1 Choix et préparation des échantillons : .....	18
II.9.2Conception de la structure du réseau de neurones : .....	18
II.9.3 Apprentissage :.....	18
II.9.4 Validation de tests : .....	18
II.10 L'algorithme d'apprentissage de RNA : .....	19
II.11 simulation de la commande DTC classique : .....	20
II.12 Résultat de simulation :.....	20
II.13Application des RNA pour la commande DTC d'une MAS :.....	21
II.14 Résultat de simulation : .....	23

II.15 Etude comparative :.....	24
II.16 Interprétation des résultats : .....	26
II.17 Conclusion :.....	26
Chapitre III : Implémentation sur FPGA de la DTC Neural de la MAS	
III.1 Introduction:.....	28
III.2 Les circuits logiques programmables de type FPGA :.....	28
III.2.1 Critères de choix du circuit programmable FPGA : .....	28
III.2.2 Avantages et inconvénients des FPGA .....	28
III.2.2.1 Les Avantages :.....	28
III.2.2.2 Les Inconvénients :.....	29
III.3 Architecture interne des FPGA :.....	29
III.3.1 Structure de CLB : .....	29
III.3.2 Structure des IOB :.....	30
III.4 Le langage VHDL pour la description Hardware .....	30
III.5 Intégration et implémentation : .....	31
III.6 L'approximation de la fonction sigmoïde :.....	31
III.7 Synthèse de RNA et simulation sur XILINX : .....	33
III.7.1 Construire le bloc en Xilinxsimulink :.....	33
III.8 simulation de la DTC par réseaux de neurone sous Xilinx :.....	34
III.9 Résultat de simulation du DTCn et FPGA :.....	34
III.10 Interprétation des résultats : .....	36
III.11 Synthèse et Ressources FPGA utilisées :.....	36
III.12 Validation des architectures proposées par Co-simulation hardware :.....	37
III.13 Conclusion : .....	38
Conclusion générale.....	41
Bibliographie.....	43

## **TABLE DES NOTIFICATIONS ET SYMBOLES**

ASIC	Application Specific Integrated Circuits
FPGA	Field Programmable Gate Array
DTC	Direct Torque Control
DTNC	Direct Torque Neural Control
XGS	Xilinx System Generator
VHDL	Very High Speed Integrated Circuit Hardware Description Language
MAS	Machine Asynchrone
PWM	Pulse-Width Modulation
DSP	Digital Signal Processor
MLI	Modulation par Largeur D'impulsion
RNA	Réseau de Neurones Artificiels
CORDIC	Coordinate Rotation Digital Computer
PI	Proportionnels- Intégrale
CPLD	Complex Programmable Logic Device
SRAM	Static Random Access Memory
CLB	Configurable logic Bloc
IOB	Input Output Block
LUP	Look-Up Table

## LISTE DES FIGURES

### Chapitre I

Figure I. 1. 1: Modèle d'un neurone artificiel.....	8
---	---

### Chapitre II

Figure II. 1. Elaboration des vecteurs $v_s$ ( $s_a, s_b, s_c$ ) à partir de l'onduleur de tension. ....	12
Figure II. 2. choix du vecteur tension. ....	13
Figure II. 3: Schéma de contrôle direct du couple pour un onduleur à deux niveaux. ....	15
Figure II. 4: unité de bases d'un réseau de neurone.....	16
Figure II. 5: modèle perceptron.....	17
Figure II. 6: neurone multicouche [19] .....	17
Figure II. 7: schéma d'apprentissage du réseau de neurones artificiels.....	19
Figure II. 8: algorithme d'apprentissage par la méthode de rétro propagation de l'erreur. ....	19
Figure II. 9: le schéma bloc de la commande directe du couple de la MAS.....	20
Figure II. 10 : le couple électromagnétique de la commande DTC classique. ....	20
Figure II. 11: la vitesse de la commande DTC classique.....	20
Figure II. 12: le courant isalpha de la commande DTC classique .....	21
Figure II. 13: le flux phisalpha de commande DTC classique.....	21
Figure II. 14: le schéma bloc de la commande directe du couple de la MAS basée sur les RNA. ....	22
Figure II. 15: la structure de réseau de neurones artificiels RNA proposée. ....	23
Figure II. 16: le couple électromagnétique de la commande DTC neuronale. ....	23
Figure II. 17: la vitesse de la commande DTC neuronale.....	23
Figure II. 18: le courant isalpha de la commande DTC neuronale. ....	23
Figure II. 19: le flux phisalpha de la commande DTC neuronale.....	23
Figure II. 20: le couple électromagnétique de la commande DTC neuronale et classique.....	24
Figure II. 21: la vitesse de la commande DTC neuronale et classique. ....	24
Figure II. 22: le courant isalpha de la commande DTC neuronale et classique.....	24
Figure II. 23: le flux phisalpha de la commande DTC neuronal et classique. ....	24

### Chapitre III

Figure III. 1: Structure d'un circuit FPGA.....	29
Figure III. 2: Structure interne d'un CLB. ....	30
Figure III. 3: Input Output Block (IOB) [24].....	30
Figure III. 4.4:Etapes de conception sur FPGA .....	31
Figure III. 5:Graphique de la fonction sigmoïde [26].....	32
Figure III. 6 : schéma bloc de notre réseau de neurone sous Xilinx simulink. ....	34
Figure III. 7 : la structure de réseau de neurones artificiels RNA proposée. ....	34
Figure III. 8 : schéma bloc d'un neurone de couche caché sous Xilinx simulink. ....	34
Figure III. 9 : schéma bloc d'un neurone de couche sortie sous Xilinx simulink.....	34
Figure III. 10:schéma block de simulation de la DTC par réseau de neurone sous Xilinx.....	34
Figure III. 11: le couple électromagnétique de la commande DTC neuronale sous matlab et Xilinx. .....	28
Figure III. 12: la vitesse de la commande DTCn sous matlab et Xilinx. ....	28
Figure III. 13: le courant isalpha de la commande DTCn sous matlab et Xilinx.....	28
Figure III. 14:le flux phisalpha de commande DTCn sous matlab et Xilinx .....	28
Figure III. 15: phisbeta=f (phisalpha) de la DTCn sous matlab. ....	36
Figure III. 16: phisbeta=f (phisalpha) de la commande DTCn sous Xilinx.....	36
Figure III. 17: Simulation hardware de la commande DTC à base des techniques intelligentes.....	38
Figure III. 18: Le bloc Ethernet point à point dans une procédure Hardware-In-the-Loop.....	38

## **LISTE DES TABLEAUX**

### **Chapitre II**

Tableau II. 1: Vecteurs de tensions à appliquer pour chaque secteur pour le contrôle du flux. ....	14
Tableau II. 2: Vecteurs de tensions à appliquer dans chaque secteur pour le contrôle du couple. ....	14
Tableau II. 3: vecteurs de tensions à appliquer dans chaque secteur pour le contrôle du couple et du flux .....	14
Tableau II. 4: Élaboration de la table de commutation. ....	15

### **Chapitre III**

Tableau III. 1: Occupation des Ressources FPGA par la commande DTC neuronale. ....	37
--	----

The image features a background of marbled paper with a mix of cream, brown, and purple tones. A large white circle is centered on the page, containing the title text. The background is divided into two main sections by a diagonal line: the top-left section is the marbled paper, and the bottom-right section is a solid light pink color.

# **INTRODUCTION GÉNÉRALE**

### **Introduction générale**

Durant ces dernières années, le développement du génie électrique a été fulgurant tant dans le domaine de l'électronique de puissance et de la micro-électronique. Ceci en faveur de la machine asynchrone (MAS), qui lui a permis d'être la plus utilisée dans l'industrie pour les entraînements à vitesse variable, elle a fait des progrès par rapport à la machine à courant continu, en raison de sa complexité en commande [1,4].

Actuellement, les statistiques récentes indiquent que le marché mondial a plus de dizaines de milliards de dollars qui représentent la commercialisation dans les machines asynchrones avec une croissance annuelle estimée à 15% [1]. En effet, elles sont utilisées dans le monde de l'industrie pour les différentes applications modernes d'entraînement électrique. Tout ça est grâce à plusieurs facteurs tels que : coût de fabrication basse, facilité d'entretien, une bonne précision en régime permanent, une haute capacité de supporter des surcharges sur de larges gammes de vitesse et une grande robustesse contre les différentes perturbations appliquées [4].

Les derniers développements de commande pour le moteur asynchrone ont vu l'émergence de différentes techniques directement liées aux progrès réalisés dans le domaine de micro-électronique, de l'électronique et de l'électronique de puissance qui permettent au variateur de vitesse d'atteindre parfaitement certaines performances. Parmi ces techniques de commande, on distingue : la commande scalaire basée sur le rapport Volt /Hertz, la commande par orientation de flux (commande vectorielle) ainsi que la commande directe de couple DTC. Cette stratégie de commande permet de calculer les grandeurs de contrôle telles que le flux stratorique et le couple électromagnétique à partir des grandeurs liées au stator sans l'intervention de capteur mécanique. En fait, plusieurs algorithmes élaborés sont appliqués afin de permettre d'avoir le contrôle le plus performant possible, et c'est dans cette optique que la DTC a été améliorée [1,4,8,18].

De plus, au milieu des années 1980, Takahashi a développé le contrôle direct du couple, introduisant ce contrôle comme un principe basé sur la séquence de contrôle des touches ou les commandes de commutation de l'onduleur qui est généralement la sortie de correcteurs d'hystérésis dont la fonction est de vérifier l'état du système. Toutefois, maintenir le couple électromagnétique et le flux du stator dans deux bandes d'hystérésis prééglées. Une telle application permet d'assurer une séparation entre le contrôle du couple et du flux sans utiliser la technique la largeur d'impulsion (PWM), ni transformation de coordonnées [4,18].

Comme toutes les commandes, la DTC bien quelle présente plusieurs avantages (robustesse, dynamique hybride, contrôle des ondulations du flux et du couple, performance aux faibles vitesses, facilite l'implémentation,...), elle possède aussi quelques avantages qui sont des importunités majeures à savoir : la fréquence de commutation est strictement imprévisible d'une

part, et d'une autre part, les ondulations au niveau des amplitudes du flux et du couple restent non maîtrisables dans tout l'intervalle de vitesse du fonctionnement considérée[2]. En plus, ces ondulations du couple créent des bruits et des vibrations additionnelles, ce qui provoque la faiblesse de l'arbre de la machine en rotation [3]. Le thème développé dans ce mémoire concerne principalement l'exploitation des nouvelles solutions technologiques pouvant adopter l'optimisation. En effet, nous choisissons des technologies intelligentes pour améliorer le contrôle.

Dans ce contexte, le sujet de ce projet de fin d'études est principalement lié à l'exploitation des nouvelles solutions technologiques pour mettre en œuvre le contrôle intelligent (réseaux de neurones) à base de la commande directe de couple d'une machine asynchrone en raison de ses caractéristiques requises dans plusieurs domaines. La plus part de ces applications nécessitent un calcul de haute performance. Dans ce cas, il est nécessaire de s'orienter vers des solutions matérielles de type ASIC (Application specific intergrated circuits). Aujourd'hui, la technologie à base de circuits reconfigurable depuis les FPGA (Field Programmable Gâte Array) ont atteint ce niveau de performance, du fait plusieurs avantages de ces circuits multiples tels que : traitement parallèle pour réduire le temps d'exécution, confidentialité d'exécution et rapidité de prototypage sur FPGA. D'autre part, les applications basées sur des technologies intelligentes nécessitent des opérations lourdes en termes de temps de calcul et coûteux en termes des ressources hardwares [18, 26]. C'est une alternative intéressante aux ASIC.

En fait, il est possible d'exécuter des commandes très complexes de la machine asynchrone bien que la non-linéarité de leur modèle mathématique grâce au développement de la technologie des semi-conducteurs et de la microélectronique et au développement de solutions de contrôle rapide telles que les DSP et les FPGA [18].

A travers une méthodologie d'implémentation présentée dans ce mémoire, nous travaillons à réduire la consommation de la quantité de ressource hardwares dans un circuit FPGA car leur nombre est limité, en s'appuyant sur une solution de compromis pour améliorer l'architecture hardware avec la préservation des performances d'entraînement électrique constitué d'un onduleur de tension et une machine asynchrone [18, 26].

L'objectif de ce travail est d'améliorer les performances de la commande à base des techniques intelligentes vis-à-vis la DTC classique. Par l'utilisation des outils académiques disponibles (Matlab / Simulink, Xilinx System Generator, Xilinx ISE, ModelSim) pour réduire les ressources hardwares occupées dans la carte FPGA. Ensuite, le développement, la synthèse et la simulation sous Matlab/Simulation avec Xilinx System Generator et Xilinx ISE les architecturés proposées sont validées par une procédure de hardware Co-simulation avec le kit de développement ML402 [18, 26].

## ***Introduction générale***

---

Notre thème fait l'objectif de trois chapitres suivants :

Le premier chapitre présente une étude complète de l'état de l'art de la commande de la machine asynchrone. Ensuite, nous évaluons les avantages associés à l'utilisation des techniques d'intelligence artificielle à savoir les réseaux de neurones artificiels pour le contrôle direct de couple qui sera appliquée dans un circuit logique programmable de type FPGA et qui sera optimisée avec des technologies intelligentes.

Dans le deuxième chapitre, nous commencerons par une description de DTC classique et DTC neuronal puis faire leur simulation sur Matlab /Simulink et montrer les résultats avec l'étude comparative entre les deux.

Le troisième chapitre, débute par présentation des circuits logiques programmable FPGA. On présente ensuite l'implémentation de la commande DTC neuronal du moteur asynchrone sur FPGA en utilisant l'outil XSG (Xilinx System Generator). Puis nous validerons l'architecture proposées par Hardware Co-simulation.

Enfin, une conclusion générale sera présentée, pour résumer les principaux résultats obtenus, et suggérer les perspectives envisagées.

The image features a background of light-colored marble with dark, veined patterns. A large, white, semi-transparent circle is centered on the page, containing the chapter title in bold, black, uppercase letters. The text is arranged in three lines, with the first line being shorter than the second and third lines.

**CHAPITRE I :**  
**ETAT DE L'ART DE LA COMMANDE DE LA**  
**MAS PAR INTELLIGENCE ARTIFICIAL**

### **I.1 Introduction :**

Au cours de ces dernières décennies, l'avancement technologique dans le domaine de l'électronique de puissance et les progrès de l'informatique industrielle, permettent de développer des stratégies de commande avancées pour les machines électriques [4].

Par ailleurs, l'homme a réussi de développer la technique d'intelligence artificielle à partir de rendre des réactions similaires à celles de l'être humain, et c'est à ce moment-là que l'intelligence artificielle est introduite dans les commande modernes. Bien que déjà présents dans d'autre sujet de recherche en électrotechnique et d'autres domaines, les réseaux de neurones, la logique floue représentent les approches intelligentes les plus populaires et leurs usages sont multiples du traitement de l'image à la gestion financière

Dans ce chapitre, nous allons étudier et examiner la régulation par DTC d'une MAS et d'évaluer les avantages liés à l'utilisation des techniques intelligentes pour une commande directe de couple implémentée sur un circuit logique programmable de type FPGA ainsi que leur optimisation par ces techniques intelligentes

### **I.2 Commande du MAS :**

Le moteur asynchrone, ou moteur à induction, est actuellement le moteur électrique dont l'usage est le plus répandu dans l'industrie. Son principal avantage réside dans l'absence de contacts électriques glissants, ce qui conduit à une structure simple robuste et facile à construire [7].

L'absence du découplage naturel entre les différentes variables d'entrée et de sortie impose à la MAS un modèle non linéaire, fortement couplé au contraire à sa simplicité structurelle, ce qui conduit à une très grande difficulté de sa commande. Le problème de complexité de la commande de MAS a ouvert la voie à plusieurs stratégies de commande [7]. Parmi ces technologies on peut citer : la commande basant sur le rapport volt /hertz (scalaire), la commande par orientation du flux (vectorielle) et enfin la commande directe du couple DTC.

Cette dernière est très populaire dans l'industrie et intéresse beaucoup les scientifiques dans l'entraînement à vitesse variable [8]. Cependant, pour cette commande, il existe deux importunités majeures : la fréquence de commutation est parfaitement inattendue d'une part, et d'une autre part, l'ondulation au niveau des amplitudes du flux et du couple sont non maitrisables dans tout l'intervalle de vitesse du fonctionnement examiné [2]. En plus, ces ondulations du couple engendrent des bruits et des vibrations additionnelles, ce qui provoque la faiblesse de l'arbre de la machine en rotation [3]. Pour abaisser l'effet sur la durée de vie de la machine électrique on choisira les techniques intelligentes dans l'optique d'améliorer la commande.

#### **I.2.1 Avantage de commande DTC :**

Parmi les Avantages de la commande DTC on peut citer :

- Il n'est pas nécessaire de faire la transformation des coordonnées, car les courants et les tensions sont dans un repère lié au stator
- La réponse dynamique du couple est très rapide.
- Robustesse vis-à-vis des variations paramétriques.
- Possibilité d'appliquer les algorithmes du système avec des cartes d'acquisition.
- Absence de nécessité de connaître l'angle de position rotorique. Seul le secteur dans lequel se trouve le flux statorique est nécessaire
- Absence des blocs de calculs de la modulation de tension MLI. [9]

### **I.2.2 Inconvénient de commande DTC :**

- L'existence de problèmes à basse vitesse (influence du terme résistif).
  - La nécessité de disposer des estimations de flux statorique et du couple.
  - L'existence des oscillations de couple.
  - La fréquence de commutation n'est pas constante (utilisation des régulateurs à hystérésis).
- [9]

### **I.3 Evolution et amélioration de la commande DTC de MAS :**

Durant les deux dernières décennies, de nouvelles stratégies de la commande DTC classique sont développées. Ces stratégies ont été proposées dans le cadre de surmonter les contraintes liées avec cette commande et d'améliorer également ces performances pour avoir un contrôle parfait. Les travaux de recherche montrent plusieurs méthodes pour améliorer les performances de la commande DTC, parmi ces méthodes : La commande DTC basée sur des techniques intelligentes.

#### **I.3.1 la commande DTC basée sur intelligence artificielle :**

Les techniques d'intelligences artificielles ont été conduites dans les applications de l'électronique de puissance depuis 1990, dans les entraînements électriques, et même dans l'estimation de la vitesse [10]. L'avantage de ces techniques, elles n'exigent pas un modèle mathématique pour créer les contrôleurs ou les observateurs. En effet, suite à de moteur d'inférence qui conduit les règles dans la base de données dans la logique floue, ou l'opération de l'apprentissage dans les réseaux de neurones et les systèmes neurone-flous, ils peuvent estimer, identifier et adapter avec une grande précision les paramètres et les variables de commande de tout actionneur électrique en, particulier, la machine à induction qui est un système multi-variables et non linéaire [11].

Dernièrement, la solution efficace pour améliorer les performances dynamiques de la commande DTC est le contrôle basé sur l'intelligence artificielle. Généralement, on peut définir que l'application de cette méthode dans ce genre de commande citée dans les cas suivants :

- Dans les régulateurs à hystérésis du couple et du flux
- Dans le régulateur de vitesse (en cas la régulation en boucle fermée)
- Dans la table qui représente l'algorithme de commutation de la commande (table de sélection des vecteurs de tension).

Grâce a ces méthodes, nous distinguons le développement de la commande DTC à modulation vectorielle avec l'intégration de la logique floue dans les régulateurs à hystérésis du couple et du flux, Ce que l'on entend par ce travail est de réduire la distorsion des courants, minimisation des ondulations dans le couple et dans le flux, d'élimination des problèmes qui apercevoir dans les basses vitesses, amélioration dans le temps de réponse. [12]. [13]. Aussi l'intégration de l'intelligence artificielle dans le régulateur de vitesse en remplaçant le régulateur de vitesse PI par des réseaux neuronal est une solution d'amélioré la commande DTC à deux niveaux [14].

Notre étude sera consacrée sur la commande DTC d'un onduleur à multi-niveau appliquée sur un moteur asynchrone. Dans ce cadre l'objectif est de remplacer la table qui représente l'algorithme de commutation de la commande par un réseaux de neurones artificiel (contrôleurs intelligents) dont l'idée de remplacer le sélecteur la sélection des vecteurs de tension par un sélecteur neuronal capable de gérer de la même façon les signaux de commande de ces derniers.

Les performances de la commande directe de couple à multi- niveaux avec ces contrôleurs proposés ont été testées dans l'environnement de logiciel Matlab-Simulink.

### **I.4 Les réseaux de neurones :**

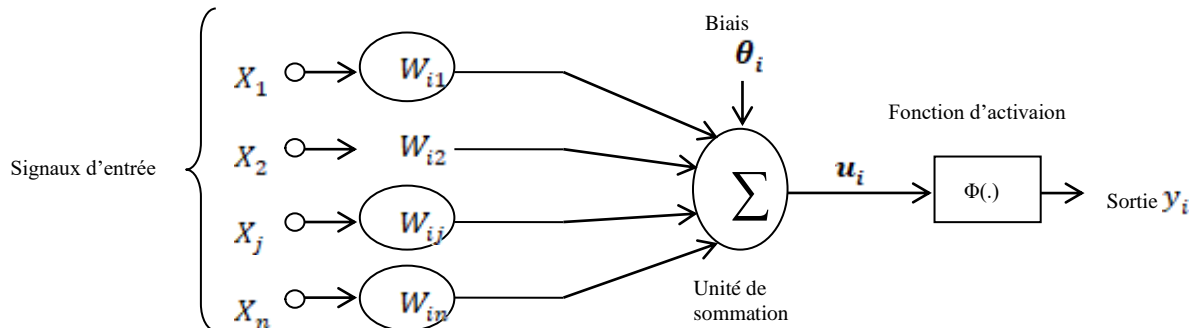
#### **I.4.1 Définition et principe des réseaux de neurones artificiels :**

Les réseaux de neurones artificiels sont des structures organisées autour d'un ensemble de cellules (les neurones) interconnectées selon une certaine architecture par des liens pondérés et modifiables lors d'une procédure appelée apprentissage.

L'origine des réseaux de neurones vint de l'essai de modélisation mathématique du cerveau humain les premiers travaux datent de 1943 par McCulloch et Pitts[15].cette technique est très populaire dans plusieurs domaines d'application de technologie et de recherche scientifique, la raison de cette tendance sont les nombreux avantages, permis d'elle la facilite de la formation et la généralisation, une architecture simple, possibilité d'approximation des fonctions non linéaires, de l'insensibilité à la distorsion du réseau et des données d'entrée inexacts. L'utilisation des RNA est pratiquée à l'heure actuelle que le progrès technologique est rapide et possible.

Les réseaux de neurones artificiels sont des structures organisées autour d'un ensemble de cellules (les neurones) interconnectées selon un certain architecture par des liens pondérés et transformables lors d'une procédure appelée apprentissage.

Un neurone est donc avant tout un opérateur mathématique, dont on peut calculer la valeur numérique par quelques lignes de logiciel. On a pris l'habitude de représenté graphiquement un neurone comme indiqué sur la figure (I.1).



**Figure I. 1: Modèle d'un neurone artificiel**

Le modèle de la figure I.1 est composé de :

- **Des entrées du neurone formel ( $x_i$ )** : elles proviennent soit des sorties d'autres neurones, soit de stimuli sensoriels (capteur visuel, sonore...);
  - **Des paramètres de pondération (les poids " $w_{ij}$ ")** : Ils correspondent à l'efficacité synaptique dans les neurones biologiques ( $w_{ij} > 0$ : synapse excitatrice;  $w_{ij} < 0$ : synapse inhibitrice).
- ces poids pondèrent les entrées et peuvent être modifiés par l'apprentissage ;
- **Une unité de sommation** : son rôle est de faire la somme de multiplication les entrées par ses poids.
  - **La fonction d'activation** : elle peut être sous différentes formes (linéaire, non linéaire, forme en sigmoïde, etc...), elle est faite pour la comparaison entre la valeur de la sommation avec celle de seuil, pour valider la valeur de la sortie.
  - **Une sortie de neurone formel** : elle peut être binaire ou réelle.

Donc, la sortie  $u_i$  de l'intégrateur est donnée par l'équation suivante :

$$u_i = \sum_{i=1}^n w_{ij} x_i \pm b \quad (\text{I.1})$$

Cette sortie correspond à une somme pondérée des poids et des entrées plus ce qu'on nomme le biais  $b$  du neurone (seuil d'activation). Lorsque le niveau d'activation (résultat de la somme pondérée) atteint ou dépasse le seuil  $b$ , alors l'argument de  $f$  devient positif(ou nul). Sinon, il est négatif. [16]

#### **I.4.2 Les applications de réseau de neurones dans la DTC :**

Pour surmonter en partie les inconvénients de la DTC conventionnelle, on parle sur l'application de commande direct de couple basé sur un réseaux neuronal multicouches

(DTNC :Direct Torque Neural Control). Notre objectif est de remplacer la table de commutation par un réseau de neurone artificiel à partir de l'idée principale de supplanter la sélecteur conventionnel des interrupteurs d'onduleur par un sélecteur neuronal capable de gérer de la même façon les signaux de commande de ces derniers.

### **I.5 Implémentation des RNA sur les circuits configurables (Les contraintes d'implémentation) :**

Le développement des techniques d'intelligence artificielle nécessite de nombreuses opérations arithmétiques et logiques lors de l'exploitation des algorithmes associés. Afin de contrôler le temps réel de ce dernier, l'implémentation logicielle présente une limitation en vitesse de traitement des calculs à cause de leur fonctionnement séquentielles dans le traitement en termes de calcul, pour cela, l'implémentation matérielle tels que ASIC et FPGA remplacent de plus les systèmes à microprocesseurs car ils sont très rapides et hautement parallèles.

Les FPGA sont des circuits intégrés numériques composés d'un grand nombre de composants ou de blocs logiques programmables et reconfigurables sans modifications matérielles majeures. D'un autre côté, par rapport aux circuits intégrés spécifiques à l'application ASIC, les FPGA sont plus lents, plus énergivores et nécessitent une plus grande surface de silicium. Par contre les FPGA sont plus grande flexibilité, une diminution du temps globale de conception, et une réduction du cout globale de conception. Cependant, une fois le produit développé, le FPGA est toujours plus cher que l'ASIC mais les quantités des ressources hardwares dans un circuit FPGA sont limitées [3]. Pour cela dans cette thèse on va présenter une méthodologie d'implémentation pour minimiser la consommation de ces ressources

Cette méthodologie dépend de la clarification d'un compromis qui réalise une optimisation de l'architecteur hardware. Ce qui protégée les performances de système d'entraînement électrique constitué d'un onduleur de tension et une machine asynchrone. Dans notre travail nous avons choisi d'utiliser des nombres avec le format point fixe et une approximation optimisée de la fonction sigmoïde pour la fonction d'activation dans les réseaux de neurone

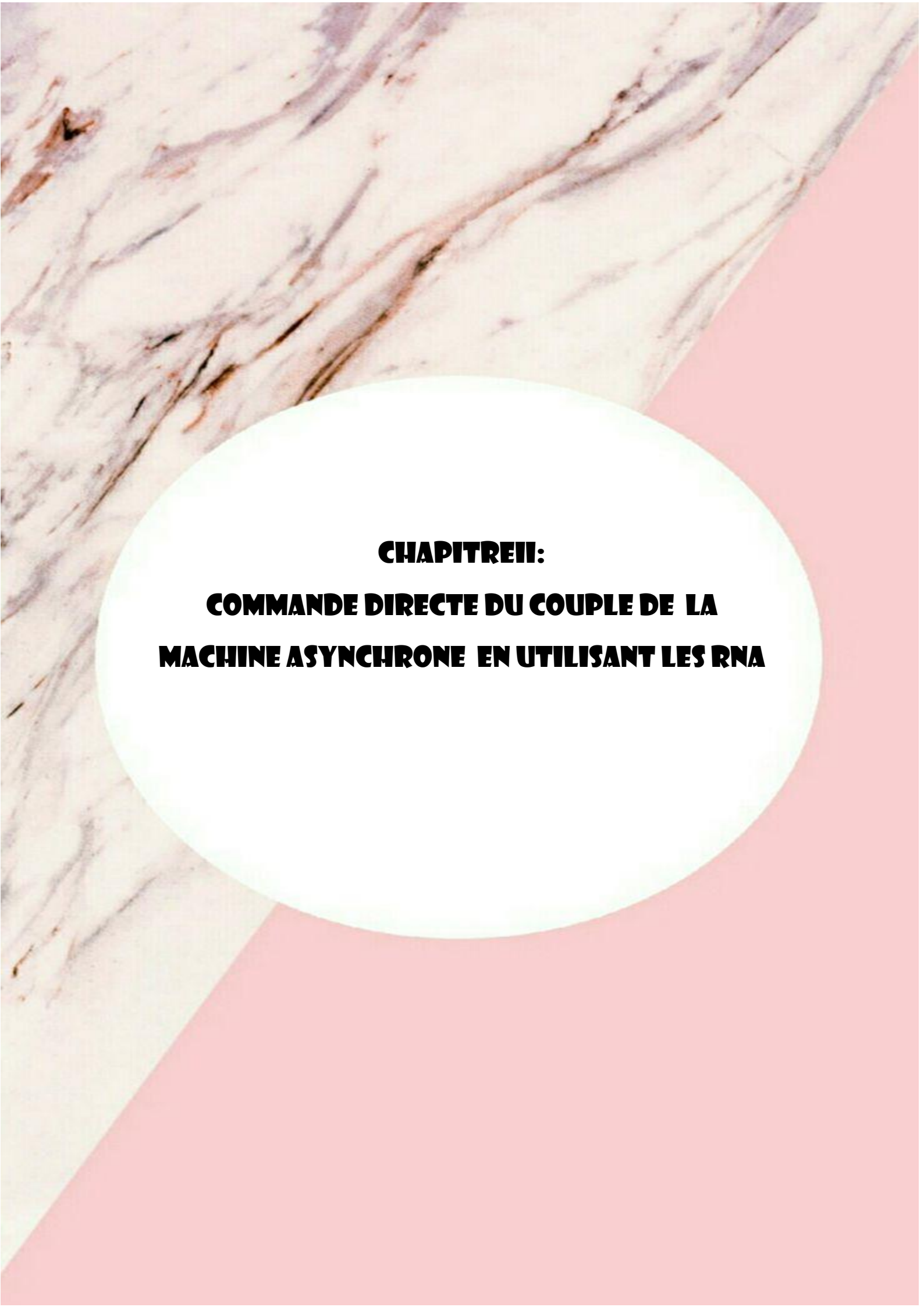
Il existe de nombreuses grandeurs électriques telles que la couple électromagnétique et le flux statorique de la machine qui contribuent au contrôle des machines synchrones, à condition de certaines estimations de ces grandeurs électrique [17]. Algorithme "Backward Euler Approche" permettant de calculer les intégrales en temps discret pour approximer les intégrales d'estimation de flux statorique, parce que cette estimation nécessite le calcul des fonctions coûteuses en ressources et en temps de calcul comme l'intégration des fonctions, la division binaire, l'arc tangent et la racine carrée[18]. De plus on a utilisé l'algorithme de CORDIC pour le passage de coordonnées cartésiennes vers les coordonnées polaires par des rotations simples en évitant les calculs des

fonctions classiques tels que la division binaire, l'arc tangent et la racine carrée. Dans la mise en œuvre des réseaux de neurones, nous avons utilisé une approximation améliorée de la fonction d'activation sigmoïde non linéaire.

Les fondateurs des circuits FPGA ont introduit une plate-forme pour l'insertion des codes, la simulation, la synthèse et le réglage et routage des architectes matériels dans les circuits FPGA, et ce dans le but de développer et simuler des architectes hardware proposées simultanément au moyen des fonctions de bibliothèque XSG et le langage VHDL.

### **I.6 Conclusion:**

Dans le premier chapitre, on a présenté l'état de l'art d'une nouvelle commande DTC destinée au contrôle du moteur asynchrone grâce à l'utilisation de technologies intelligentes basées sur un réseau de neurones artificiels. Cependant, ces technologies conduisent à des fonctions très difficiles à implémenter sur des plateformes hardware. Enfin, dans ce chapitre on a entamé des techniques d'approximation et d'optimisation pour quelques fonctions dont nous avons besoin dans les prochains chapitres pour la conception et l'implémentation des réseaux de neurones sur FPGA.

The image features a background with a light pinkish-red color. A large, white, semi-transparent circle is centered on the page. Inside this circle, the text is written in a bold, black, sans-serif font. The text is arranged in three lines, with the first line being shorter than the second and third lines.

**CHAPITRE II:**  
**COMMANDE DIRECTE DU COUPLE DE LA**  
**MACHINE ASYNCHRONE EN UTILISANT LES RNA**

**II.1 Introduction :**

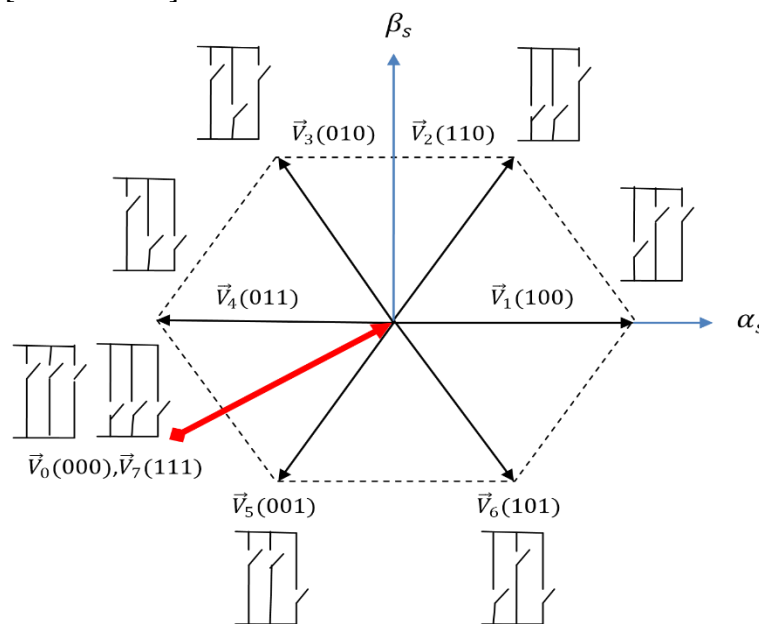
Les réseaux de neurones connaissent depuis quelques années un succès croissant dans divers domaines des sciences de l'ingénieur et dans les problèmes difficiles qui ne peuvent pas être décrites par des approches mathématiques précises.

Les réseaux de neurones constituent une famille de fonction non linéaires paramétrées, utilisées dans de nombreux domaines (physique, chimie, biologie, etc.), pour éviter les défis de l'homme pour copier la nature et de reproduire des modes de raisonnement et de comportement qui lui sont propres.

**II.2 Principe de la commande DTC :**

Le principe de la commande DTC est la régulation directe du couple de la machine, par l'application des différentes vectrices tensions de l'onduleur, qui détermine son état. Les deux variables contrôlées sont : le flux statorique et le couple électromagnétique qui sont commandés par des comparateurs à hystérésis. Il s'agit de maintenir les grandeurs du flux statorique et le couple électromagnétique à l'intérieur de ces bandes d'hystérésis. La sortie de ces régulateurs détermine le vecteur de tension optimal à appliquer à chaque instant de commutation.

$$V_s = \frac{\sqrt{3}}{2} E [S_a + S_b + S_c] \tag{II.1}$$



**Figure II. 1. Elaboration des vecteurs  $v_s (s_a, s_b, s_c)$  à partir de l'onduleur de tension.**

Le schéma ci-dessus représente le plan complexe à six secteurs, l'équation donnant le secteur

Dans ce plan est :

$$\frac{\pi}{6} (2i - 3) \leq Ni \leq \frac{\pi}{6} (2i + 1) \tag{II.2}$$

Avec  $i = (1, 2, 3, 4, 5, 6)$ .

## II.3 Présentation de la structure de contrôle

### II.3.1 Sélection du vecteur tension

Pour fixer l'amplitude du vecteur flux, l'extrémité du vecteur flux doit avoir une trajectoire circulaire. Pour cela le vecteur tension doit toujours être perpendiculaire au vecteur du flux. Mais comme on n'a que huit vecteurs, on est obligé d'accepter une variation d'amplitude autour de la valeur souhaitée.

Le choix du vecteur tension  $V_s$  dépend de la variation souhaitée pour le module de flux statorique  $\Phi_s$ , de son sens de rotation et également de l'évolution souhaitée pour le couple. On délimite généralement l'espace d'évolution de  $\Phi_s$  dans le référentiel fixe (stator) en le décomposant en six zones symétriques par rapport aux directions des tensions non nulles.

La position du vecteur flux dans ces zones est déterminé à partir de ses composantes.

Lorsque le vecteur de flux se trouve dans la zone numéroté ( $i=1,2,\dots,6$ ), le contrôle du flux et du couple peut être assuré en sélectionnant l'un des huit vectrices tensions suivants:

Si  $V_{i+1}$  est sélectionné, alors les amplitudes du flux et du couple croissent.

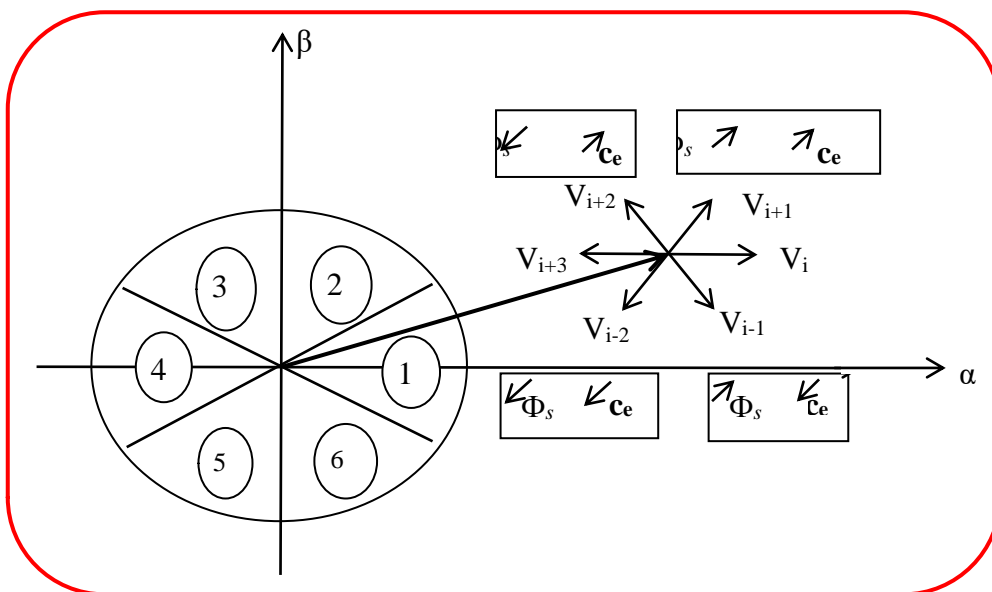
Si  $V_{i+2}$  est sélectionné, alors l'amplitude du flux décroît et celle du couple croît.

Si  $V_{i-1}$  est sélectionné, alors l'amplitude du flux croît et celle du couple décroît.

Si  $V_{i-2}$  est sélectionné ; alors les amplitudes du flux et du couple décroissent.

Si  $V_0$  ou  $V_7$  sont sélectionnées, alors l'amplitude du flux s'arrête et celle du couple décroît si la vitesse est positive et croît si la vitesse est négative.

Le rôle du vecteur tension sélectionnée est décrit sur la figure (II.2)



**Figure II. 2. choix du vecteur tension.**

Cependant le niveau d'efficacité de chaque vecteur dépend de la position du vecteur flux dans la zone  $i$ .

Au début de la zone  $i$ , les vecteurs  $V_{i+1}$  et  $V_{i+2}$  sont perpendiculaires à  $\Phi_s$  où une évolution rapide de l'amplitude du couple mais une évolution lente de l'amplitude du flux alors qu'à la fin de la zone, l'évolution est inversée. Tandis qu'aux vecteurs  $V_{i+1}$  et  $V_{i+2}$  il correspond à une évolution lente du couple et rapide de l'amplitude de  $\Phi_s$  au début de la zone  $i$  alors qu'à la fin de la zone c'est le contraire. Quel que soit le sens d'évolution du couple ou de flux, dans la zone  $i$ , les deux vecteurs  $V_i$  et  $V_{i+3}$  ne sont jamais utilisés. En effet, ceux-ci génèrent la plus forte variation de flux mais leurs effets sur le couple dépendent de la position de  $\Phi_s$ , dans la zone [19].

## II. 4 Élaboration de la table de commande

### II.4.1 Table de commande du flux statorique

Le tableau (II.1) résume les séquences de tensions actives pour augmenter ou diminuer le module du flux selon chaque secteur.

Secteur	(1)	(2)	(3)	(4)	(5)	(6)
$\uparrow s$	$V_6, V_1, V_2$	$V_1, V_2, V_3$	$V_2, V_3, V_4$	$V_3, V_4, V_5$	$V_4, V_5, V_6$	$V_5, V_6, V_1$
$\downarrow s$	$V_3, V_4, V_5$	$V_4, V_5, V_6$	$V_5, V_6, V_1$	$V_6, V_1, V_2$	$V_1, V_2, V_3$	$V_2, V_3, V_4$

**Tableau II. 1: Vecteurs de tensions à appliquer pour chaque secteur pour le contrôle du flux.**

### II.4.2 Table de commande du couple

De la même manière précédente on résume les séquences de tensions actives à appliquer pour augmenter ou diminuer le couple en fonction du secteur dans le tableau(II.2)

Secteur	(1)	(2)	(3)	(4)	(5)	(6)
$\uparrow C_e$	$V_2, V_3$	$V_3, V_4$	$V_4, V_5$	$V_5, V_6$	$V_6, V_1$	$V_1, V_2$
$\downarrow C_e$	$V_5, V_6$	$V_6, V_1$	$V_1, V_2$	$V_2, V_3$	$V_3, V_4$	$V_4, V_5$

**Tableau II. 2: Vecteurs de tensions à appliquer dans chaque secteur pour le contrôle du couple.**

La comparaison des tables de commande du module du flux et du couple permet la synthèse d'une seule table de commande illustrée dans le tableau(II.3).

Secteur	(1)	(2)	(3)	(4)	(5)	(6)
$\uparrow C_e, \uparrow s$	$V_2$	$V_3$	$V_4$	$V_5$	$V_6$	$V_1$
$\uparrow C_e, \downarrow s$	$V_3$	$V_4$	$V_5$	$V_6$	$V_1$	$V_2$
$\downarrow C_e, \uparrow s$	$V_6$	$V_1$	$V_2$	$V_3$	$V_4$	$V_5$
$\downarrow C_e, \downarrow s$	$V_5$	$V_6$	$V_1$	$V_2$	$V_3$	$V_4$

**Tableau II. 3: vecteurs de tensions à appliquer dans chaque secteur pour le contrôle du couple et du flux**

## Chapitre II : Commande directe du couple de la machine asynchrone en utilisant les RNA

De cette table, les différents vecteurs de tensions actifs à appliquer sont connus, mais l'idée d'omettre les séquences de tensions nulles n'est pas optimale, en effet leur absence contribue à augmenter le nombre de commutation et donc les pertes correspondantes

La table de commande définie par donnée au tableau (II.4) permet l'utilisation des séquences de tension nulle et ainsi limiter les pertes [19].

Secteur		(1)	(2)	(3)	(4)	(5)	(6)
Cflx=0	Ccpl=1	V <sub>3</sub>	V <sub>4</sub>	V <sub>5</sub>	V <sub>6</sub>	V <sub>1</sub>	V <sub>2</sub>
	Ccpl=0	V <sub>0</sub>	V <sub>7</sub>	V <sub>0</sub>	V <sub>7</sub>	V <sub>0</sub>	V <sub>7</sub>
	Ccpl=-1	V <sub>5</sub>	V <sub>6</sub>	V <sub>1</sub>	V <sub>2</sub>	V <sub>3</sub>	V <sub>4</sub>
Cflx=1	Ccpl=1	V <sub>2</sub>	V <sub>3</sub>	V <sub>4</sub>	V <sub>5</sub>	V <sub>6</sub>	V <sub>1</sub>
	Ccpl=0	V <sub>7</sub>	V <sub>0</sub>	V <sub>7</sub>	V <sub>0</sub>	V <sub>7</sub>	V <sub>0</sub>
	Ccpl=-1	V <sub>6</sub>	V <sub>1</sub>	V <sub>2</sub>	V <sub>3</sub>	V <sub>4</sub>	V <sub>5</sub>

Tableau II. 4: Élaboration de la table de commutation.

### II.5 Structure générale du contrôle direct de couple

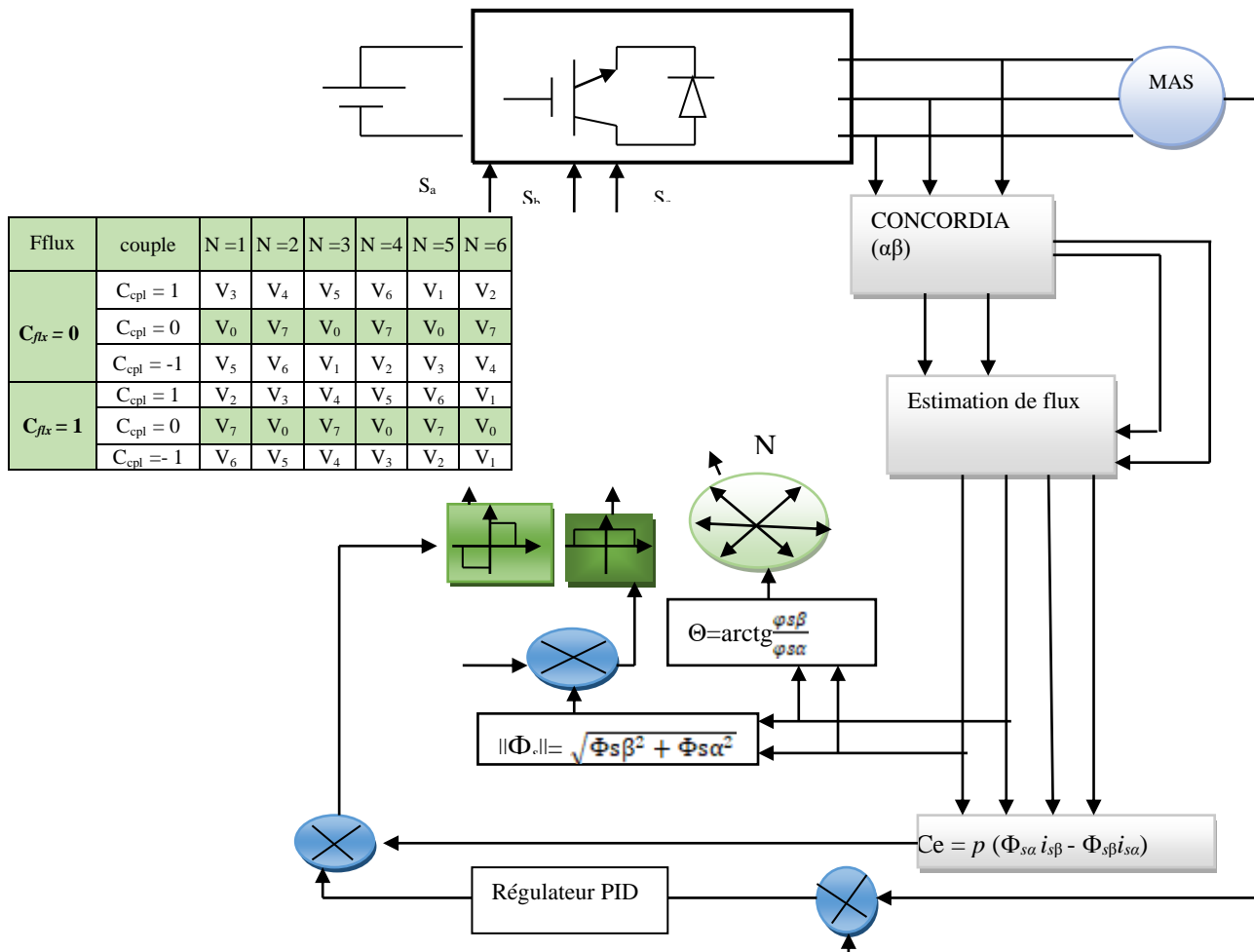
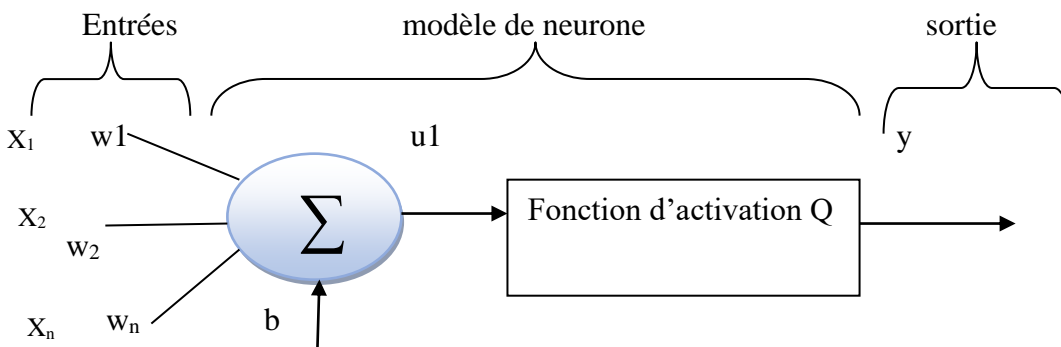


Figure II. 3: Schéma de contrôle direct du couple pour un onduleur à deux niveaux.

La structure complète de la commande, est représentée sur la figure (II.1)

## II.6 Présentation générale de RNA :

Les réseaux de neurones artificiels (RNA) viennent de l'essai de modélisation mathématique et informatique du cerveau humain. MM. AC Culloch et PIHS ils supposent que l'impulsion nerveuse est le résultat d'un calcul simple effectué par chaque neurone. En effet le réseau de neurones artificiel est capable d'exécuter certaines fonctions du cerveau humain telle que la mémorisation, par analogie le cerveau humain qui est constitué des millions des cellules connecté entre elle est formé de plusieurs unités appelées neurone. Le neurone, représente l'unité de base d'un réseau de neurones, par la figure II.4



**Figure II. 4: unité de bases d'un réseau de neurone**

$$y = Q(\sum_{i=1}^N W_i * X_i + b) \quad (II.2)$$

$X_i$  et  $Y$  : représente les entrées et la sortie du neurone

$B$  : le biais du neurone

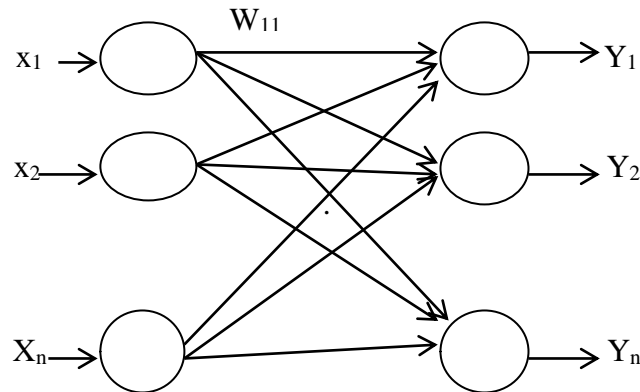
$W_i$  : sont les poids synoptiques des liaisons entre les entrées et la sortie

## II.7 Architecteurs d'un réseau de neurones :

Dans le réseau de neurones y'a des plusieurs neurones qui sont organisés sous forme de niveaux différents appelés couches de réseau les neurones qui possèdent les mêmes caractéristiques et applique les mêmes types de fonction d'activité sont existents dans la même couche. En effet il y'a plusieurs architecteurs de réseau de neurone influence son fonctionnement et différent par leur topologie

### II.7.1 Le perceptron :

En 1959 Rosenblatt conçu ce modèle de réseau de neurones, la figure II.5 présente le modèle d'un perceptron, permis les caractéristiques de ce modèle il contient de deux couches : la couche d'entrée et la couche de sortie et les neurones sont connectés.



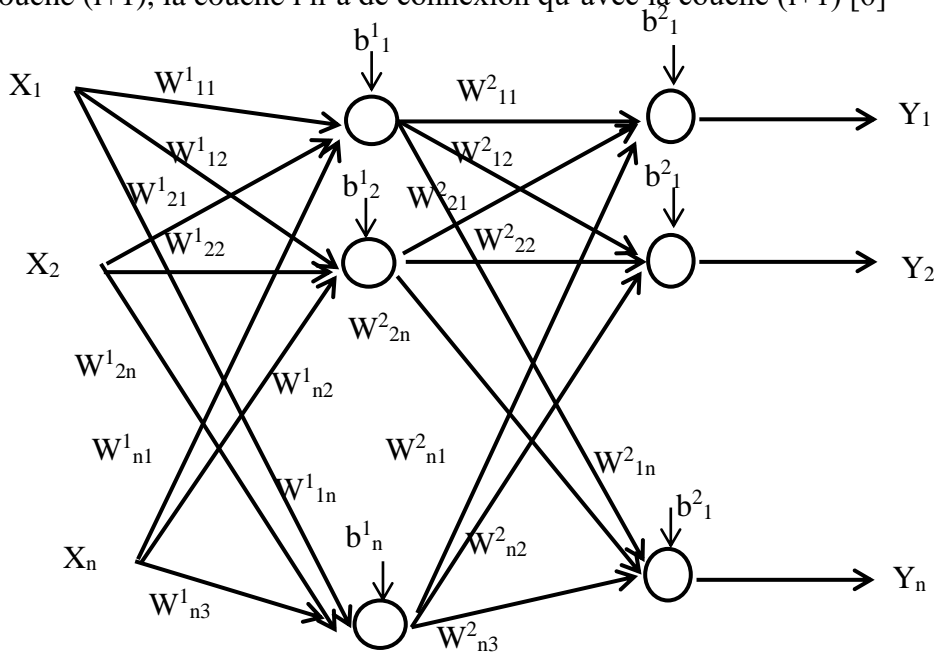
**Figure II. 5: modèle perceptron**

Le perceptron est capable de résoudre des opérations logiques simple (Et ou Ou), et aussi utilise comme fonction d'activation la fonction seuil.

Ce modèle est incapable de connaître des fonctions logiques tel que la fonction XOR

**II.7.2 Le perceptron multicouche:**

Ce modèle est un des réseaux de neurones les plus utilisée pour des problèmes d'approximation, de classification et de prédiction. Ce modèle constitué de deux ou trois couches de neurones totalement connectés. Chaque neurone d'une même couche est relié à tous les neurones de la couche (i+1), la couche i n'a de connexion qu'avec la couche (i+1) [6]



**Figure II. 6: neurone multicouche [19]**

### **II.8 Notion d'apprentissage :**

Les caractéristiques fondamentales d'un réseau de neurones, est la capacité d'apprendre son environnement en vue d'améliorer sa performance. Lors de la conduite d'un processus, c'est le développement d'un réseau de neurones pour obtenir du comportement désiré il est codé dans les poids des connexions.

Il existe 02 grandes classes d'algorithmes d'apprentissage :

- I) L'apprentissage supervisé
- II) L'apprentissage non supervisé

#### **II.8.1 L'apprentissage supervisé**

Le réseau de neurones s'adapte par comparaison entre le résultat calculé en fonction, des entrées fournies et la réponse attendue en sortie.

L'apprentissage est terminé lorsque tous les couples entrées- sorties sont reconnus par le réseau.

#### **II.8.2 L'apprentissage non supervisé :**

Cet apprentissage consisté à détecter automatiquement des régularités sans intervention externe. L'algorithme d'apprentissage va réajuster les paramètres du réseau jusqu'à la stabilisation. on présente une entrée au réseau et on la laisse évoluer librement jusqu'à ce qu'elle se stabilise.

### **II.9 Conception d'un réseau de neurones :**

La procédure de conception d'un réseau de neurones organisée en quatre étapes essentielles :

#### **II.9.1 Choix et préparation des échantillons :**

La conception d'un réseau de neurones commence toujours la préparation des échantillons de données. Cette étape est décisive et va aider le concepteur à choisir le type de réseau de neurones le plus adéquat pour résoudre son problème. Ces échantillons vont aider à définir le type de réseau de neurones, le nombre de neurones d'entrée, le nombre de neurones de sortie, l'algorithme d'apprentissage et la façon de mener la phase de tests et de validation[19].

#### **II.9.2 Conception de la structure du réseau de neurones :**

Cette conception généralement dépend souvent du type des échantillons, il faut choisir un type de réseau : un perceptron standard, un perceptron multicouche, le nombre de neurones. Il faut tester plusieurs possibilités et choisir la topologie qui offre les meilleurs résultats.

#### **II.9.3 Apprentissage :**

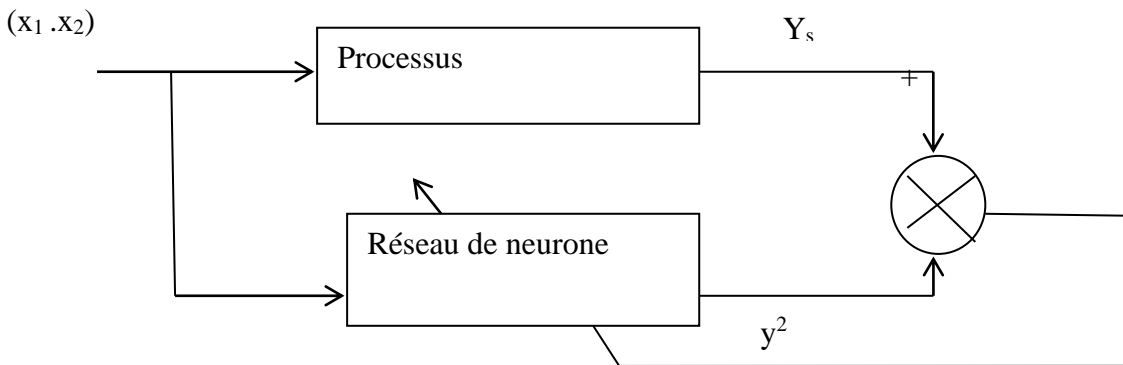
L'apprentissage et l'adaptation sont essentiels pour la conception des réseaux de neurones. Pour calculer les poids, de chaque connexion permettant au réseau de neurones d'être aussi proche que possible de l'objectif visé.

#### **II.9.4 Validation de tests :**

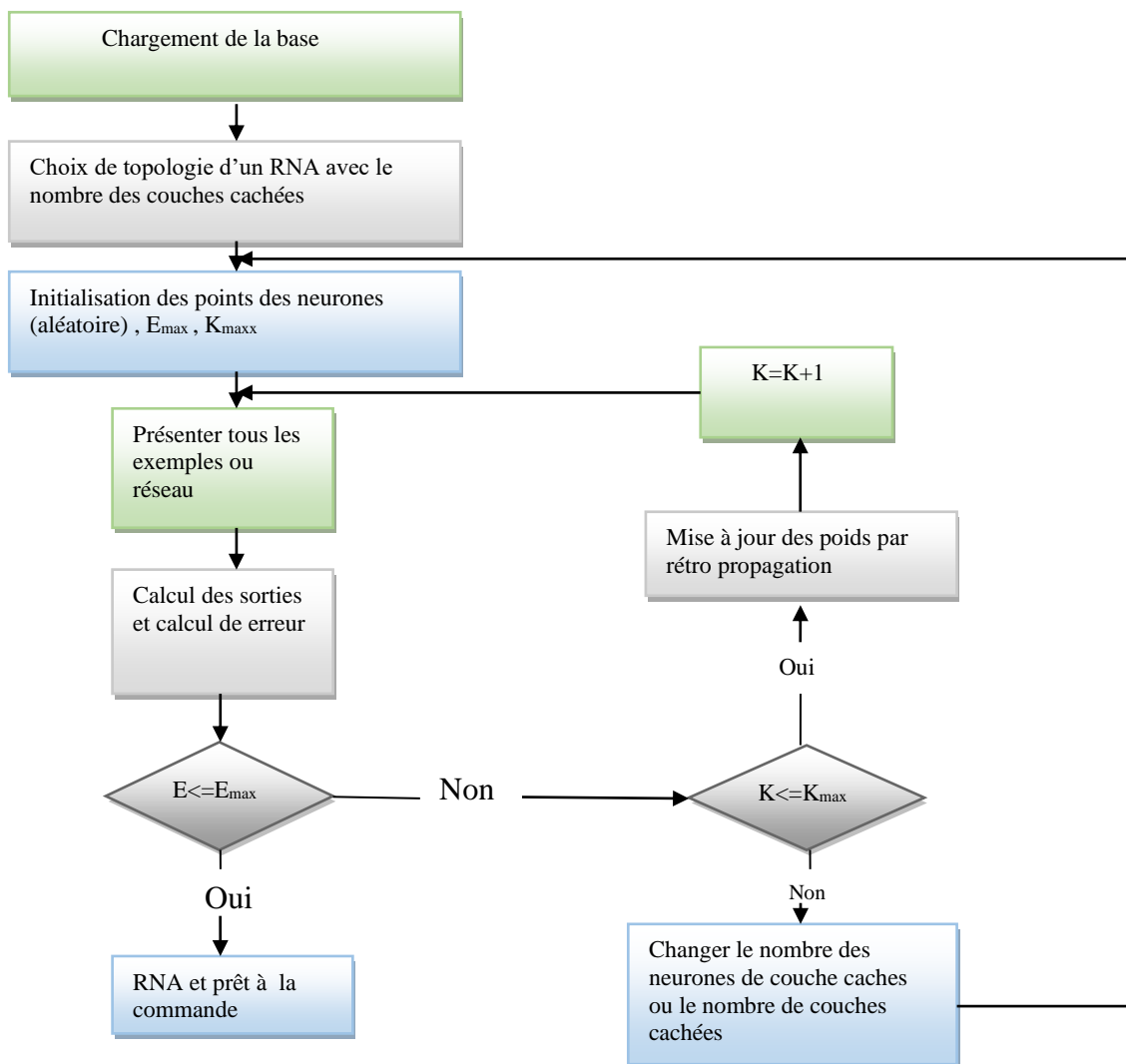
Une fois le réseau est entraîné, il faut toujours procéder à des tests afin de vérifier que le réseau obtenu réagit correctement.

**II.10 L'algorithme d'apprentissage de RNA :**

L'algorithme d'apprentissage le plus répandu est celui de la rétropropagation de l'erreur qui a été publié par Rumelhart en 1986 [CirM02]. Cet algorithme consiste à corriger les poids du réseau de neurones à chaque fois qu'un exemple est présenté. Cette correction est faite de telle sorte à minimiser l'erreur entre la sortie désirée et la réponse du réseau obtenue [HayS99].



**Figure II. 7: schéma d'apprentissage du réseau de neurones artificiels.**



**Figure II. 8: algorithme d'apprentissage par la méthode de rétropropagation de l'erreur.**

II.11 simulation de la commande DTC classique :

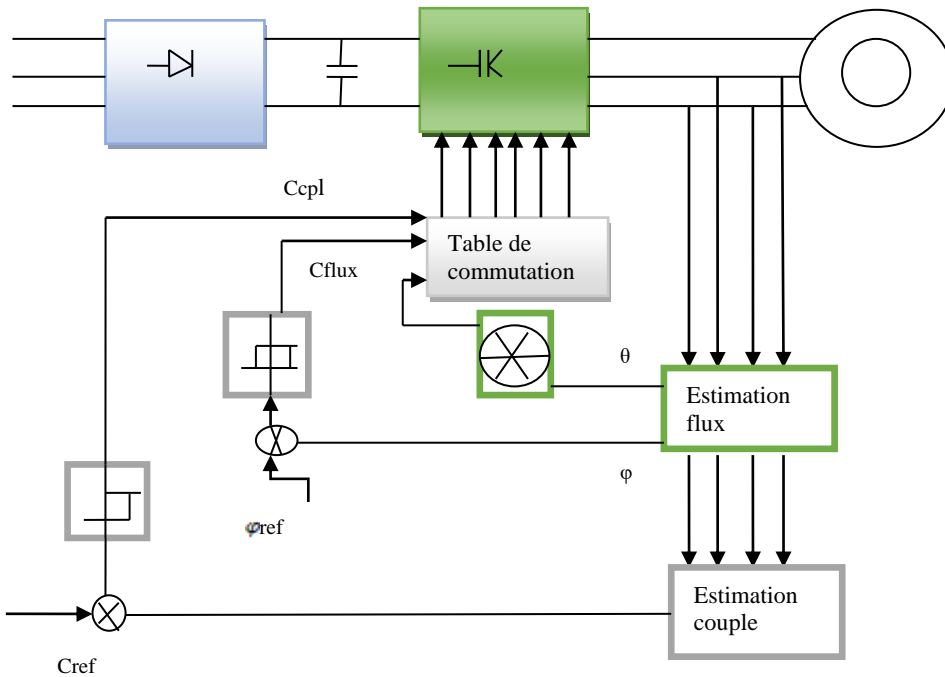


Figure II. 9: le schéma bloc de la commande directe du couple de la MAS

II.12 Résultat de simulation :

A vide, en charge à l'instant  $t=1s$ , change de sens à  $t=2s$

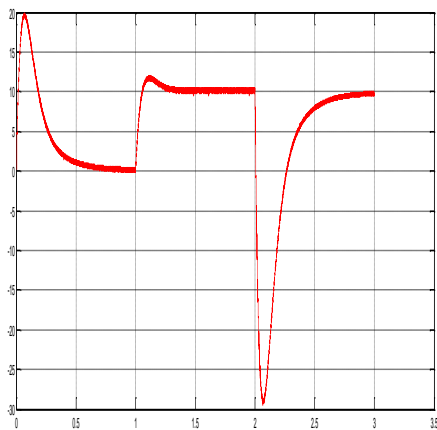


Figure II. 10 : le couple électromagnétique de la commande DTC classique.

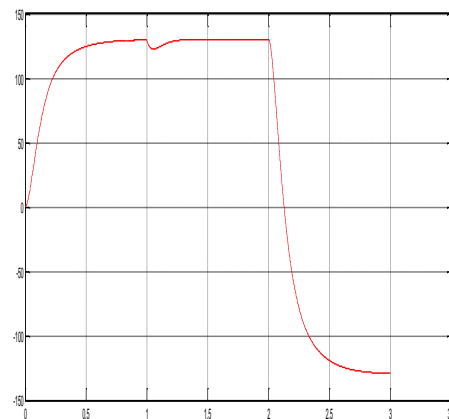
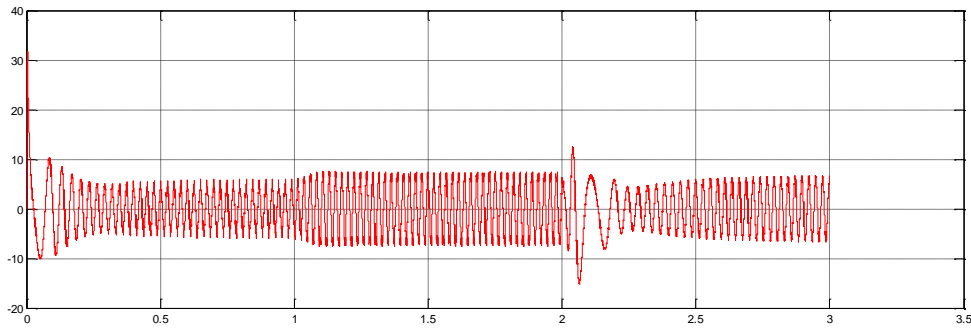
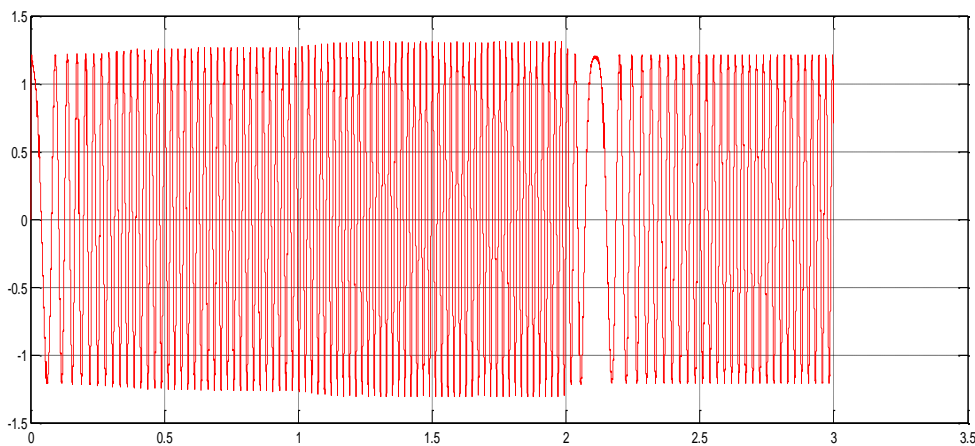


Figure II. 11: la vitesse de la commande DTC classique.



**Figure II. 12: le courant isalpha de la commande DTC classique**



**Figure II. 13: le flux phisalpha de commande DTC classique**

### **II.13 Application des RNA pour la commande DTC d'une MAS :**

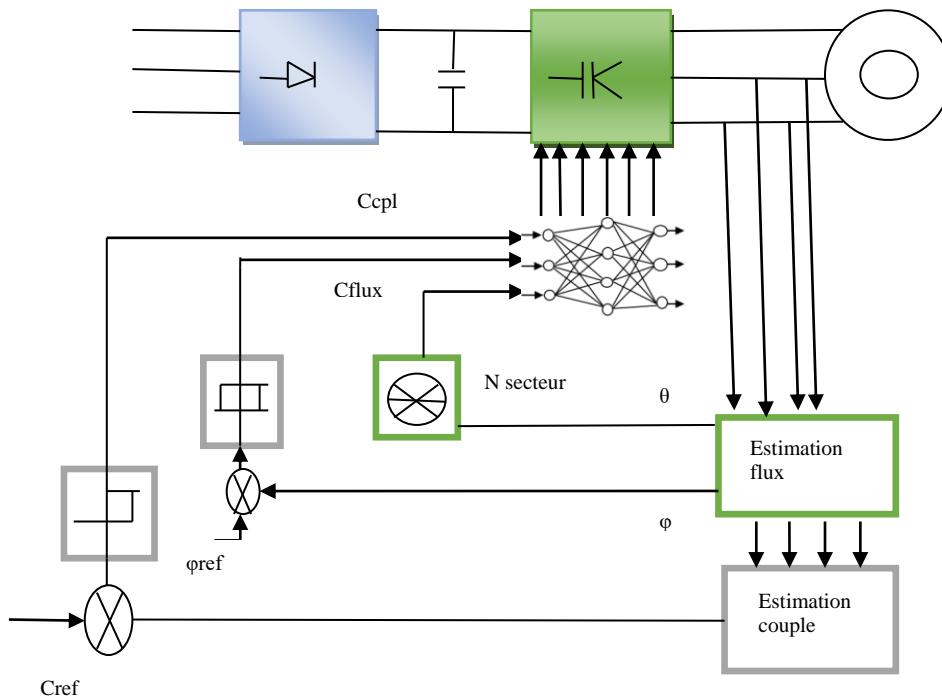
Les réseaux de neurone artificiels (RNA) peuvent être utilisés pour concevoir des contrôleurs numériques pouvant maintenir des performances dynamiques élevées de la machine même avec le problème de déréglage [19].

Il a été prouvé que les RNA sont de approximateurs universels des systèmes dynamiques non linéaires. Ils sont capables d'imiter le comportement de n'importe quel système dynamique non linéaire complexe en utilisant les réseaux de neurones multicouches approprié [19].

Y'a plusieurs inconvénients dans la commande DTC classique, tel que l'obtention d'une fréquence de commutation variable, les ondulations du couple et de flux, les fluctuations des puissances et les harmonique des courants dans le régime transitoire et permanent à cause de l'utilisation des comparateurs à hystérésis et les tables de commutation.

Pour cela nous avons remplacé la table de commutation par les réseaux de neurones artificiels, pour améliorer les performances des commandes DTC. Des simulations numériques sont présentées pour tester les performances des méthodes proposées (DTC-RNA) [20].

La structure de la commande neuronale direct du couple de la machine asynchrone, est représenté par la figure II.14.



**Figure II. 14: le schéma bloc de la commande directe du couple de la MAS basée sur les RNA.**

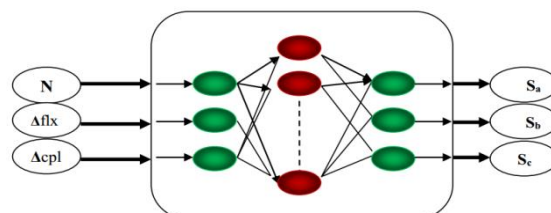
Le choix de l'architecture des réseaux de neurone se fait selon l'erreur quadratique moyenne (EQM) obtenue au court de l'apprentissage [21]. Nous avons prendre une architecture de réseau de neurones multicouche à structure : 3-6-3, c'est-à-dire un MLP à 3 couche, une couche d'entrée contenant 3 neurones, une seule couche cachée contenant 6 neurones et une couche de sortie contenant 3 neurones aussi , utilisant la fonction d'activation 'logsig'.

La structure de réseau de neurone artificielle RNA proposé est montrée dans la figure II.15, les entrées du sélectionneur neuronale sont les états du flux, du couple et le secteur calculé par l'angle de flux statorique .la sortie de ce selectionneur représenter les états des commandes de l'onduleur de tension ( $S_a$  , $S_b$  et  $S_c$ ).

L'implémentation de l'architacteur neuronale proposée sur FPGA consiste à implimenter tout les opérations arthmétiques et les fonctions mathématique dont il est formée le réseau de neurone artificiel .pratiquement il y a deux t ypes des fonctions mathématique dans un RNA, la fonction d'état ou d'activité calculée à partir des autres états et les poids synaptiques par :

$$x = \sum_{i=1}^n w_i x_i$$

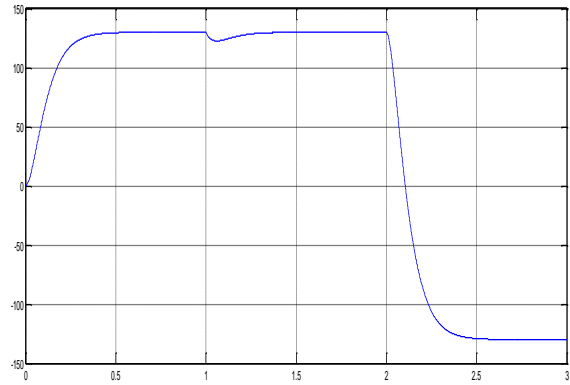
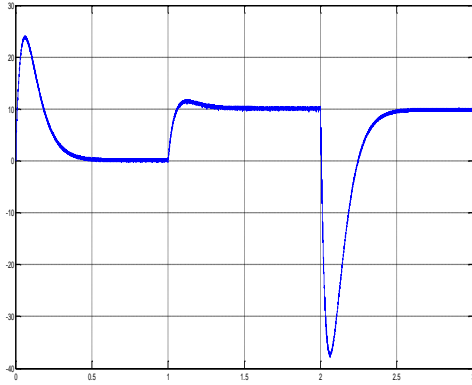
étude.



**Figure II. 15: la structure de réseau de neurones artificiels RNA proposée.**

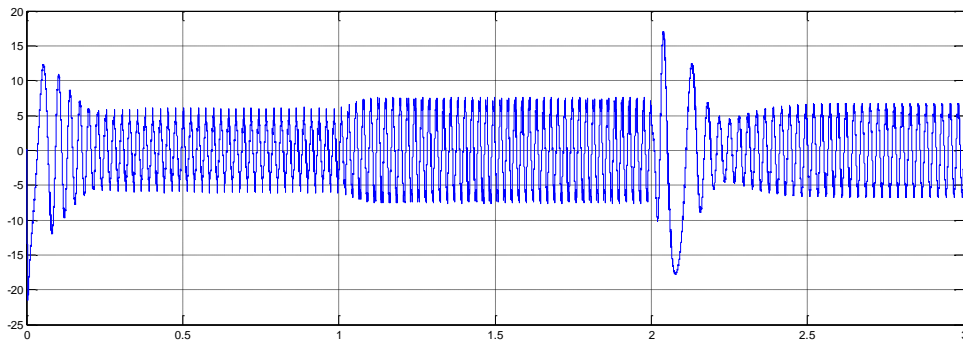
**II.14 Résultat de simulation :**

A vide, en charge à l'instant  $t=1s$ , change de sans à  $t=2s$

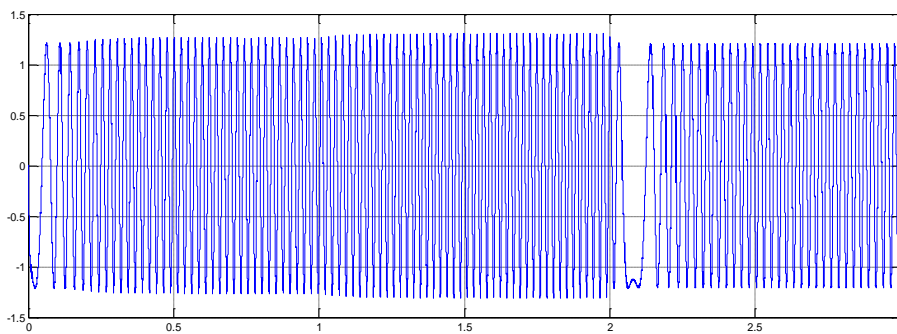


**Figure II. 16: le couple électromagnétique de la commande DTC neuronale.**

**Figure II. 17: la vitesse de la commande DTC neuronale.**



**Figure II. 18: le courant isalpha de la commande DTC neuronale.**



**Figure II. 19: le flux phisalpa de la commande DTC neuronale.**

II.15 Etude comparative :

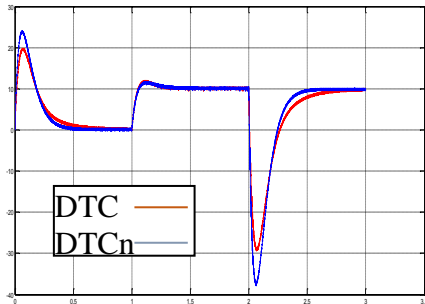


Figure II. 20: le couple électromagnétique de la commande DTC neuronale et classique.

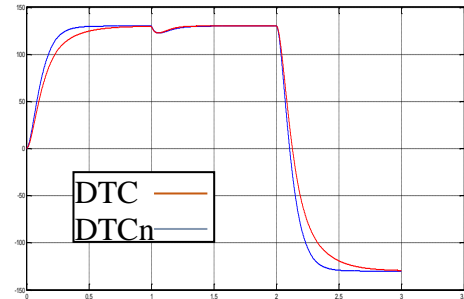


Figure II. 21: la vitesse de la commande DTC neuronale et classique.

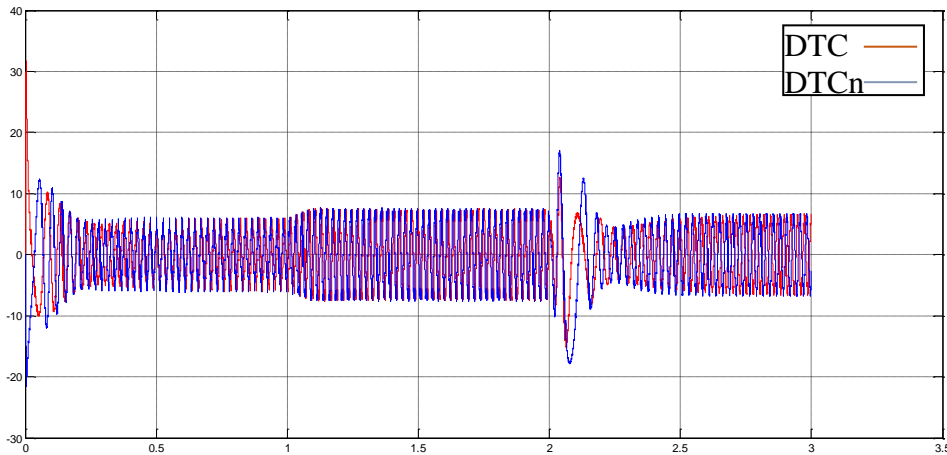


Figure II. 22: le courant isalpha de la commande DTC neuronale et classique.

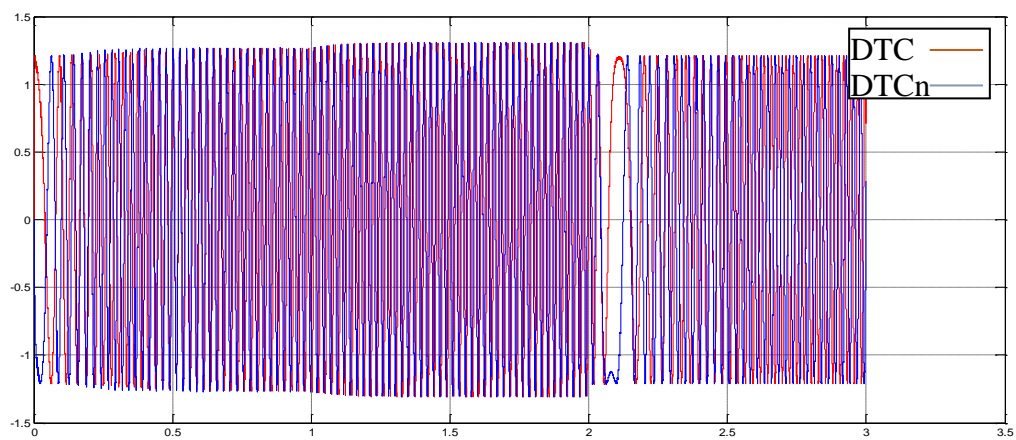


Figure II. 23: le flux phisalpha de la commande DTC neuronal et classique.

## **II.16 Interprétation des résultats :**

### **a. Avide [0s ; 1s] :**

Dans le régime transitoire ,le couple augmente lentement à l'instante  $t=0.2s$  dans DTC classique para pour la commande neuronale il augmente rapidement jusqu'à le régime permanent devient nul , et la vitesse augmentemais dans la DTC classique est augmente lentement jusqu'a la valeur  $t=0,3s$  elle se stabilisé à la valeur de référence , l'amplitude de courant augmente rapidement atteindra sa valeur maximale jusqu'à l'instante  $t=0.3s$  puis il se atteindra sa valeur permanente, le flux ce stable à la valeur de référence.

### **b. En charge $c_r=10Nm$ à [1s ; 2s] :**

Le couple électromagnétique augmente à l'instante  $t=1.3s$  parce que on applique un couple résistant jusqu'à la valeur  $c_r=10Nm$ , la vitesse après l'application de couple résistant et diminue rapidement puis il se revit à la valeur de référence car il ya un régulateur de vitesse, avec une charge on remarque l'appel de courant (augmentation),et le flux augmente par une petit valeur.

### **c. Changement du sens de rotation à $t=2s$ :**

le couple électromagnétique décroissante lentementà DTC classique que la DTC neuronale mais rapidement il revit à la valeur  $c_r=10Nm$ , la vitesse dans DTC classique est décroissante à la valeur  $w=-130$  à l'instante  $t=2,7s$  a comparaison la DTCn et diminue à la valeur  $w=-130$  0 l'instant  $t=2,5s$ , le courant augmente (appel de courant) puis rapidement atteindre sa valeur permanente, le flux est décroissantepar une petit valeur.

## **II.17 Conclusion :**

Dans ce chapitre nous avons discuté l'architecture et la conception des réseaux de neurones aussi sa conception. Ensuite, nous avons simulé la MAS avec la commande DTC classique et la DTC neuronale avec MATLAB Simulink. Finalement, nous avons commentées résultats et en faisant la comparaison entre les commandes.

Le chapitre suivant est consacré à l'implémentation sur FPGA de la DTC neuronale de la MAS.

The image features a background of light-colored marble with brown and grey veins. A large white circle is centered on the page, containing the chapter title in bold black text. The background is split diagonally by a light pink color.

**CHAPITRE III :  
IMPLÉMENTATION SUR FPGA DE LA DTC  
NEURAL DE LA MAS**

**III.1 Introduction:**

Suite à la révolution technologique du 20ème siècle, la réalisation des montages électroniques impliquait l'utilisation d'un nombre important de circuits intégrés logiques ce qui avait pour conséquence une mise en œuvre complexe, un prix de revient important et un circuit imprimé de taille. Cette raison a conduit à l'existence des circuits puissants pour des applications bien précises a été apparait. De plus en plus ces applications demandent que ces circuits soient programmables, cela a donné la naissance d'une famille des circuits programmables comme FPGAs qui sont introduits dans le marché en 1985 sous l'initiative de l'entreprise XILINX est devenu un des composants incontournables, entre autres sur les cartes de traitement de signal et d'images. Aujourd'hui, ces puces sont devenues les concurrents principaux des ASIC et des DSPs.

La programmation de l'architecture d'un FPGA, bien qu'il soit possible de programmer en schématique, se fait principalement en langage VHDL. Nous utilisons les FPGA XILINX et l'outil de synthèse produit par le même fabricant, à savoir ISE.

Dans ce chapitre, on a implémenté la DTC neuronal de la MAS sur FPGA et dans un processus de Co-simulation hardware.

**III.2 Les circuits logiques programmables de type FPGA :****III.2.1 Critères de choix du circuit programmable FPGA :**

Les FPGAs (Field Programmable GateArray) ce sont des circuits intégrés rediffusés programmables par l'utilisateur [22] [23]. Ils constituent une évolution des circuits logiques programmables CPLDs. Ils se composent d'une matrice de blocs logiques programmables, entourée de blocs d'entrée / sortie, et l'ensemble est relié par un réseau d'interconnexion programmable [23].

La conception sur les circuits FPGA est un challenge dans lequel l'objectif est de trouver le bon compromis entre densité, flexibilité et performances temporelles pour réaliser n'importe quelle fonction logique « câblée » à bas coût par une programmation de ses cellules logiques et ses interconnexions avec une restriction de ne pas épuiser les ressources du FPGA qu'il sont programmé via sa cellules mémoire de type SRAM (Statique Random Access Memory). Typiquement Un circuit FPGA haute densité peut contenir jusqu'à plusieurs millions d'éléments programmables.

**III.2.2 Avantages et inconvénients des FPGA****III.2.2.1 Les Avantages :**

- Technologie « facile » à maîtriser.
- Reconfigurable.
- Coût peu élevé.
- Flexibilité et la possibilité de réduire.
- La reconfiguration, parfois en temps réel.
- Temps de développement réduit.
- Idéale pour prototypage (rapide).

- Parallélisme de traitement.
- Fortement les délais de développement et commercialisation.

### III.2.2.2 Les Incontinents :

- Performances no optimisées.
- Temps de réponse par rapport aux ASIC.

### III.3 Architecture interne des FPGA :

Structurés sous forme de matrices, Les FPGA du fabricant XILINX sont utilisée en deux types de cellules de base, les cellules logiques appelées CLB, et les cellules d'entrées /sorties appelées IOB, Ces différentes cellules sont reliées par un ensemble d'interconnexions modifiables : d'où l'aspect programmable du circuit.

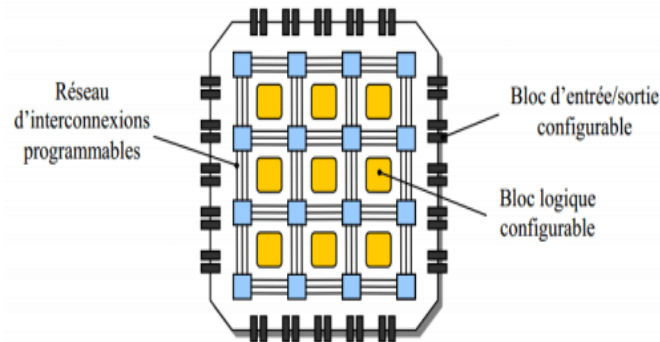


Figure III. 1: Structure d'un circuit FPGA.

#### III.3.1 Structure de CLB :

Les CLB sont les éléments déterminants des performances de FPGA et contenant les fonctions logiques combinatoires et séquentielles.

- La partie combinatoire permet de réaliser des fonctions arithmétiques de complexité variable à l'aide de plusieurs méthodes de synthèse, dont les plus importantes sont : la synthèse de fonction de deux à une dizaine d'entrées avec des portes classiques ET, OU et NON.
- La partie séquentielle comporte en règle générale une ou deux bascules de type D

Suivant le fabricant du circuit, ces blocs contiennent un nombre différent de portes logiques et de bascules à l'intérieur d'un bloc comme la montre la figure (III.2)

Il existe 4types de blocs logiques :

- Les macro-cellules.
- Les blocs à multiplexeurs.
- Les LUT.
- Les cellules symétriques.

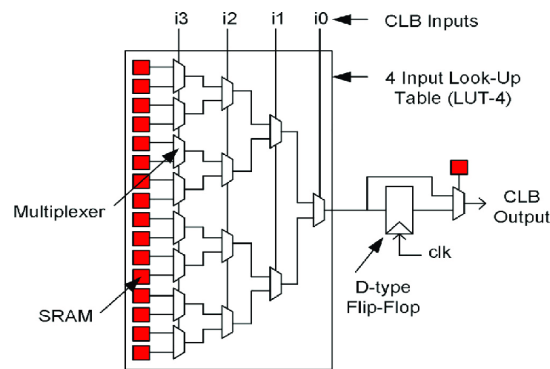


Figure III. 2: Structure interne d'un CLB.

### III.3.2 Structure des IOB :

La figure (III.3) présente la structure de ce bloc. Ces bloc entrée / sortie permettent d'interface entre les broches du composant FPGA et la logique interne développée à l'intérieur du composant. Les IOB ont leur propre mémoire de configuration, elles stockent les standards de tension et la direction des ports. Ils sont présents sur toute la périphérie du circuit FPGA. Chaque bloc IOB contrôle une broche du composant et il peut être reconfiguré en entrée ou en sortie, en signaux bidirectionnels ou être inutilisé (haute impédance).

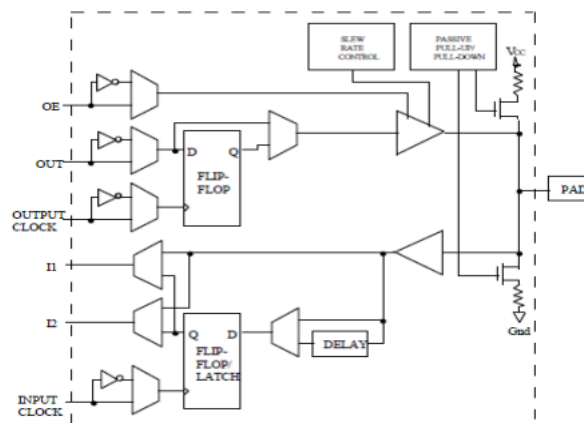


Figure III. 3: Input Output Block (IOB) [24]

### III.4 Le langage VHDL pour la description Hardware

Depuis les années 80, Deux langages de description hardware qui sont apparus pour la conception sur FPGA : VERILOG et VHDL (VHSIC (Very High-Speed Intergrated Circuit) Hardware Description Langage) [25]. Les deux langages font l'objectif d'IEEE pour uniformiser ces langages parfaitement pour les industriels que les concepteurs. Le VHDL est utilisé entre autres dans le cadre de ce travail pour la réalisation de certaines fonctions. Le langage VHDL possède une grammaire semblable à celle d'Ada, permet la description pour obtenir un composant réalisant les fonctions désirées, à l'aide d'éléments logiques concrets (portes logiques ; bascules ou registres). Ceux-ci seront implémentés, selon la technologie utilisée, soit directement en transistors, ou en se basant sur les éléments programmables des FPGA.

### III.5 Intégration et implémentation :

L'implémentation est la réalisation, proprement dite, consiste à mettre en œuvre l'algorithme sur l'architecture du circuit configurable cible, c'est-à-dire à compiler, charger, puis lancer l'exécution sur un ordinateur ou calculateur. C'est une étape de programmation physique et de tests électriques qui clôture la réalisation du circuit. La figure suivante résume un peu l'ensemble de ces étapes.

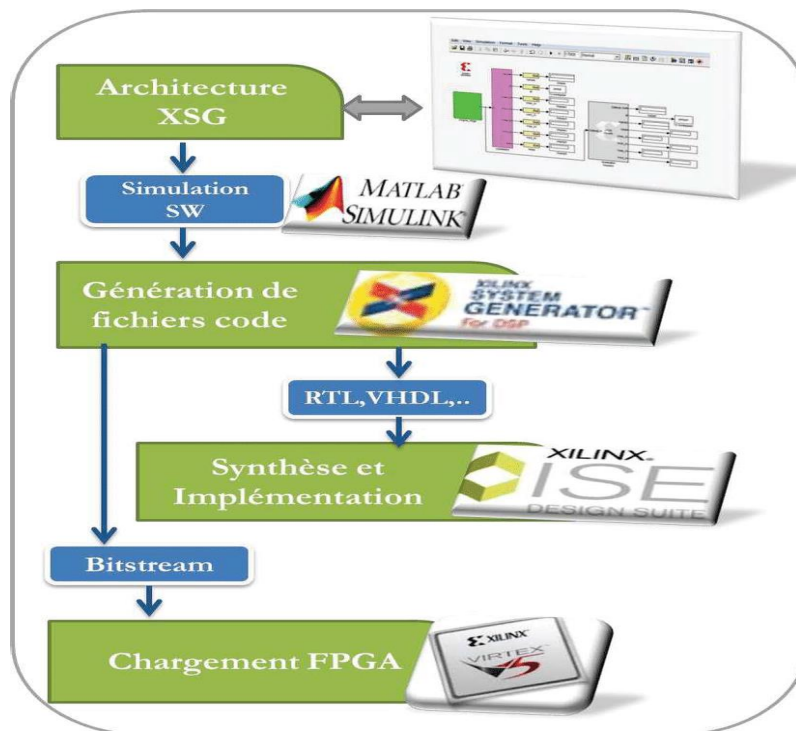


Figure III. 4.4:Etapes de conception sur FPGA

### III.6 L'approximation de la fonction sigmoïde :

La fonction sigmoïde est une fonction mathématique qui produit une courbe sigmoïde ; une courbe ayant une forme de "s", qui transforme les valeurs comprises entre 0 et 1. La fonction sigmoïde fait référence à un cas particulier de la fonction logistique. C'est l'une des fonctions d'activation non linéaires les plus utilisées et définie par la formule :

$$f(x) = \frac{1}{1 + e^{-jx}} \quad (III.6)$$

En règle générale, une fonction sigmoïde est une fonction continue et dérivable, dont il a une dérivée première non-négative et équipé d'un minimum local et maximum local. En plus de la fonction logistique, les fonctions comprennent sigmoïde fonction arc tangente, tangente hyperbolique et fonction de distribution cumulative, en fait la forme de "S" donne lieu aux distributions de probabilité en forme de cloche, qui recueille la majorité de la densité de probabilité autour de la valeur moyenne.

## Graphiquement

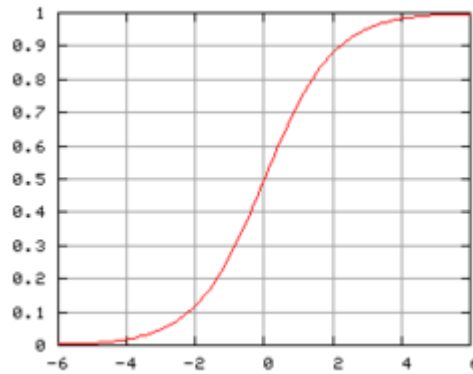


Figure III. 5:Graphique de la fonction sigmoïde [26]

Les fonctions sigmoïdes sont souvent utilisées dans les réseaux de neurones pour introduire une non-linéarité dans le modèle et/ou pour garantir que certains signaux restent dans des plages spécifiques. Un élément neuronal artificiel populaire calcule la combinaison linéaire de ses signaux d'entrée et applique une fonction sigmoïde limitée au résultat ; ce modèle peut être vu comme une variante « régulière » du neurone à seuil classique [26]. Une des raisons de sa relative popularité dans les réseaux de neurones est l'ajout d'une seule couche cachée et d'une fonction d'activation sigmoïde dans la couche cachée, le réseau de neurones peut facilement apprendre un problème non linéairement séparable. Par conséquent, la fonction sigmoïde peut être utilisée dans les réseaux de neurones pour l'apprentissage de fonctions de décision complexes.

Cependant l'implémentation de cette fonction sur une architecture hardware (Xilinx system generator) n'est pas facile et parfois impossible à cause des fonctions complexes constituant la fonction sigmoïde telles que la division et l'exponentielle. Dans [26] D.E.Khodja et al proposent une approximation optimisée de la fonction sigmoïde pour l'implémentation sur FPGA de cette fonction. La fonction sigmoïde peut être approximée par un polynôme de deuxième ordre de la forme:

$$f(x) = ax^2 + bx + c \quad (\text{III.7})$$

Les seules inconnues dans cette équation sont a, b et c qui sont déterminées à l'aide de l'algorithme de Vandermonde [27] une fois, on prend trois points de la fonction sigmoïde  $\{(x_i, y_i), i=1,2 \text{ et } 3\}$  qui remplissent les équations suivantes [26] :

$$\begin{cases} y_1 = \frac{1}{1 + e^{-x_1}} = ax_1^2 + bx_1 + c \\ y_2 = \frac{1}{1 + e^{-x_2}} = ax_2^2 + bx_2 + c \\ y_3 = \frac{1}{1 + e^{-x_3}} = ax_3^2 + bx_3 + c \end{cases} \quad (\text{III.8})$$

L'équation (3) peut être réécrite sous la forme matricielle comme suite :

$$Y = X * A \text{ où } Y = \begin{bmatrix} y_1 \\ y_2 \\ y_3 \end{bmatrix}, X = \begin{bmatrix} x_1^2 & x_1 & 1 \\ x_2^2 & x_2 & 1 \\ x_3^2 & x_3 & 1 \end{bmatrix} \text{ et } A = \begin{bmatrix} a \\ b \\ c \end{bmatrix} \quad (\text{III.9})$$

A la suite, les coefficients sont calculés par l'équation suivante :

$$A = X^{-1} * Y \quad (\text{III.10})$$

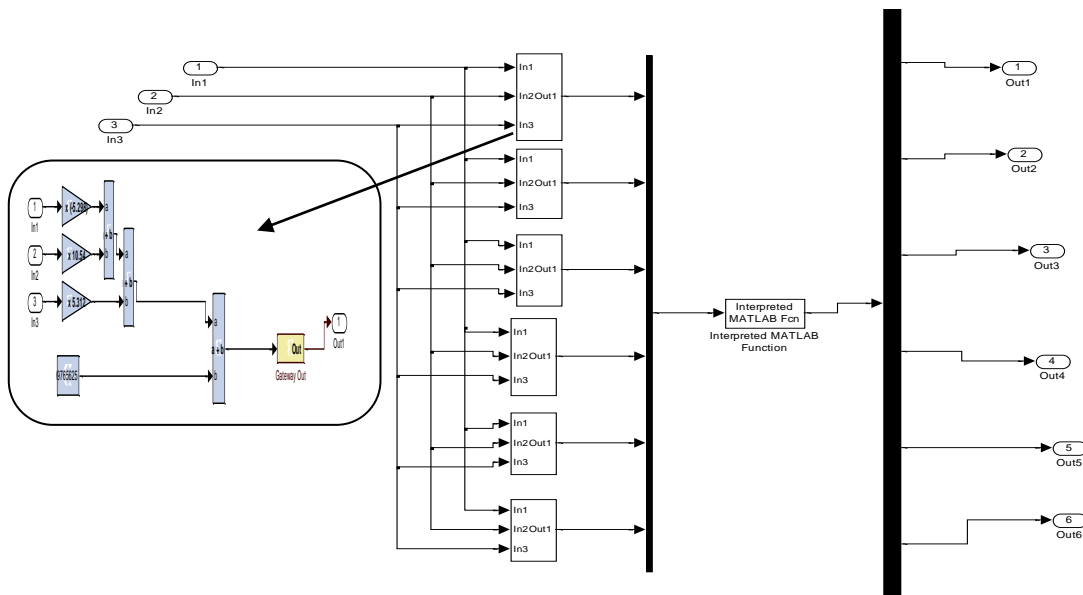
En fin :

$$f(x) = \begin{cases} 0.0332x^2 + 0.2549x + 0.5 & \text{pour } -4 < x < 0 \\ 0.0332x^2 + 0.2549x + 0.5 & \text{pour } 0 \leq x < 4 \end{cases} \quad (\text{III.11})$$

### III.7 Synthèse de RNA et simulation sur XILINX :

#### III.7.1 Construire le bloc en Xilinxsimulink :

La figure (III.6) présente le schéma bloc de notre réseau de neurone sous Xilinxsimulink.



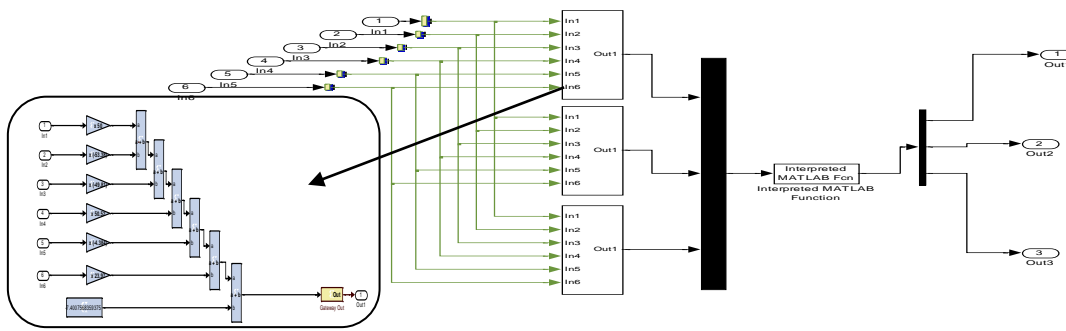


Figure III. 6 : schéma bloc de notre réseau de neurone sous Xilinx simulink.

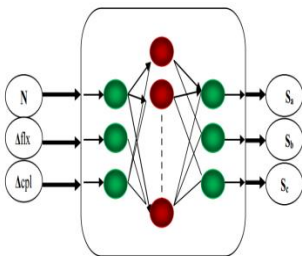


Figure III. 7 : la structure de réseau de neurones artificiels RNA proposée.

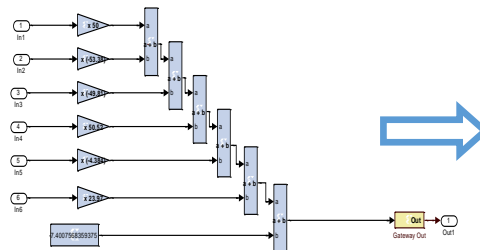


Figure III. 8 : schéma bloc d'un neurone de couche caché sous Xilinx simulink.

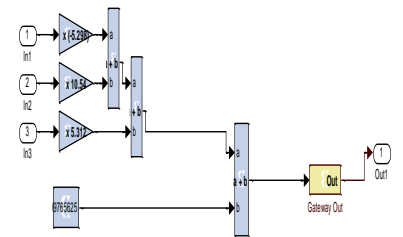


Figure III. 9 : schéma bloc d'un neurone de couche sortie sous Xilinx simulink.

III.8simulation de la DTC par réseaux de neurone sous Xilinx :

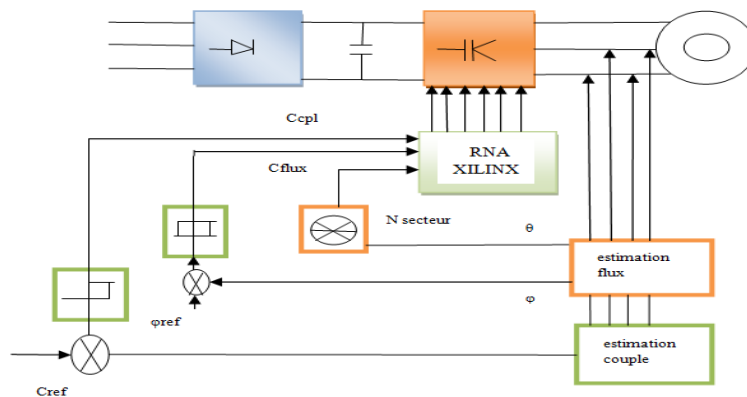


Figure III. 10:schéma block de simulation de la DTC par réseau de neurone sous Xilinx

III.9 Résultat de simulation du DTCn et FPGA :

A vide [0s, 1s], en charge  $C_r=10N.m$  [1s, 2s],

changement de sens de rotation  $t=2s$

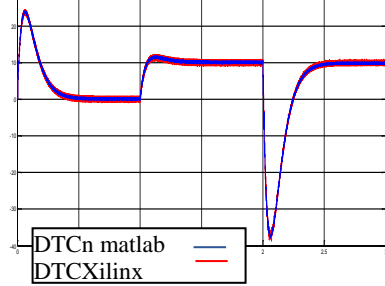


Figure III. 11: le couple électromagnétique de la commande DTC neuronale sous matlab et Xilinx.

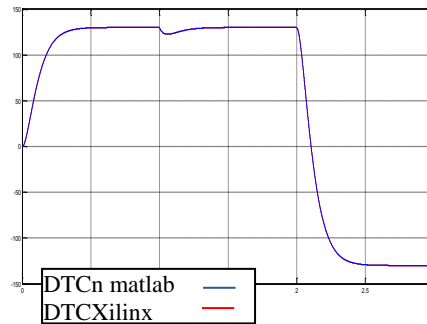


Figure III. 12: la vitesse de la commande DTCn sous matlab et Xilinx.

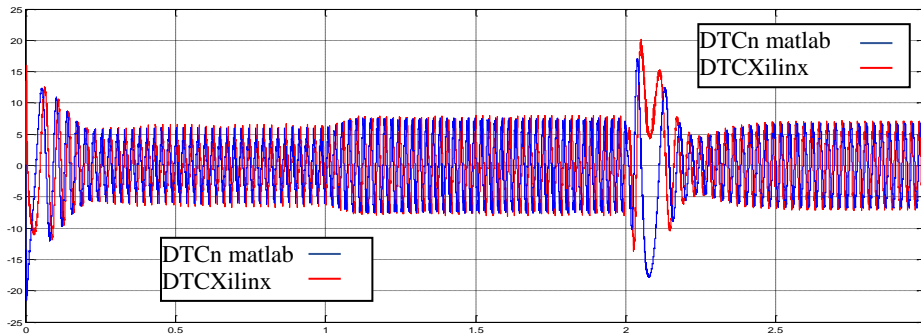


Figure III.13: le courant isalpha de la commande DTCn sous matlab et Xilinx

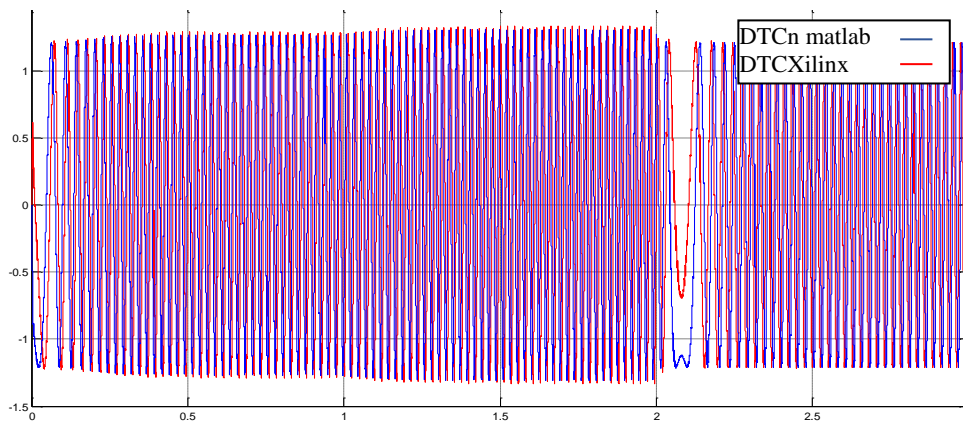
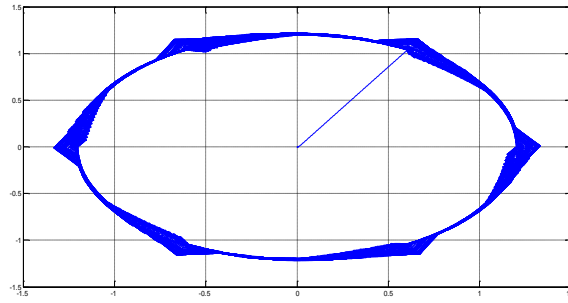


Figure III. 14:le flux phisalpha de commande DTCn sous matlab etXilinx



FFigure III. 15: phisbeta=f (phisalpha) de la DTCn sous matlab.

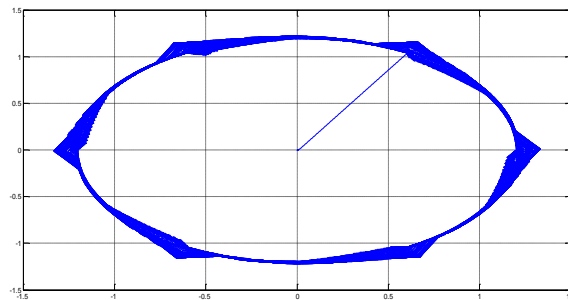


Figure III. 16: phisbeta=f (phisalpha) de la commande DTCn sous Xilinx.

### III.10 Interprétation des résultats :

#### a. Avide [0s ; 1s] :

Dans le régime transitoire, le couple augmente rapidement à l'instant  $t=0.2s$  jusqu'à le régime permanent devient nul, et la vitesse augmente jusqu'à l'instant  $t=0.3s$  puis elle se stabilise à la valeur de référence, l'amplitude de courant augmente rapidement jusqu'à l'instante  $t=0.3s$  puis il atteint sa valeur nominale au régime permanent, le flux se stable à la valeur de référence.

#### b. En charge $C_r=10Nm$ à [1s ; 2s] :

Le couple électromagnétique augmente à l'instante  $t=1.3s$  lors de l'application d'un couple résistant de  $10Nm$ , en effet, la vitesse diminue rapidement puis elle revient à la valeur de référence, le courant augmente a instant(l'appel de courant), et le flux augmente par une petite valeur.

#### c. Changé le sens de rotation à $t=2s$ :

Le couple électromagnétique décroissante mais rapidement il revit à la valeur  $c_r=10Nm$ , la vitesse est décroissante à la valeur  $w=-130$ , à l'instante  $t=2s$  le courant attendre sa valeur maximale puis rapidement atteindre sa valeur permanente, le flux décroissante par une petit valeur.

### III.11 Synthèse et Ressources FPGA utilisées :

Le tableau.3 présente les occupations des Ressources FPGA données par l'implémentation de l'architecture proposée de la commande DTC neuronale sur FPGA VIRTEX 4 donnée par l'outil de synthèse pour l'architecture proposée présentée précédemment.

Utilisation logique	Utilisé	Disponible	Utilisation
<b>Nombre des tranches de bascules</b>	8,875	30,720	28%
<b>Nombre de tranches occupées</b>	8,155	15,360	53%
<b>Nombre total des LUTs 4 entrée</b>	13,361	30,720	43%
<b>Nombre d'IOBs cautionnés</b>	58	448	12%
<b>Nombre de FIFO16/RAMB16s</b>	12	192	6%
<b>Nombre de BUFG/BUFGCTRLs</b>	08	32	25%

Tableau III. 1: Occupation des Ressources FPGA par la commande DTC neuronale.

L'architecture proposée pour la commande DTC neuronale et les architectures présentées dans [18].

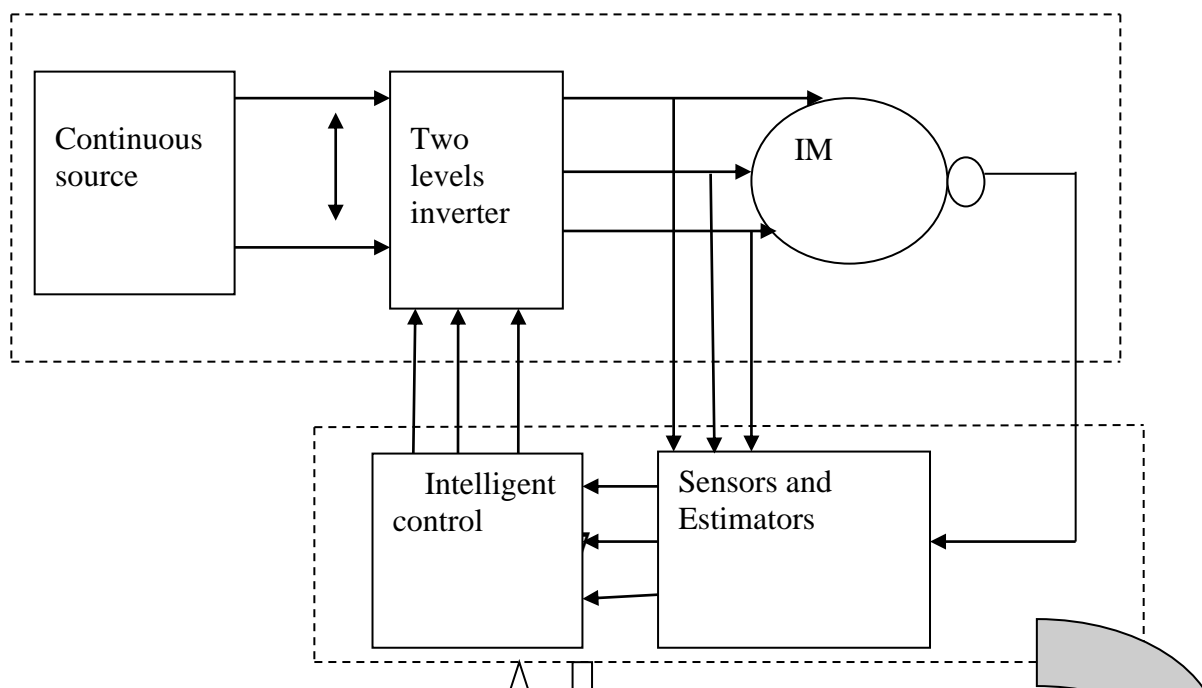
Dans l'algorithme de commande DTC neuronale et malgré l'utilisation d'une fonction d'activation sigmoïde optimisée les ressources utilisées sont très élevées et ceci est principalement dû à la complexité des RNAs et de leur fonction d'activité qui utilise fréquemment la multiplication.

La commande DTC neuronale a besoin d'une plus grande quantité de ressources en raison de sa structure complexe et ces fonctions des activités basées sur l'opérateur de multiplication binaire

### III.12 Validation des architectures proposées par Co-simulation hardware :

Après les étapes de simulation par Matlab simulink et Xilinx, les architectures hardware proposée ont été validées par un hardware Co-simulation sur le périphérique cible ML402 dotée d'un circuit FPGA VIRTEX. Cette phase est particulièrement destinée à la validation hardware des architectures des commandes sur une carte FPGA cible et dans un processus de **Co-simulation hardware**.

La figure suivante montre le principe de validation des architecteur proposée par hardware Co-simulation.



Part  
Point to point Ethernet communication



Figure III. 17: Simulation hardware de la commande DTC à base des techniques intelligentes.

Une fois la simulation et l'analyse temporelle terminées, ont été remplacé le bloc Bitstream crée avec hardware dans XSG à partir un bloc Ethernet point à point pour la procédure hardware **In-The-Loop**, par l'architecture hardware qui à été construit avant.

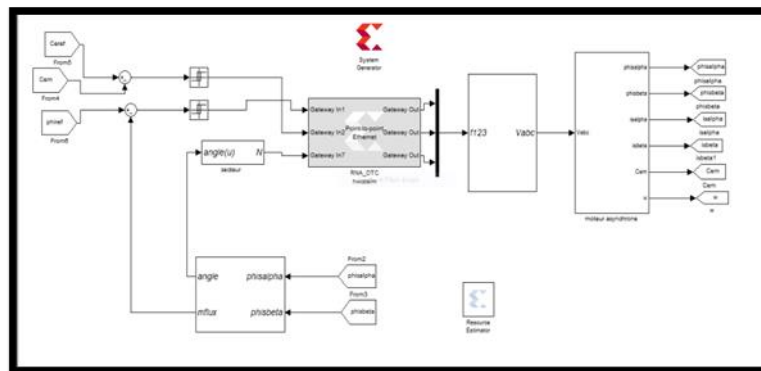


Figure III. 18: Le bloc Ethernet point à point dans une procédure Hardware-In-the-Loop.

Les blocs Ethernet point à point sont reliés à l'onduleur et à la machine asynchrone pour faire fonctionner une procédure HIL. Dans cette situation les modèles de la MAS et de l'onduleur de tension sont simulés dans un environnement Matlab/Simulink, et les architectures XSG sont réalisées dans le dispositif FPGA ML402.

### III.13 Conclusion :

Dans ce chapitre nous avons présenté l'implémentation dans l'architecture des circuits FPGA. Ensuite, nous avons réalisé la DTC neuronale sous Xilinx et nous avons commenté les résultats en faisant la comparaison entre la DTC neuronale et la DTC neuronale sous

Xilinx.Finalement nous avons effectué la validation et à la vérification de l'implémentation hardware des architectures des commandes sur une carte FPGA cible et dans un processus de Co-Simulation hardware.

The background features a diagonal split. The upper-left portion is a light-colored paper with a marbled pattern of brown and grey veins. The lower-right portion is a solid, light pink color. A large, white, semi-transparent circle is centered on the page, overlapping both background elements.

# **CONCLUSION GÉNÉRALE**

### **Conclusion générale**

L'objectif de ce travail, est d'appliquer une méthode de contrôle non conventionnelle dans le contrôle des machines électriques, en asseyant d'améliorer les inconvénients de la DTC classique à partir d'intégration des techniques d'intelligence artificiel. Plus précisément, les réseaux de neurones avec leurs propriétés, telles que le parallélisme, l'adaptation, la généralisation, constituent un véritable outil pour l'identification, la classification, et la commande des systèmes. Par la suite, nous avons montré une méthodologie pour l'implémentation hardware de ces commandes sur une méthodologie pour l'implémentation.

La réalisation de cette solution a nécessité d'atteindre différents objectifs :

- Le premier était de présenter l'état de l'art d'une nouvelle commande DTC destinée au contrôle du moteur asynchrone. Ensuite, on a discuté les avantages associés à l'utilisation des techniques d'intelligence artificielle à savoir les réseaux de neurones artificiels.
- Le deuxième objectif concentre la réduction de taux d'ondulation du flux statorique et du couple électromagnétique pour une commande DTC de la machine asynchrone. Nous avons utilisé ses nouvelles méthodes pour implémenter une stratégie de commutation sans avoir besoin de la table de commutation et les comparateurs à hystérésis utilisé dans la commande DTC classique afin d'obtenir la meilleur performance de stabilité et de rapidité.
- le troisième objectif est pour intégrer l'FPGA dans l'environnement de test actuel qui est réalisée dans le but de vérifier expérimentalement la génération des signaux de commande. Les résultats sous Xilinx représente une simulation d'implémentation et montrent une similitude entre les signaux générées par le circuit FPGA et ceux obtenus par simulink MATLAB. Nous avons opté pour la validation et à la vérification de l'implémentation hardware des architecteurs des commandes sur une carte FPGA cible (VIERTEX 4 ML402) et dans un processus de Co-simulation hardware.
- Finalement, nous estimons que la solution proposée a amélioré les performances de la commande du moteur d'une part, et l'optimisation des ressources occupées dans le circuit FPGA pour cette commande.



# **BIBLIOGRAPHIE**

### **Bibliographie**

- [1] M.L.ZEGAI, «Synthèses Des techniques de Commande DTC Associe à L'intelligence Artificielle Appliquée au Contrôle D'un Moteur Asynchrone Alimenté par Onduleur Multi-Niveaux », thèse de Doctorat, université d'USTO, 2017.
- [2] N.HOICHE, "Commande DTC flou d'un moteur synchrone à aimant permanent ", Thèse de Doctorat, Université Mohamed Boudiaf d'M'sila, 2016.
- [3] S.GDAIM, A.Matibaa, M.F. Mimouni, "Design and Experimental Implementation of DTC of an Induction Machine Based on Fuzzy Logic Control on FPGA", IEEE TRANSACTIONS ON FUZZY SYSTEMS, VOL .NO.3, JUNE 2015.
- [4] B.BENDJAIMA, "Commande tolérante de la machine asynchrone en tenant compte des défauts statoriques et rotoriques", Thèse de Doctorat, Université Mohamed Boudiaf d'M'sila, 2018.
- [5] T.Sutikno, N.Nik Idris, A.Zakwan Jidin, M. Zaki Daud, "FPGA Based High Precision Torque and Flux Estimator of Direct Torque Control Drives", Applied Power Electronics Colloquim(IAPEC) ,2011 IEEE.
- [6] S.GDAIN, «Commande Directe de Couple d'un Moteur Asynchrone à Base de Techniques Intelligentes », Ecole nationale d'Ingénieurs de Monastir.Tunisia, 2013.
- [7] N.Khalil «Contribution à la Commande de la Machine Asynchrone par DTC et logique floue »Thèse de magister, université de Constantine, 2006
- [8] B.BENDJAIMA, DJ.SAIGAAS, DJ.KHODJA, "fault Tolerant Control Based on Adaptive Fuzzy Sliding Mode Controller for Induction-Motors", International journal of Intelligent Engineering and System, INASS 2017.PP.39-48, vol.10, No.6, 2017
- [9] Hoang Le-Huy, "Comparison Of Field-Oriented Control And Direct Torque Control For induction Motor Drives", Industry Applications Conference .Thirty-Fourth IAS Annual Meeting. Of The IEEE. Vol2, Isse, 1999 Page(S): 1245 – 1252 Vol.2
- [10] S.H.Kim, T.S.Park, J.y.Yoo,G .T .Park, "Speed-sensorless vector control of an induction motor using neural network speed estimation",IEEE Transactions on Industriel Electronics,vol.48,no.3,pp.609–614,June2001.
- [11] H.Ghouili, A .Chériti, "Estimation Robuste de Vitesse d'une Machine Asynchrone à L'aide de Réseau de Neurones Dynamiques", Proceedings of IEEE Canadian Conference on Electrical and Computer Engineering Shaw Conference Center, Edmonton, Alberta, pp.1086–1091, May 9-12,1999.

## ***Bibliographie***

---

- [12] L.Youb, A .craciunescu,"Direct Torque control of Induction Motors with Fuzzy Minimization Torque Ripple".Proceedings of the World Congress on Engineering and Computer Science 2009 Vol II WCECS 2009, October 20–22, 2009, San Francisco, USA.
- [13] R.Toufouti,"Contribution A La commande Directe de Couple De La Machine Asynchrone", Thèse Doctorant en Sciences, 2008, Université de Constantine.
- [14] Y.s .Raon, Dr .A.J.Laxmi,"Comparaison of the Performance of DTC of Iduction Generator in Wind Energy Conversion system with PI and Neural Controllers", conference on Power and Energy Systems, Published by Elsevier, AARSI procedia 2 (2012), 275-281.
- [15] Jodouin, J., Les réseaux de neurones ; principes et définition, Hermes, 1994,124p.
- [16] M. Parizeau, ‘Réseaux de neurones’ ; Notes de cours (GIF-21140 et GIF-64326), Université Laval, Canada, Automne 2004.
- [17] A.Mohammedi, N.Kabache, S.Moulahoum and H.Houassine,"FPGA Hardware In the Loop Validation of direct Torque Control for Induction Motor",2015 20th International Conference on Method and Models in Automation and Robotics (MMAR), Miedzyzdroje, 2015, pp 812-816.
- [18] A.E.Aib,"Implémentation des techniques d’intelligence artificielles FPGA en vue de contrôle des systèmes d’entrainements électriques", thèse de Doctorat, Université Mohamed Boudiaf d’M’sila, 2022.
- [19] J.E.Volder,"The CORDIC Trigonometric Computing", IRE Transaction on Electronic Computers, vol.EC-8, 3, pp.330-334, Sept.1959.
- [20] D.E.Khodja, S. Simard, R. Beguenan : «Implementation of Optimized Approximate Sigmoid Function on FPGA Circuit to use in ANN for Control and Monitoring », Control Engineering and Applied Informatics Journal, Vol.17, No.2, pp.64-72,2015.
- [21] Armato, L. Fanucci, E.P. Scilingo, D. De Rossi,"Ow-error digital hardware implementation of artificial neuron activation functions and their derivative", Microprocessors and Microsystems, Elsevier35, pp.557–567,2011.
- [S] <https://tcuvelier.developpez.com/tutoriels/vhdl/introduction-langage/>